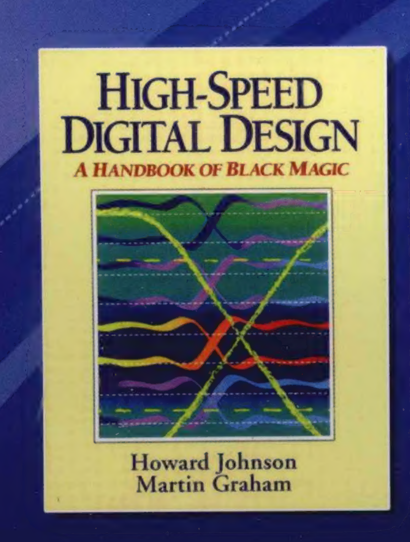
国外电子与通信教材系列

PEARSON

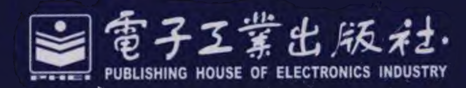
霍华德·约翰逊

高速数字设计

High-Speed Digital Design
A Handbook of Black Magic



[美] Howard Johnson
Martin Graham 著
沈立 朱来文 陈宏伟 等译
王强 审校



http://www.phei.com.cn

高速数字设计

High-Speed Digital Design
A Handbook of Black Magic

本书是信号完整性领域的一部经典著作，其英文版已重印超过20次。全书结合了数字和模拟电路理论，对高速数字电路系统设计中的信号完整性和EMC方面的问题进行了深入浅出的讨论和研究，其中不仅包括关于高速数字设计中EMC方面的许多实用信息，还包括许多有价值的测试技术。另外，书中详细讨论了涉及信号完整性方面的传输线、时钟偏移和抖动、端接、过孔等问题。本书综合了数字和模拟设计技术，对数字电路设计人员提高设计技能、缩短其产品的开发周期、精通信号完整性技术等都大有裨益。

本书将理论与实践方法相结合，适合从事模拟和数字电路设计的相关人员使用，可作为大专院校相关专业师生的教学参考，同时也适合体系结构设计人员、EMC专家、印刷电路板设计和布线专业人士阅读。

本书特点

- 涵盖高速数字设备（20 MHz到20 GHz及更高）中发生的信号反射、串扰和噪声问题
- 包括了经验丰富的设计人员面对一个新系统时应该提出的一系列问题
- 提供了关于电感、电容、电阻、上升时间和Q值的计算公式，很有价值
- 解释了如何在信号串扰、机械装配公差和走线密度之间进行折中
- 介绍了在印制电路板走线时确定层数的方法

作者简介

Howard Johnson 1982年在美国莱斯大学获得博士学位后专攻高速数字通信和数字信号处理系统的设计，在数字设计领域有近30年的经验。一直从事数字电子设计和咨询业务，服务于全球的数字工程师，并在英国牛津大学授课。



策划编辑：马 岚

责任编辑：马 岚

责任美编：李 雯



ISBN 978-7-121-10470-1

9 787121 104701 >

定价： 35.00 元

国外电子与通信教材系列

高速数字设计

High-Speed Digital Design

A Handbook of Black Magic

[美] Howard Johnson
Martin Graham 著

沈 立 朱来文 陈宏伟 等译

王 强 审校

電子工業出版社
Publishing House of Electronics Industry
北京 · BEIJING

内容简介

本书是信号完整性领域的一部经典著作，其英文版已重印超过20次。全书结合了数字和模拟电路理论，对高速数字电路系统设计中的信号完整性和EMC方面的问题进行了深入浅出的讨论和研究，其中不仅包括关于高速数字设计中EMC方面的许多实用信息，还包括许多有价值的测试技术。另外，书中详细讨论了涉及信号完整性方面的传输线、时钟偏移和抖动、端接、过孔等问题。本书综合了数字和模拟设计技术，对数字电路设计人员提高设计技能、缩短其产品的开发周期、精通信号完整性技术等都大有裨益。

本书通俗易懂，是高速数字设计人员的必备参考书，实用性很强，独特地将理论与实践方法相结合，适合从事模拟和数字电路设计的相关人员使用。本书可作为大专院校相关专业师生的教学参考，对于体系结构设计人员、EMC专家、印刷电路板设计和布线专业人士也是一本极具价值的参考书。

版权贸易合同登记号　图字：01-2003-1036

图书在版编目（CIP）数据

高速数字设计/（美）约翰逊（Johnson, H.），（美）格雷厄姆（Graham, M.）著；沈立等译.
北京：电子工业出版社，2010.4
（国外电子与通信教材系列）
书名原文：High-Speed Digital Design: A Handbook of Black Magic
ISBN 978-7-121-10470-1

I. 高…　II. ①约…　②格…　③沈…　III. 数字电路－电路设计－教材　IV. TN79

中国版本图书馆CIP数据核字（2010）第035242号

策划编辑：马　岚
责任编辑：马　岚
印　　刷：北京市顺义兴华印刷厂
装　　订：三河市双峰印刷装订有限公司
出版发行：电子工业出版社
　　　　　北京市海淀区万寿路173信箱　邮编：100036
开　　本：787×1092　1/16　　印张：23.5　　字数：587千字
印　　次：2010年4月第1次印刷
定　　价：35.00元

凡所购买电子工业出版社的图书有缺损问题，请向购买书店调换；若书店售缺，请与本社发行部联系。联系及邮购电话：（010）88254888。

质量投诉请发邮件至 zlts@phei.com.cn，盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线：（010）88258888。

目　　录

第1章　基础知识

与低速情况下的数字设计相比，高速数字电路的设计着重强调了无源电路元件的特性。这些无源元件可能包括那些组成一个数字产品的连线、电路板、集成电路的封装，等等。在低速状态下，无源元件只是产品封装的一部分。当速度提高时，它们会直接影响电气性能。

高速数字设计研究无源元件对信号传播的影响（振荡和反射）、信号间的相互作用（串扰）以及和外界的相互作用（电磁干扰）。

让我们从回顾频率、时间和距离之间的相互关系入手，开始研究高速数字设计。

1.1　频率与时间

在低频时，一段普通导线可以有效地将两个电路短接在一起，但在高频时就不同了。高频状态下，只有宽的、扁平的导体才能够有效地短接两个电路。同样一段导线，在低频时是有效的，但在高频状态下因电感太大而无法完成短接功能。我们可以把它用做一个高频电感，而不是一个高频短接电路。

这是一个普遍的现象吗？难道在某个频率范围工作正常的电路元件在另一个频率范围就无法工作吗？电气参数对频率真的如此敏感吗？

的确如此。如果以对数频率为一个坐标轴，几乎没有哪个电气参数在超过10个或20个十倍频程的范围内依然能够保持为常数。因此，对于每个电气参数，我们必须考虑其有效的频率范围。

为了进一步阐明这个极宽的频段范围概念，首先来考虑对应极长时间周期的一个极低频率，随后将讨论在极高频率时的情况。

一个 10^{-12} Hz 的正弦波每 30 000 年才完成一个周期。TTL（晶体管－晶体管逻辑）电平的 10^{-12} Hz 正弦波平均每天中相应的变化值比 1 μV 还小。这的确是一个非常低的频率，但并不等于零。

有关半导体在 10^{-12} Hz 频率的任何实验，最后都不可能实现。完成 10^{-12} Hz 频率的实验所需的时间实在是太长，以致于电路已经化为灰烬了。在这样长的时间段内观察，集成电路只是一小块氧化硅而已。

如果说在 10^{-12} Hz 频率上的这一变化是未曾预料到的，那么，在另一个极端，也许是 10^{+12} Hz，你能想像出将会发生什么情况吗？

当我们把频率急剧提高时，时间周期会变得非常短，那些电气参数也会发生变化。例如，在 1 kHz 时，一段短的接地导线经测量得到的电阻为 0.01 Ω，而在 1 GHz 时，由于趋肤效应，电阻增加到 1.0 Ω。不仅如此，还得到了 50 Ω 的感抗。

当频率上升至电路元件工作频率范围的上限时，元件性能常常会发生较大的变化。

多高的频率范围对于高速数字设计才重要呢？图 1.1 回答了这个问题，图中描述了一个随机数字脉冲序列与其频谱的重要部分之间的关系。

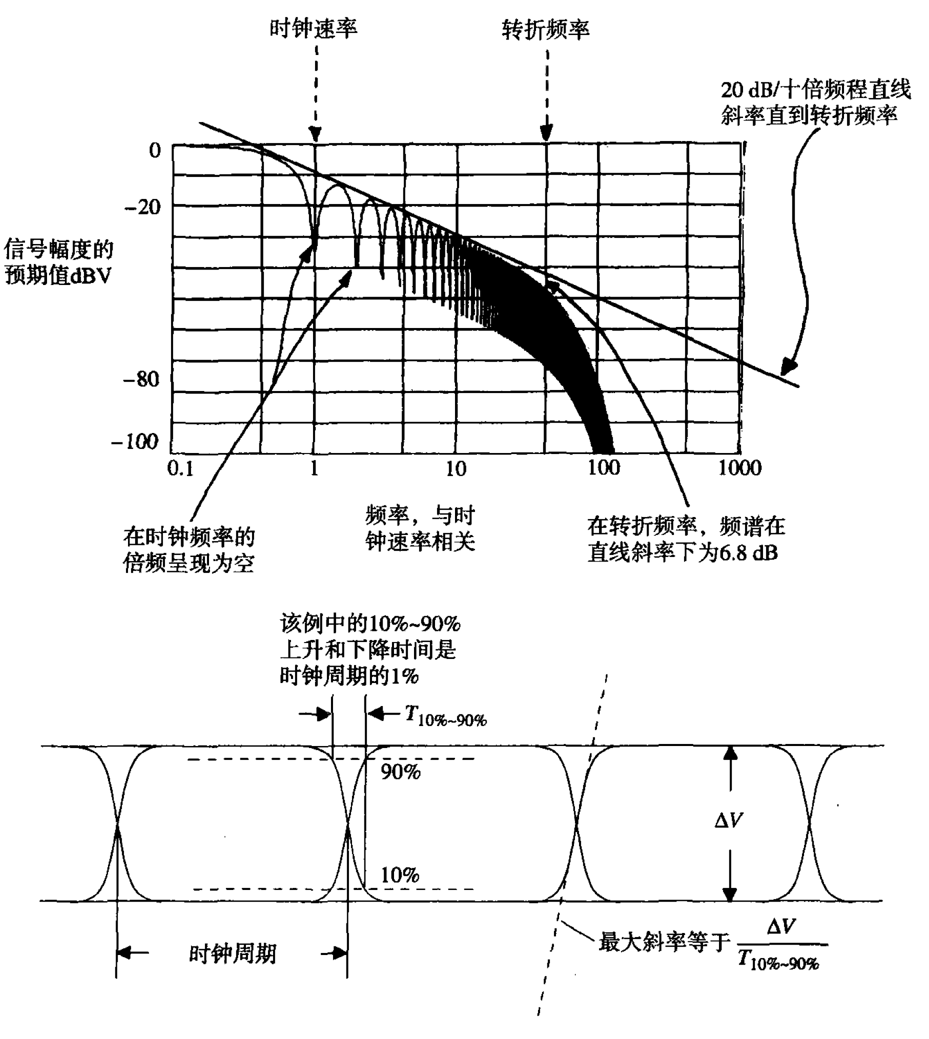


图 1.1 一个随机数字波形的预期频谱功率密度

图1.1所示的数字信号是由一个D型触发器输出的，其时钟频率为F_{clock}。在每个时钟周期，数据的值在1和0之间随机地触发。在这个例子中，10%~90%上升和下降时间记为T_r，为时钟周期的1%。

如图1.1所示，这一信号的频谱功率密度在时钟频率的各个倍频上显示为空（null），而且从F_{clock}向上直到标记为F_{knee}的频率点（转折频率），总的斜率为-20 dB/decade（即-20 dB/十倍频程）。超过F_{knee}，频谱滚降则大大快于20 dB/十倍频程。而在转折频率点F_{knee}，频谱功率的幅值比按20 dB/十倍频程滚降的预期值低了一半（-6.8 dB）[①]。对于任何数字信号，转折频率与其数字边沿的上升（和下降）时间有关，而与它的时钟速率无关：

$$F_{knee}=\frac{0.5}{T_r} \tag{1.1}$$

其中，F_{knee} = 转折频率，数字脉冲的大部分能量集中在该频率以下

T_r = 脉冲上升时间[②]

① 适用于附录B中描述的高斯波形。

② 目前，把该值看做10%~90%上升时间值，参阅附录B中关于多种形式的上升时间的定义的详细讨论。

缩短上升时间会提高 F_{knee} 频率。拉长上升时间则会降低 F_{knee} 频率。

任何数字信号的重要时域特性主要由F_{knee}频率以下的信号频谱所决定,从这一法则我们可以定性地推导出数字电路的两个重要特性：

1. 任何在其 F_{knee} 频率以内（包括 F_{knee} 频率）具有一个平坦频率响应的电路，可以允许一个数字信号几乎无失真地通过。
2. 数字电路在 F_{knee} 频率以上的频率特性对于它如何处理数字信号几乎没有影响。

注意，F_{knee} 只由信号上升时间定义，而且与其他频域参数没有直接联系。这个简明的定义使得 F_{knee} 容易使用，而且容易记忆。

当使用F_{knee} 的时候，应该记住这是一种不精确的频谱测量方法。作为一个参考标志，F_{knee} 能帮助我们把频率影响的结果区分为完全无关紧要的、或者仅仅是令人不安的以及完全破坏性的等几个级别。在大多数数字问题中，这正是我们所希望知道的。

当然，F_{knee} 也有局限性，F_{knee} 不能精确地预测系统的工作情况，甚至也不能精确地定义如何测量上升时间！F_{knee} 不能代替已经成熟的傅里叶分析方法，也不能用来预测电磁辐射。电磁辐射的特性取决于 F_{knee} 频率以上部分的具体频谱情况。

同时，对于数字信号，F_{knee} 能够以实用而有效的方式迅速地将时间和频率联系起来。我们将在本书中通篇使用F_{knee}作为数字信号所含频谱成分的实际上边界。附录B中包括了一些补充信息，为那些感兴趣的读者提供了关于上升时间和频率的各种不同量值。

回到前述推导的特性1，如果系统在F_{knee}之下的频率范围内有一个非平坦的频率响应，那么它是如何使数字信号产生畸变的呢？这里有一个例子。

我们知道，一个电路的高频响应影响它对瞬时过程的处理（比如上升时间）。电路的低频响应影响它对长期过程的处理（比如一个长时间的稳定脉冲）。图1.2说明了一个电路在高频和低频时具有的不同特性。这个电路可以通过高频变化（上升沿），但是不能通过低频变化（长期的稳定部分）。

让我们从一个特定频率 F_{knee} 开始分析图 1.2。在频率 F_{knee}，电容 C 具有的电抗（也就是阻抗的大小）为 $1/(C2\pi F_{knee})$。

我们用这个公式计算电抗并且用上升时间替换 F_{knee}：

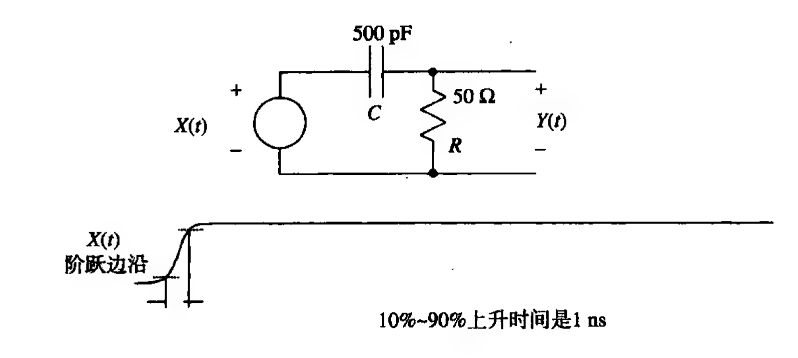
$$X_C = \frac{1}{2\pi F_{knee} C} = \frac{T_r}{\pi C} = 0.6\ \Omega \tag{1.2}$$

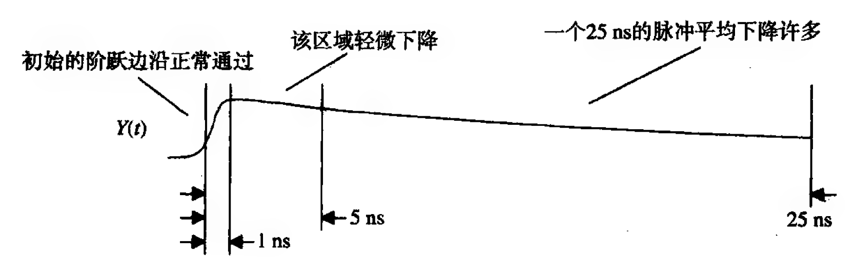
其中，T_r = 阶跃输入的上升时间，s
F_{knee} = 阶跃输入的最高频率，Hz
C = 电容，F

式（1.2）显示了如何用转折频率或上升时间来估算一个电容的电抗。

在图 1.2 的电路中，一个 0.6 Ω 的电抗实际上起一个短接的作用。全振幅的脉冲前沿（对应频率为 F_{knee}）将直接冲过这个电容。

时间间隔超过 25 ns（大约相当于 20 MHz 的频率），容性电抗增加到 15 Ω，导致耦合信号的幅度显著下降。





时间范围（ns）	电抗（Ω）	效果
1	0.6	快速的沿正常通过
5	3	轻微下降
25	15	下降许多

图 1.2 一个简单 RC 滤波器的时域分析

记忆要点

- 电路的高频响应影响其对瞬时过程的处理。
- 电路的低频响应影响其对长期过程的处理。
- 数字脉冲大部分的能量集中在转折频率以下：

$$F_{knee}=\frac{0.5}{T_r}$$

- 电路对阶跃信号边沿的处理取决于它的转折频率特性。
- 高于 F_{knee} 部分的电路频率特性对于数字性能几乎没有影响。

1.2 时间与距离

导线和印刷电路走线中电信号的传播速度取决于其周围的介质。传播延迟的大小以皮秒（微微秒）/英寸[①]（ps/in）为单位。传播速率（也称为传播速度），单位为英寸/皮秒（in/ps），是传播延迟的倒数。

① 1 in = 2.54 cm。——编者注

导线的传播延迟与其周围介质的介电常数的平方根成比例增加。同轴电缆的制造商经常在线缆内使用泡沫或肋状结构的绝缘材料，以减小实际的介电常数，从而降低传播延迟，同时减少介电损耗。表 1.1 中列出了两种同轴电缆，其区别在于它们的绝缘介质。

表 1.1　电磁场在不同介质中的传播延迟

介质	延迟（ps/in）	介电常数
空气（无线电波）	85	1.0
同轴电缆（75% 速度）	113	1.8
同轴电缆（66% 速度）	129	2.3
FR-4 PCB（外层走线）	140~180	2.8~4.5
FR-4 PCB（内层走线）	180	4.5
氧化铝 PCB（内层走线）	240~270	8~10

印刷电路板走线的单位延迟（每英寸）取决于印刷电路基板材料的介电常数和走线的几何结构。常用的印刷电路板材料 FR-4 在低频时的介电常数大约为 4.7 ± 20%，而在高频时劣化到 4.5。对于传播延迟的计算，应使用高频时的数值 4.5。

走线的几何结构决定了其电场是驻留于电路板内还是进入到空气中。当电场停留在电路板中时，实际的介电常数增大，因而信号传播较慢。当一个电路走线的环绕电场被封闭在电路板内两个地平面之间时，其环绕电场完全驻留于电路板内。对于典型的 FR-4 印刷电路板材料，形成的实际介电常数为 4.5。当电路走线位于印刷电路板的外表层时（外层走线），它的电场分布于走线一侧的空气及另一侧的 FR-4 基板材料中，形成的介电常数介乎于 1 和 4.5 之间。电路板外层走线总是比内层走线传输得快。

作为一种陶瓷材料，氧化铝用来制作非常密集的电路板（达 50 层之多）。它的优势在于热膨胀系数低且易于加工成非常薄的板层，但制造成本非常昂贵。微波工程师更看中氧化铝电路低传播速度（大的延迟）的特点，因为这样可以缩小谐振结构的尺寸。

记忆要点

- 传播延迟与介电常数的平方根成正比。
- 信号在空气中的传播延迟是 85 ps/in。
- 印刷电路板外层走线的传播速度比内层走线的快。

1.3　集总与分布系统

传导系统对于输入信号的响应，在很大程度上取决于系统的尺寸是否小于信号中最快的电气特性的有效长度，反之亦然。

一个电气特性的有效长度，比如一个上升沿，由该特性的持续时间和它的传播延迟来决定。作为实例，我们来分析一个 10 KH ECL 信号的上升沿。这类门电路的上升时间大约为 1.0 ns。这个上升沿沿着一条 FR-4 印刷电路板的内层走线传播时，其有效长度为 5.6 in：

$$l = \frac{T_r}{D} \tag{1.3}$$

其中，l = 上升沿的长度，in

T_r = 上升时间，ps

D = 延迟，ps/in

图 1.3 中的一系列瞬时波形图绘出了信号沿着一条 10 in 长的直走线传输时的电位。一个 1 ns 的上升沿从走线的左端注入。显然，随着该脉冲沿走线向前传播，各个点的电位是不一样的。这个系统对输入脉冲的响应是沿走线分布的，我们称之为分布式系统（distributed system）。第 4 ns 的瞬时波形图显示出这个上升沿的实际长度是 5.6 in。

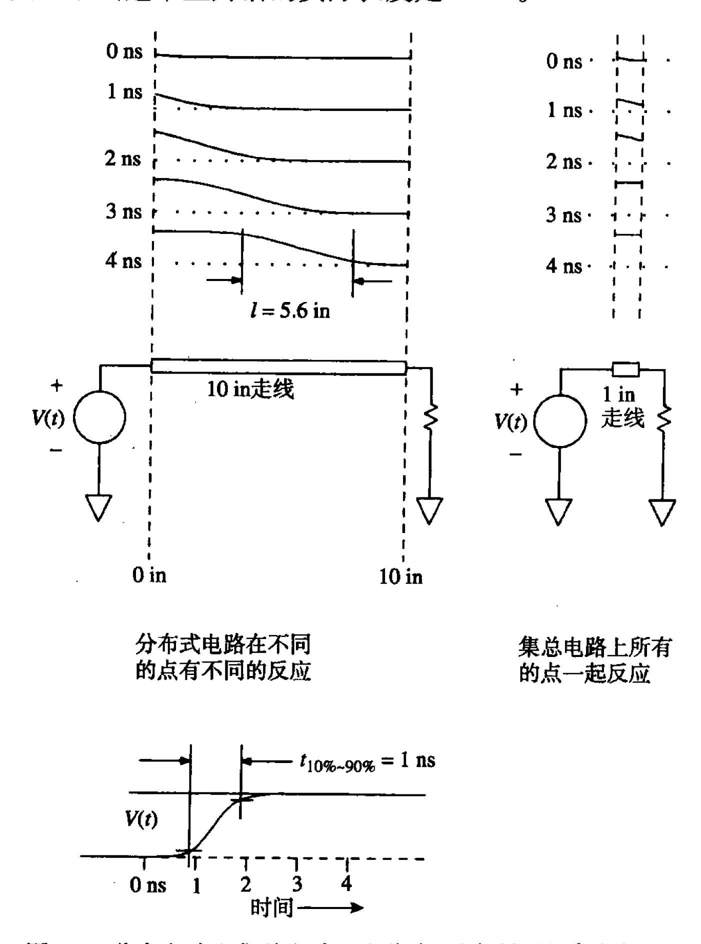


图 1.3　分布电路和集总电路上电位在不同时间的瞬时波形图

如果系统的物理尺寸足够小，并且所有点同时响应为一个统一电位，则称之为集总系统（lumped system）。图 1.3 中传输同样 1 ns 上升沿的一个 1 in 线路表现出一个集总系统的响应。该走线每个部分的电位在整个持续时间里（几乎）是一致的。

区分一个系统是分布式还是集总式要由流经该系统的信号的上升时间来决定。区分标志是系统尺寸与上升时间有效长度之比。对于印刷电路板走线、点到点的连线以及总线结构，如果连线长度小于上升沿有效长度的 1/6，则该电路主要表现为一个集总系统的特征[①]。

① 有些作者采用 $1/\sqrt{2\pi}$，还有的采用 1/4。其中心思想就是：结构尺寸小的是集总电路，而尺寸大的是分布电路。

记忆要点

$$上升沿长度\ l=\frac{上升时间（ps）}{延迟（ps/in）} \tag{1.4}$$

- 尺寸小于信号有效长度的 $l/6$，则该电路是集总电路。

1.4 关于3 dB和RMS频率的解释

当技术指标从模拟领域转换到数字领域的时候，通常需要将频率响应转换成上升时间。

例如，示波器制造商通常会给每个垂直放大器标出一个最大工作带宽，也为每个探头标出相应的最大带宽。但在有些时候，某些制造商可能采用的是一个3 dB带宽或一个RMS带宽（即等效噪声带宽）。无论哪种情况，带宽和上升时间之间的转换都将取决于示波器频率响应曲线的精确波形。

幸运的是，通常我们并不需要计算出一个精确的上升时间。针对本书的使用目的，我们建立了一个便于使用的近似关系式，从而可以忽略有关频率响应精确波形的复杂细节。附录B通过比较几种不同脉冲类型的精确计算结果，为这一方法提供了论据。

在下面的变换中，我们将频率响应转换为10%~90%上升时间。正如附录B所述，无论我们规定上升时间是采用10%~90%形式，还是采用脉冲中心斜率的倒数，或是标准偏差方法的形式，相对于调试和定位数字电路问题时所需的精确度，其结果几乎没有差别。

$$F_{3\,\mathrm{dB}} \approx \frac{K}{T_r} \tag{1.5}$$

$$T_r \approx \frac{K}{F_{3\,\mathrm{dB}}} \tag{1.6}$$

其中，$F_{3\,\mathrm{dB}}$ = 脉冲响应（特性曲线）下降3 dB时的频率值

T_r = 脉冲上升时间（10%~90%）

K = 比例常数，取决于具体的脉冲波形：对于高斯脉冲，$K=0.338$；对于单极型指数衰减脉冲，$K=0.350$

如果我们把脉冲类型从高斯脉冲换成一个单极型指数衰减脉冲，式（1.6）中的常数也相应地从0.338变成0.350。对于大多数的数字设计，如此细微的差别完全可以忽略。

当制造商给出一个子系统的RMS带宽，即等效噪声带宽时[①]，下面的关系式可用于计算该子系统的10%~90%上升时间。这里，常数 K 的值根据脉冲类型的不同在0.36~0.55之间变化，与式（1.6）相比，变化范围稍微大一些。

$$T_r \approx \frac{K}{F_{\mathrm{RMS}}} \tag{1.7}$$

其中，F_{RMS} = RMS带宽

T_r = 上升时间（10%~90%）

① 频率响应 $H(f)$ 的噪声带宽或者RMS带宽，是一个矩形频率响应在通过与 $H(f)$ 相同数量的白噪声能量时的截止频率。

K = 比例常数，取决于具体的脉冲波形：对于高斯脉冲，$K=0.361$；对于单极型指数衰减脉冲，$K=0.549$

通过观察示波器对一个极快上升沿的响应(比示波器响应快得多)，通常就可以判别出示波器是一个单极型响应还是一个高斯型响应。如果响应波形的前沿有一个明显的拐角，并且以陡峭的角度急剧减小，且过渡成一个延长的拖尾，则很可能是一个单极型响应。如果脉冲边沿逐渐地伸展，前沿和后沿对称，则很可能就是高斯型响应。介于两者之间，则采用$K=0.45$。

1.5 4种类型的电抗

有4个电路概念将高速数字电路与低速数字电路的研究区分开来：电容(capacitance)、电感(inductance)、互容(mutual capacitance)和互感(mutual inductance)。这4个概念为描述和理解数字电路元件在高速电路中的特性提供了内涵丰富的表述。

研究电容和电感的方法有许多种。微波工程师使用麦克斯韦方程组，控制系统的设计者使用拉普拉斯变换，提倡使用Spice仿真的设计者使用线性微分方程，数字电路工程师则使用阶跃响应。

阶跃响应的测量方法向我们展示的正是我们想要知道的：一个脉冲激励一个电路元件时究竟会发生什么情况。只要我们愿意，就可以由这个阶跃响应推导出电路元件阻抗与频率的关系曲线。从这个意义上来说，阶跃响应测量与阻抗的频域测量(至少)是同样有效的。

关于电容和电感的研究，我们将重点关注电路元件的阶跃响应。

图1.4举例说明了一个双端设备阶跃响应的一种经典测量方法。图中使用输出阻抗为R_sΩ的阶跃激励源。阶跃激励源与被测设备并联，这里我们测量其电压响应。在实际测量中，阶跃信号被反复不断地重复输入，而响应结果则同步显示在一个示波器上。

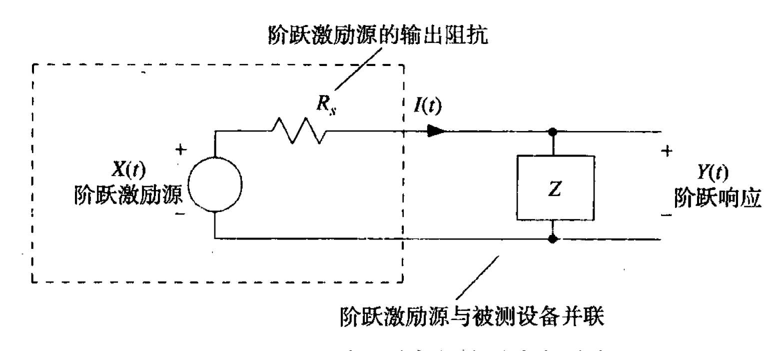


图1.4 一个双端口设备的阶跃响应测试

实际上，通过观察阶跃响应并运用以下三个经验法则，任何人都能够立即描述出被测设备的特征：

1. 电阻器显示出的是一个平坦的阶跃响应。在时间零点，输出电压上升到一个固定值并保持不变。
2. 电容器显示出的是一个上升的阶跃响应。在时间零点，阶跃响应从零开始，但随后上升为一个满幅值的输出。
3. 电感器显示出的是一个下降的阶跃响应。在时间零点，输出立即升至满幅值，随后逐渐衰减到零。

首先，阶跃响应作为时间的一个函数，我们根据其是否保持为常数，上升还是下降，就可以描述出任何一个电路元件的特性，并且分别将这些元件标记为阻性的、容性的或感性的。

电抗的效应（电容和电感）可以进一步细分为普通的和相互的两种类型。普通类型的电容和电感描述的是独立电路元件（双端器件）的特性。互容和互感的概念描述的是一个电路元件对另一个元件的影响。在数字电子学里，互容或互感通常会引起不必要的串扰，我们应该力求使其最小化。普通的电容或电感可能是有用的，也可能是有害的，这取决于电路的具体应用。

我们将定义一个特定的阶跃响应，用于描述互容和互感电路元件的特性。

在只考虑集总电路元件的条件下，我们按照下列顺序简要地研究有关电抗的概念：

- 普通电容
- 普通电感
- 互容
- 互感

1.6　普通电容

无论在何种情况下，两个具有不同电位的导体间都会产生电容。在两个具有不同电位的导体之间，总是存在一个电场。电场中存储的能量由驱动电路供给。因为驱动电路是一个功率有限的激励源，所以任何两个导体之间的电压将在有限的时间内建立一个稳定状态值。随着能量的注入，电压会很快地建立或衰减，其中对电压的阻力称为电容。例如两个平行金属板的结构，在低电压下包含了大量电荷，所以电容就很大。

图 1.5 显示了由 30 Ω激励源驱动一个电容时理想的电流和电压波形[①]，电容阶跃响应的上升变化显示为一个时间的函数。当电压阶跃刚开始时，大量的能量流入电容，从而建立起它的电场。进入电容的初始电流相当高，而电压与电流的比值 $Y(t)/I(t)$ 非常低。在很短的时间范围内，电容看起来就像一个短路连接。

随着时间的推移，比值 $Y(t)/I(t)$ 逐渐增大。最终，电流下降至接近于零，电容此时看起来像开路一样。最后，电容内的电场完全建立，由于电介质非理想的绝缘性质，电容两极之间只有一个很小的泄漏电流存在。此时的 $Y(t)/I(t)$ 比值非常高。

有些电路元件的阶跃响应在某个时间范围内显示为电容特征，而在另外的时间范围内显示为电感特征，或者相反[②]。举例来说，电容的安装引脚在非常高的频率时，其电感通常足以使整个元件呈现为电感特征。该电容的阶跃响应在零时刻会出现一个微小的脉冲，也许仅有数百皮秒（对应于引脚电感大小），接着下降至零，随后才是一个正常的容性上升斜线。

如果阶跃激励源的上升时间太慢，输出曲线的轨迹将不会出现电感性尖脉冲。由于脉冲非常短，如果示波器的扫描时间基准设定得太慢，也很容易会错过。令人感兴趣的是，通过调整上升时间和设定扫描时间基准，我们可以使电路元件的阶跃响应测量结果在某个特定频率范围内特征更加突出。概括来说，如果阶跃上升时间是 T_r，接近零时刻的阶跃响应与电路元件在频率 F_A 附近的阻抗大小有关：

① 30 Ω 的激励源近似于一个标准 TTL 输出的驱动能力。

② 同样也可以认为这是元件在不同的频率下表现出不同的特性，这里我们重点分析其时域的响应。

$$F_A \approx \frac{0.5}{T_r} \tag{1.8}$$

其中，T_r = 阶跃激励源的上升时间

F_A = 近似分析频率

通过直观地平均整个时间周期上的阶跃响应值，我们可以估算出较低频率上的阻抗大小。采用式（1.8）可以计算出对应于一个平均周期值 T_r 的近似分析频率。

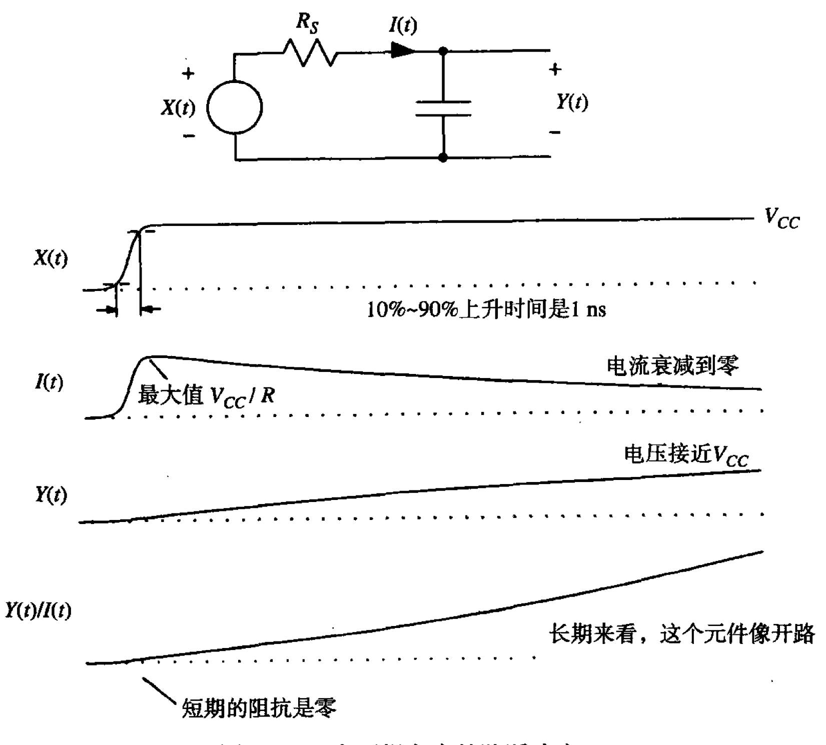


图 1.5　一个理想电容的阶跃响应

阶跃响应的最终数值显示出了直流时的阻抗。

仅从一个阶跃上升时间 T_r，我们无法推断出比 F_A 更高的频率分量上的更多特性。只有阶跃激励源的信号频率足够高，才能确保揭示出所想要看到的情况。

图 1.6 描绘了一个测量装置，适合用来表现一个几皮法电容在纳秒级时间周期上的特性。这个装置适用于揭示诸如印刷电路走线、门电路输入电容、旁路电容元件以及其他数字电路通用元件的电容特性。该方法通过一个已知的电阻来驱动被测电容。通过测量产生波形的上升时间，可以推导出电容的容值。与音频电路所用技术相比较，这个装置非常复杂。复杂性来自于在高频电磁场能量的控制和引导方面的困难。同轴电缆用来直接引导测试信号，并把测量结果输入输出到一个小于 1 $in^2$①的完整地平面，该处是实际进行测量的位置。把测量区域限制为 1 in^2，是为了确保电路呈现为集总电路的特性。

例 1.1　一个小的接地电容的测量

本例中（见图 1.6）的被测设备（DUT）是一个平行板电容器。采用 0.5 in × 0.75 in 的

① 1 in^2 = 6.4516 cm^2。——编者注

1.5 oz[①]覆铜层印制在环氧树脂FR-4印刷电路板正面，背面是一个平行的完整地平面，标称的平行间隔为0.008 in。这个结构构成一个电容器，附带有非常低的寄生串联电感。

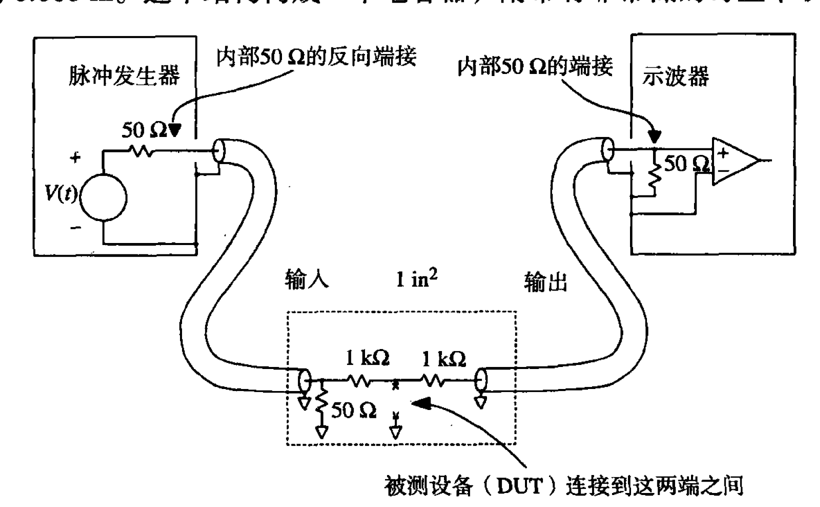


图1.6 一个用于测量电容的500 Ω实验室装置

测量装置由两个RG-174同轴电缆组成，分别用于信号的输入和输出。输入电缆通过50 Ω端接到地，已端接的信号输出通过一个1 kΩ的驱动电阻连接到被测设备。1 kΩ电阻隔离了被测设备与信号源，为信号源提供一个恒定的端接阻抗，从而无需考虑被测设备的阻抗。隔离保证了信号源的上升时间及信号幅度性能的一致性，而无需考虑被测设备的负载阻抗。

实际电路中的信号源脉冲发生器应能提供幅度及上升时间与期望值相近似的信号。当测量无源元件时，脉冲发生器的直流偏置并不太重要。另一方面，当测量门电路输入时，通常应使脉冲源的输出覆盖门电路输入的整个转换范围，并向被测门电路提供能量，以使门电路偏置于实验所需的工作范围之内。需要较大输入驱动电流的门电路可能还会要求比1 kΩ更小的源端电阻。

如果信号发生器具有一个50 Ω的反向端接器件，利用它可以减少输入电缆上的反射。该器件在信号发生器输出级插入一个50 Ω的串联阻抗，可以减少信号源电缆的前向和后向反射，该反射通常是由测试夹具与信号源输出阻抗之间不可避免的轻微不匹配而引起的。采用反向端接后，来自源信号的不必要反射被两次衰减，第一次是被测试夹具弹回时，第二次是在源端反向端接电阻上反弹后返回到测量仪器的路径上。反向端接虽然使信号源输出的有效幅度降低了一半，但是改善了系统阶跃响应。

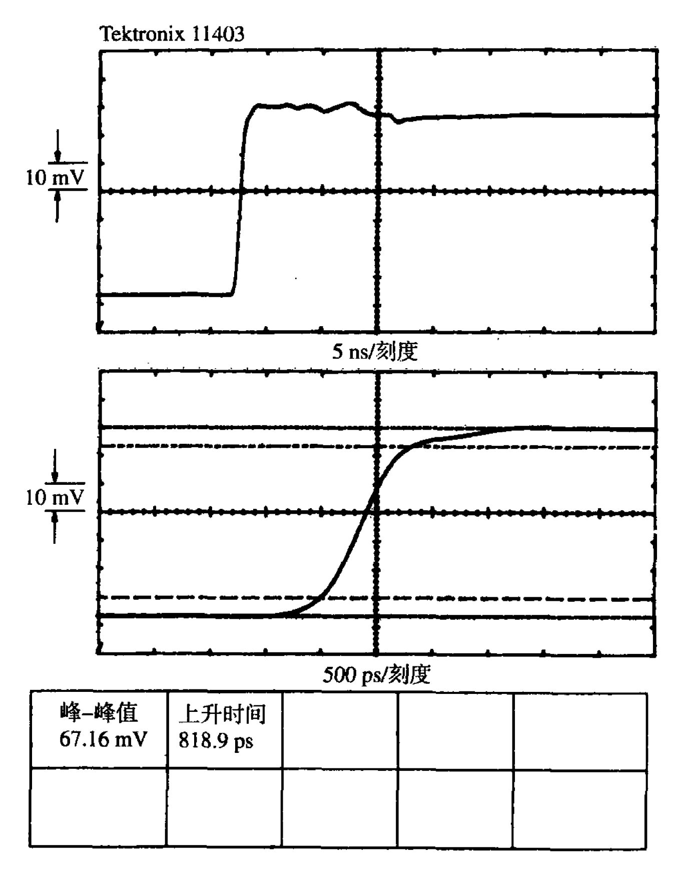
输出电缆通过一个1 kΩ电阻与被测电路隔离连接，另一端连到一个内部含有50 Ω端接的示波器输入端。1 kΩ电阻起一个21:1探头的作用。这个信号感应装置的优点将在本书后面关于示波器探测的小节中详细阐述。这里的输入和输出电缆都是3 ft长[②]。

① 1 oz（盎司）= 28.3495 g。——编者注

② 较长的电缆有一个好处，反射发生较晚，以至于不会显示在示波器上，缺点是较长的电缆会导致更多的信号衰减。在有些长度，电缆的响应会使可观察到的上升时间劣化。在图1.7中，3 ft长电缆的反射影响显示在图上大约是8 ns。

1 ft（英尺）= 0.3048 m。——编者注

当信号源的阶跃输入为 2.6 V，且 DUT 断开时，这个探头的开路响应结果如图 1.7 所示。顶部的扫描线是以 5 ns/ 刻度记录的，底部的扫描线记录的是同一信号放大为 500 ps/ 刻度的视图。



峰–峰值 67.16 mV	上升时间 818.9 ps			

图 1.7　一个 500 Ω 电容测试装置的开路响应

用于记录这个波形的 Tektronix 11403 示波器自动计算出的 10%~90% 上升时间为 818 ps。标称阶跃幅度应是 63 mV（示波器测出的峰值为 67 mV），注意这里测出的阶跃幅度是 DUT 上的幅度的 1/21，而 DUT 上的幅度 1.3 V 是信号源驱动电压的一半。

如图 1.8 所示，这个实验配置的戴维南等效电路，将总的系统上升时间都集中表现到信号源上。这里不关心究竟是信号源还是示波器使得观察到的上升时间变得更慢。任何一个具有近似开路上升时间的信号源与示波器的合理组合，在这个 DUT 的影响下都会有类似的特性。我们只关心已知的信号源－示波器组合的总上升时间。当测量无源元件时，我们同样只关心观察到的阶跃幅度，而 DUT 上实际的电压细节和探头衰减比例都不重要。

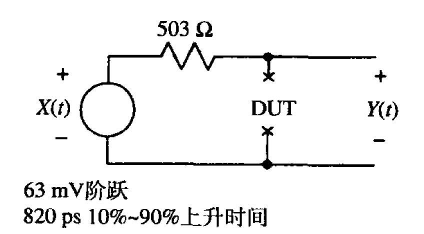


图 1.8　一个 500 Ω 电容测试装置的戴维南等效电路

关掉脉冲源而仍然保持50 Ω反向端接的连接，采用一个欧姆表在DUT的端子上测量，得到信号源的源端阻抗为 503 Ω。这个 503 Ω 电阻是 1 kΩ 驱动电阻和 1 kΩ 感应电阻并联的结果。

在连接DUT的情况下，观察到的电压波形显示为电容特性，由低开始然后上升（见图1.9）。初始驱动波形的存储副本被重叠在这个图上以便读者参考。通过这个探头，在整个可观察的时间刻度范围上，从800 ps（信号源和示波器组合的总上升时间）到40 ns（在示波器图中显示的线迹长度），DUT 表现出理想的容性。

从图1.9中光标沿着上升时间标示出的63%的点，我们可以得知*RC*时间常数为23.5 ns[①②]。已知驱动电阻为 503 Ω，我们可以用关系式 $C=\tau/R$ 计算出 DUT 的电容值：

$$C=\frac{23.5\times10^{-9}\,\mathrm{s}}{503\,\Omega}=46.7\,\mathrm{pF} \tag{1.9}$$

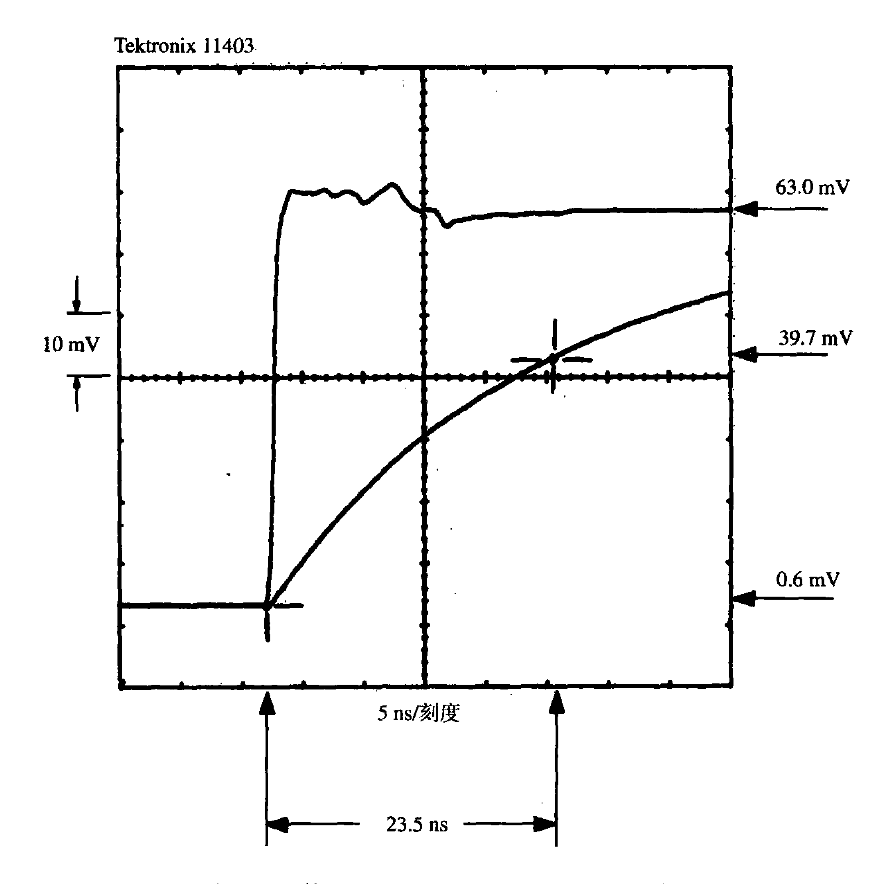


图 1.9 使用63% 的方法找出一个时间常数

① 在一个时间常数内，一个上升沿正好上升到其终值的 63%，一个下降沿则下降到其初始值的 37%。

② 即，当 $t=\tau=RC$ 时，

对于上升沿：$V_C(t)=RI_S(1-e^{-\frac{1}{RC}t})$，$V_C(\tau)=RI_S(1-e^{-1})=0.63\,RI_S$

对于下降沿：$V_C(t)=V_0e^{-\frac{1}{RC}t}$，$V_C(\tau)=V_0e^{-1}=0.368\,V_0$ ——译者注

从这个上升时间和频率之间的关系可以推导出一个粗略的办法，用电容的数字波形前沿来表示电抗。当考虑到由于一个容性负载导致的数字波形失真时，这种方法非常有用。

$$X_C = \frac{T_r}{\pi C} \tag{1.10}$$

对于一个 3 ns 上升沿，例 1.1 中的电容的电抗值为 20.44 Ω。由此我们预知它将会使来自输出阻抗为 30 Ω的TTL驱动器的一个3 ns上升沿显著畸变（使其减慢）。

在任何时刻，电容上流过的电流与其电压的上升时间的关系总是依照下列通用公式：

$$I_{电容} = C\frac{dV_{电容}}{dt} \tag{1.11}$$

在后面的章节中，式（1.11）可以帮助我们计算由电路之间的电容引起的串扰。

记忆要点
● 电容测量装置可以很容易地采用一个脉冲源和一个示波器来搭建。

1.7 普通电感

无论何处，只要存在电流，就会产生电感。由驱动电路提供的电流会产生一个磁场，能量被存储在磁场中。因为任何驱动电路都是一个功率有限的激励源，电流总会在有限的时间内建立一个稳定状态值。很快地建立或很快地衰减的电流阻力，称为电感。

图 1.10 显示了由 30 Ω 的激励源驱动一个电感而产生的电流和电压的理想波形。电感的阶跃响应的衰减变化是一个时间的函数。在电压阶跃的最初时刻，几乎没有电流流过，使得 $Y(t)/I(t)$比值非常高。在短时间内，电感看起来如同开路。

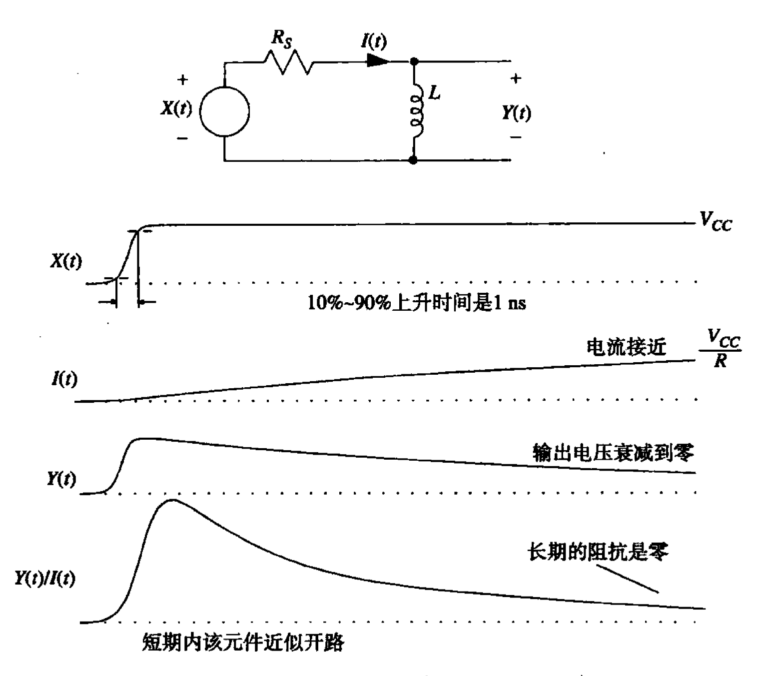


图 1.10　一个理想电感的瞬时阻抗

随着时间的推移，$Y(t)/I(t)$比值逐渐减小。最后，电压下降到接近于零，电感这时看起来如同短路一样。稍后，当环绕电感的磁场完全建立后，电流只受电感的直流电阻限制。比值$Y(t)/I(t)$变得非常低。

图 1.11 显示了一个优化了的测量装置，用于揭示纳亨（nH）级电感的特性。这个装置适合用来测量接地走线或较短导线的电感。

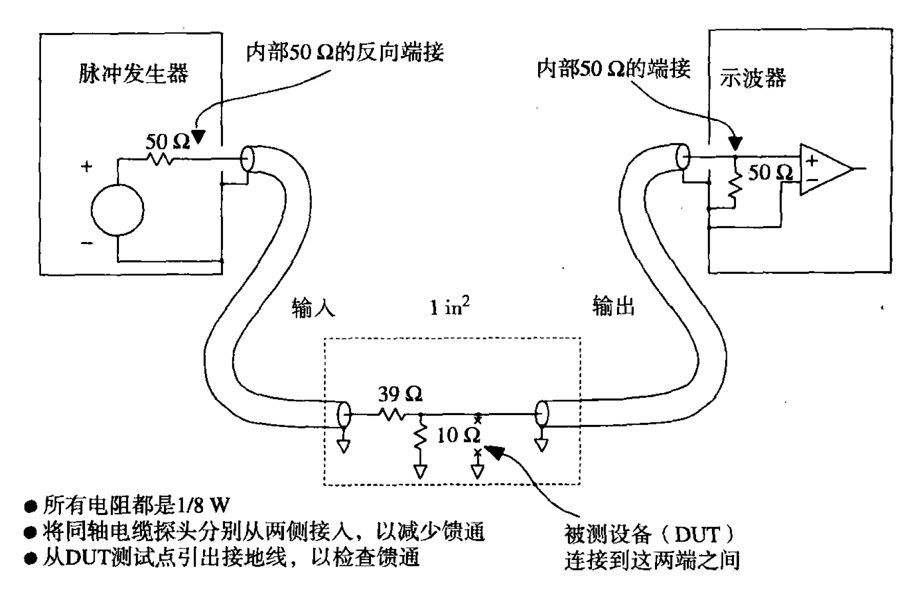


图 1.11　用于测量电感的 7.6 Ω 实验室装置

例 1.2　一个小的接地电感的测量

本例中的被测设备（DUT）是一条短的电路走线（见图 1.11），长度为 1 in，采用环氧树脂FR-4 印刷电路板，1.5 oz 的覆铜。该走线布在一个完整地平面的上方，标称间隔为0.008 in，线宽是 0.010 in。走线的远端通过一个 0.035 in 直径的过孔短接到地。当开路时，这个结构对地的寄生电容为 2 pF，当远端短接到地时，则减半[①]。计算得到的电感大约是 9 nH。

我们打算使用一个800 ps的上升时间来揭示这个电路的特性。首先确定一下我们所希望看到的：在该频率上寄生电容的阻抗远远大于电感的阻抗。

$$X_C = \frac{T_r}{\pi C} = 254\ \Omega \tag{1.12}$$

$$X_L = \frac{\pi L}{T_r} = 35\ \Omega \tag{1.13}$$

在我们的测量中出现的容抗值比预期的感抗值大 8 倍。电容的这一影响将会把L/R观测值提高 12%。

测量装置由两个 RG-174 同轴电缆组成，分别用于输入和输出。输入电缆通过总和为 49 Ω 的电阻接地，其中包括驱动 DUT 抽头的 10 Ω 电阻。在这个测试夹具中，信号源没有像电容测试夹具中那样与 DUT 很好地隔离。在不同的 DUT 负载条件下，从信号源看到的

① 对于那些熟悉短传输线理论的人来说，按照 Pi 模型（C + L + C），一条短的传输线在远端短接只是把两个电容中的一个短路。其结果是一个振荡槽路（tank circuit），由总的电感和开路电容的一半组成。

端接阻抗在 39 Ω 到 49 Ω 之间变化[①]。因为我们预料到 DUT 的不匹配会产生反射，所以不要忘记脉冲发生器的反向端接。

调整信号发生器，使之没有直流偏置。任何时候电感都会短路所有的直流偏置。

把信号源关掉，但 50 Ω 的反向端接仍然保持连接，在 DUT 端测量得到源端阻抗是 7.6 Ω。这是信号源的 50 Ω + 39 Ω 阻抗、抽头的 10 Ω 电阻以及探头的 50 Ω 阻抗总的并联结果。

我们已经为 DUT 安排了一个低的源端阻抗，以放大 *L/R* 的衰减时间。如果用一个 500 Ω 戴维南等效源端电阻的测试夹具，预期的 *L/R* 时间将只有 0.018 ns。采用 7.6 Ω 的源端阻抗，预期的 *L/R* 衰减常数为 1.2 ns。

在这个实验中，输出电缆直接把 DUT 连接到一个示波器的输入端，示波器的输入端内部采用 50 Ω 端接。输入和输出电缆都是 3 ft 长。

当驱动为 2.4 V 的阶跃输入时，图 1.12 显示了这个 7.6 Ω 装置的开路响应。示波器自动计算出的 10%~90% 上升时间为 788 ps。阶跃幅度是 417 mV。探头的设置是 1:1，因此 DUT 上的电压实际是 417 mV。

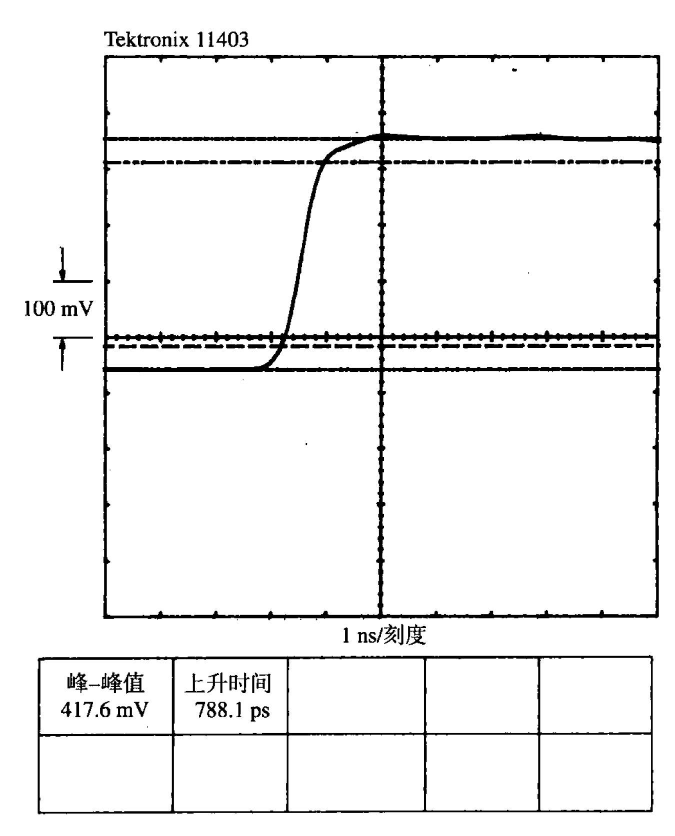


图 1.12　7.6 Ω 电感测量装置的开路响应

图 1.13 显示的是这个 7.6 Ω 测量装置的戴维南等效电路。

① 因为电感的短期阻抗很高，端接网络的最佳选择是 39 Ω 和 10 Ω，提供 49 Ω 的初始值，使初始的阶跃上升沿的端接为 49 Ω。如果我们测量例 1.1 中低感抗的电容，最佳选择将是 50 Ω 和 10 Ω，因为一个电容的短期阻抗初始值为零。

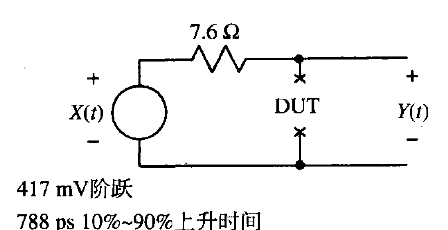


图 1.13 7.6 Ω 测试装置的戴维南等效电路

在DUT连接的情况下（见图1.14），观察到的电压波形显示为电感特性，电压随着输入信号很快上升，然后衰减到零。对于该装置，在整个可观察的时间范围上，从800 ps（信号源和示波器组合的总上升时间）到7 ns（在示波器的图中显示的线迹长度），DUT都是感性的。指数衰减时间是1.36 ns，其测试是通过对两个光标在电压上仔细定位，使其电压之比为乘数因子 e。

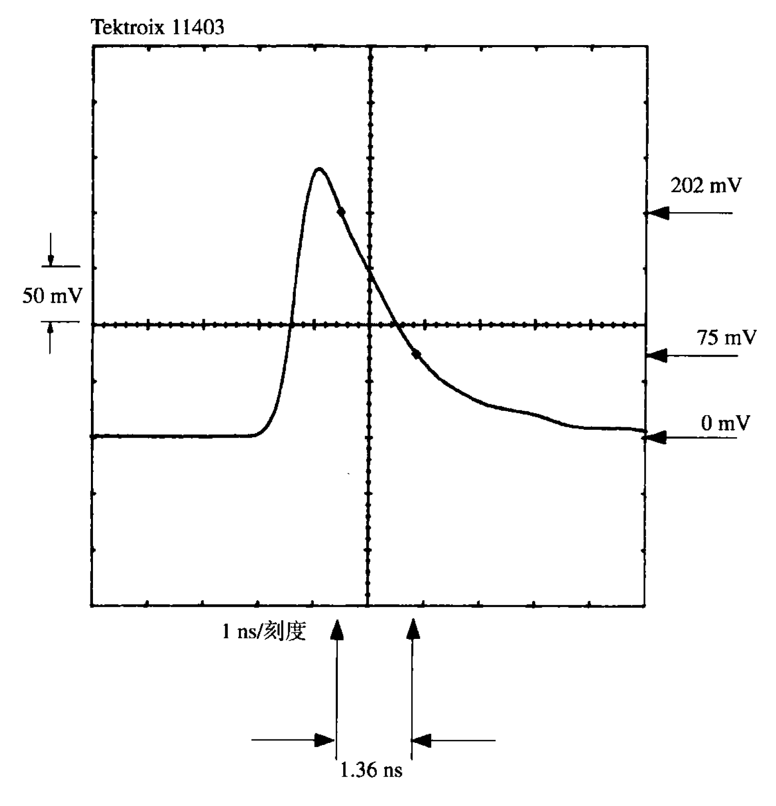


图 1.14 7.6 Ω 电感测试装置的指数衰减响应

采用关系式 $L = R\tau$，从测量到的衰减常数，我们可以计算出DUT的电感：

$$L = (1.4 \times 10^{-9}) \times (7.6\ \Omega) = 10.6\ \text{nH} \tag{1.14}$$

我们可以用上升时间和频率之间的关系推导出一个粗略的办法：用电感与数字波形的前沿表示电抗。在考虑由于寄生串联电感引起的不良接地中导致的地信号反弹时，这种近似方法非常有用。

$$X_L = \frac{\pi L}{T_r} \tag{1.15}$$

例 1.2 的电感是一条 1 in 长的走线。对于 3 ns 的上升沿，电抗为 9.4 Ω。如果这个走线用来将一个 50 Ω 端接器接地，上升沿为 3 ns 时，总的端接值偏差 20%。

如果这个走线用来将一排 8 个 50 Ω 端接器接地，8 个端接器的并联阻抗（50/8 = 6 Ω）实际上小于该走线的阻抗。如果所有的 8 个端接线路同时跳变，端接排将无法正常工作。

在任何时刻，电感上的电压与流过电感的电流的上升时间的关系总是依照下列通用公式：

$$V_{电感} = L\frac{dI_{电感}}{dt} \tag{1.16}$$

后面当我们计算电路之间的电感引起的串扰时，将采用式（1.16）。

关于短接电路能不能工作，可以对比两种把数字线路短接到地的普通方式：一个刀片和尖嘴钳的两个尖嘴。

在调试过程中，经常需要把一个信号短接到地来验证一个电路正常（或不正常）。如果这个短接工具电感太大，窄脉冲将会从未短路的地方溜过。时钟线和异步中断线尤其容易受到这个窄脉冲问题的影响。

当用一个刀片短路两个相距 0.3 in 的电路节点时，其电感在几个纳亨的量级上。对于一个 1 ns 的上升沿，刀片阻抗的大小约为 6 Ω，见式（1.15）。

当用一把尖嘴钳短接同样两个电路节点时（钳子的尖嘴各在一边），其电感在 10~20 nH 的量级上。信号从尖嘴钳的一个尖嘴传送上去，经过接合处，从另一个尖嘴上传送下来，其导致的电感要大于刀片的电感。对于同样的 1 ns 的上升沿，尖嘴钳的阻抗至少有 30 Ω。对于把一个短的 TTL 脉冲短路到地，30 Ω 无论如何都不够低。

1.8 估算衰减时间的更好方法

在电感测试夹具中，预期的特征衰减时间 $T_{L/R}$ 与测试装置的开路上升时间 $T_{开路}$ 的比不是很大：

$$\frac{T_{L/R}}{T_{开路}} \approx \frac{1.2\times10^{-9}}{0.8\times10^{-9}} = 1.5 \tag{1.17}$$

这个低的比值意味着在初始的阶跃上升完成之前，测试波形已经开始衰减。测量出的输出波形不是简单的指数形式，而是更复杂。仔细观察图 1.14 的峰值幅度，与开路时的 417 mV 渐近线相比，会发现它所达到的最大值只有 250 mV。这一迹象表明在例 1.2 中测量到的指数时间常数可能并没有准确地反映真实的电感。如果进一步更远地测量波形的衰减常数，远离初始阶跃，实际波形会更加按照指数规律衰减。遗憾的是我们不能再进一步更远地观察，因为当波形继续向示波器屏幕右侧移动时，由于寄生耦合、反射以及其他的噪声，波形将呈现波浪起伏。

1.8.1 测量一个响应曲线下的总面积

我们需要一种更可靠的方法来使用图 1.14 的曲线形状估算电感。希望该方法能考虑整个波形，而不只是两个光标位置上的数值，避免由于测量设备的上升时间的限制而产生的失真。下面的方法采用了图 1.14 中曲线下总面积的值来进行估算。

在图 1.15 中，调用了 Tektronix 11403 示波器的一个面积测量功能来计算图 1.14 中曲线下的面积，单位是皮伏 - 秒（picovolt-second, pVs），计算出的总面积值为 495.7 pVs。在没有这

个自动功能帮助的情况下，基于7个点的简单梯形逼近法是一种有效的手工面积测量方法。所选的点定位在上升沿的起始、上升的中间和顶点，其余的点沿着衰减曲线散布。

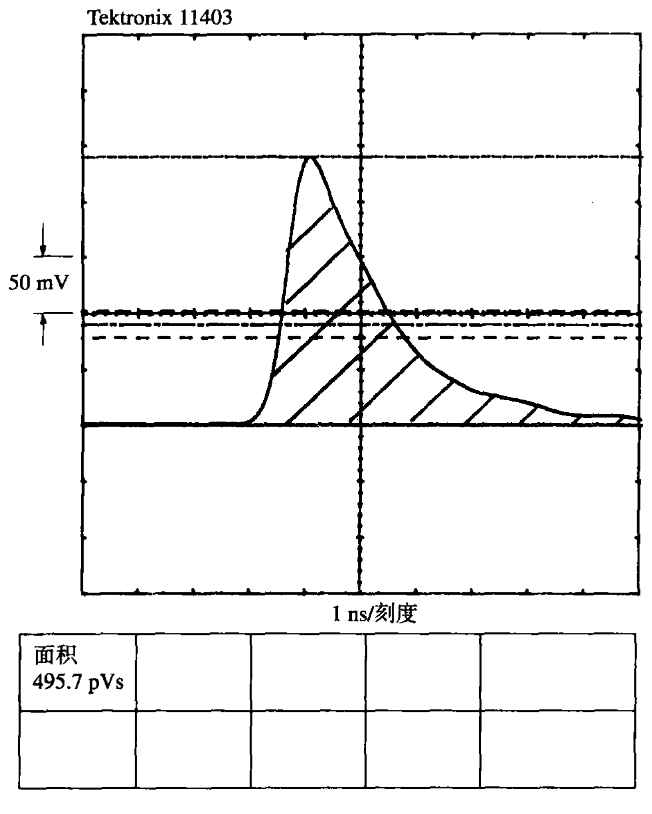


图 1.15　7.6 Ω 电感测试装置响应曲线的面积

现在，我们揭示曲线下的面积和电感 L 之间的简单数学关系[①]。

首先，按照通用公式：

$$V_{电感} = L\frac{dI_{电感}}{dt} \tag{1.18}$$

电感上的电压，在任何时刻总是与通过该电感的电流的上升时间相关。

式（1.18）两边求积分，可得到：

$$\int_0^\infty V_{电感}(t)dt = L\int_0^\infty \frac{dI_{电感}(t)}{dt}dt \tag{1.19}$$

式（1.19）的右边是一个导数的积分，正好等于 $I(t)$ 的最终值与初始值的差：

$$\int_0^\infty V_{电感}(t)dt = L[I(\infty) - I(0)] \tag{1.20}$$

式（1.20）左边的值正好是图 1.14 中探头响应曲线下的面积。这个关系式把面积和电感联系了起来：

① 这里的解释采用了一些微积分，但读者可以只使用结果而不用计算。

$$面积 = L[I(\infty)-I(0)] \quad (1.21)$$

或者，重新用ΔI来表示阶跃电流从起始到最终的变化值：

$$L = \left[\frac{面积}{\Delta I}\right] \quad (1.22)$$

如果已知源端阻抗R_S，可以把ΔI转换成$\Delta V/R_S$，把式（1.22）变换成最终的形式：

$$L = \frac{(面积)\times(R_S)}{\Delta V} \quad (1.23)$$

1.8.2 应用到图 1.15 中

对于图 1.15 中的实验，可得到：

$$L = \frac{(面积)\times(R_{戴维南})}{\Delta V_{开路}} = \frac{(495\ \text{pVs})\times(7.6\ \Omega)}{418\ \text{mV}} = 9.0\ \text{nH} \quad (1.24)$$

因为面积测量法使用的是整个波形，而不是选取两个光标位置的测量方法，所以，与光标测量技术相比，它更能免除噪声和波形失真的干扰。对噪声的抗干扰性是由于噪声的平均面积趋向于零。对波形失真的抗干扰性是由于观测设备有限的上升时间，这是一个更令人感兴趣的特性。这个特性来自于一个客观事实：无论测量装置的阶跃响应是什么样的，其曲线下的面积不变[①]。

记忆要点

- L/R 指数衰减曲线下的面积提供了衰减时间常数的一个精确值。
- 脉冲发生器或者示波器的上升时间慢，不会改变电感测量夹具测量到的波形面积。

1.9 互容

无论何处，只要存在两个电路，就会有互容。一个电路的电压产生电场，该电场会影响第二个电路。两个电路之间的电场相互影响，其互相影响的系数随距离的增加快速地减小。在两个电路之间，电的相互作用系数称为它们的互容（mutual capacitance），单位是法拉（F），或安培-秒/伏。两个电路之间的互容耦合可以简单地看做从电路A到电路B的一个寄生电容连接。

一个互容C_M将电流I_M注入到电路B，按照下列规则，I_M与电路A中的电压变化率成正比：

$$I_M = C_M \frac{dV_A}{dt} \quad (1.25)$$

对于实际的耦合噪声电流，式（1.25）是个简单的近似。完整的公式应该采用电路A和B之间的电压差，以及电容C_M对两个电路的负载效应。这个简单近似公式，即式（1.25），在以下3个假设前提下成立：

---

① 通过计算响应曲线下的面积，实际上计算的是直流的频率响应。示波器或信号发生器的频率响应上的任何干扰都不会影响该直流响应，而且也不会影响响应曲线下的面积。可以通过傅里叶积分或者信号卷积的定义来证明这些论述。

1. 在C_M中流动的耦合电流远远小于电路A中的原有信号电流。因此电路A不必考虑电容C_M的负载。
2. 电路B中的耦合信号电压远远小于电路A中的信号。当计算噪声电流时，可以忽略电路B中这个微小的耦合电压，并且假定电路A和B之间的电压差简单地等于V_A。
3. 假定这个电容的阻抗比电路B的接地阻抗大许多。我们将用I_M乘以电路B的接地阻抗值来计算耦合噪声电压。这个过程忽略了互容和第二个电路之间的相互作用。

当耦合噪声电压小于信号阶跃幅度的10%时，这些近似值精确到一个小数位。对于判断哪一个因素值得继续追查，该精确度已经足够了。当耦合噪声电压大于信号阶跃幅度的10%时，该近似值变得比较差，但是对于一个数字电路，10%串扰或许已经无法工作，因此提高精确度也没有任何意义。

1.9.1 互容与串扰的关系

假设已知一个互容的值为C_M，电路的上升时间为T_r，接收电路的阻抗为R_B，我们可以按驱动波形V_A的相对值来估算串扰。

首先求出波形V_A的单位时间电压变化的最大值，其中ΔV为驱动波形的阶跃幅度，T_r是驱动波形的上升时间：

$$\frac{dV_A}{dt}=\frac{\Delta V}{T_r} \tag{1.26}$$

接下来，采用式（1.27），计算从电路A流到电路B的互容电流：

$$I_M=C_M\frac{\Delta V}{T_r} \tag{1.27}$$

用干扰电流I_M乘以R_B计算出干扰电压，再除以ΔV，把这个结果表示成一个相对形式的干扰电平。

$$\text{串扰}=\frac{R_B I_M}{\Delta V}=\frac{R_B C_M}{T_r} \tag{1.28}$$

在实际情况中，涉及多个干扰源（例如，EMI滤波器的布局中将许多元件一起塞进一个连接器外壳里），分别估算每对元件之间的互容，然后把每个源电路到每个接收电路的部分串扰加起来。如果一个干扰电平仅为2%，总计超过5个相邻干扰源，对于一个TTL系统，得到的干扰是500 mV。这已经超过了典型的TTL噪声容限，表示已经是一个严重的问题。

例1.3 互容的测量

图1.16描述了一个涉及互容耦合的情况。两个1/4 W的碳膜电阻的中心间距为0.1 in。安装在0.063 in厚的环氧树脂印刷电路板上。印刷电路板的焊接面是一个完整的地平面，元件面没有覆铜。电阻牢固地插接在印刷电路板的元件面上，在地面上方0.063 in处[①]。在电阻R_2的一端注入测试信号，在电阻R_3相反的一端测量感应电流。在这一安排中，把输入和输出同轴电缆的连接隔开了，减少了直接的馈通。端接电阻R_1是一个1/8 W电阻，安装在电路板焊接面上。脉冲发生器使用了反向端接，与示波器的端接器相同。

① 在多层板中，内层的地平面距表面更近，小于0.063 in，降低了互容耦合。

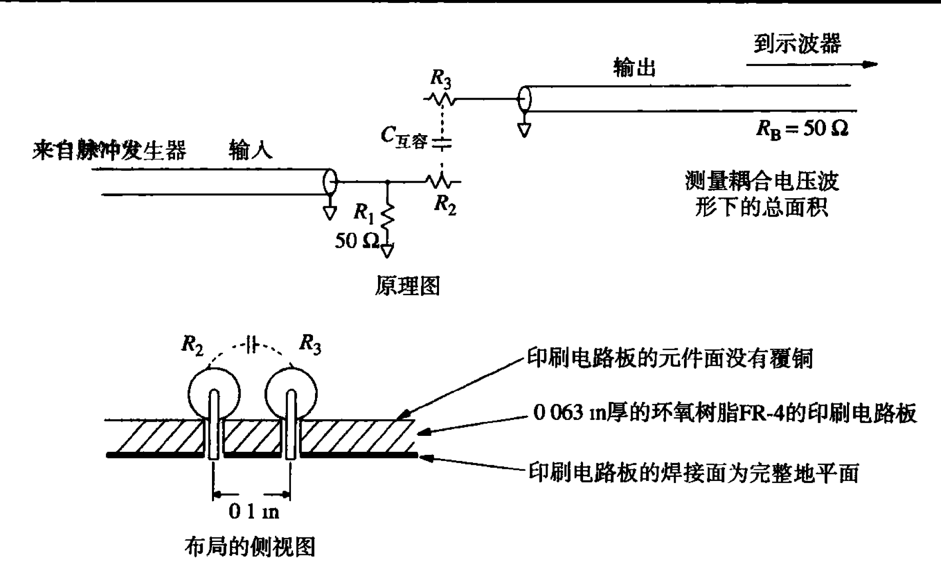


图 1.16　互容耦合

图 1.17 描述了这个装置的测量结果。屏幕上部的记录是按 5 ns / 刻度，同时显示驱动波形（按 1 V/ 刻度）和干扰电压（按 20 mV/ 刻度）。驱动波形的上升时间约为 800 ps。下部的屏幕只显示了干扰电压，显示比例为 500 ps / 刻度。

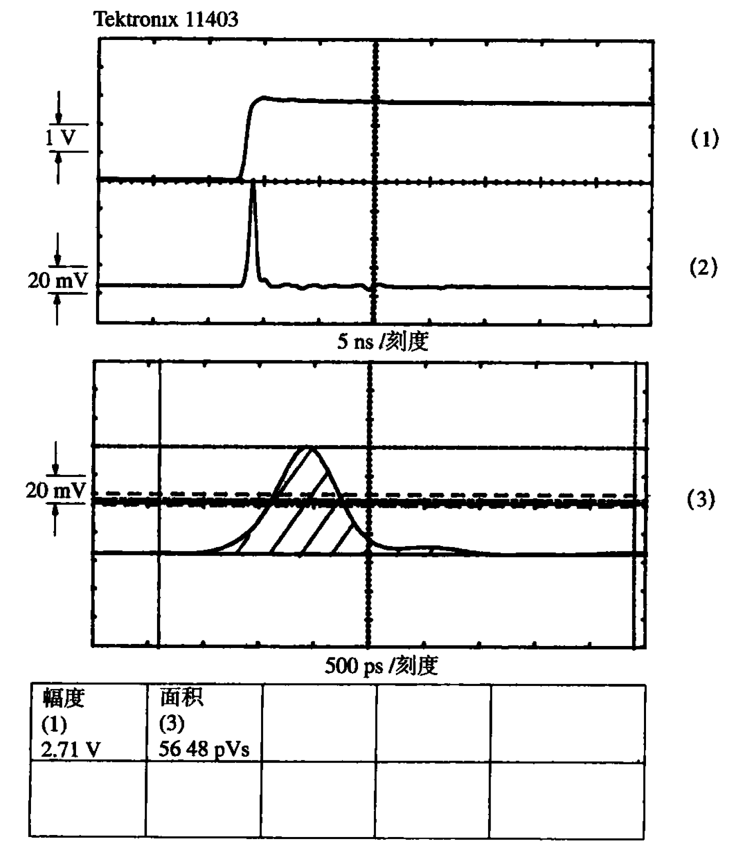


图 1.17　两个 1/4 W 电阻的互容

可以用与式（1.23）类似的面积公式来估算出互容。其中，总的电流为：面积 $/R_B$，等于电压的阶跃变化值乘以互容[①]。互容等于：

$$C_M = \frac{面积}{R_B \Delta V} = \frac{56.48\ \text{pVs}}{(50\ \Omega)\times(2.7\ \text{V/刻度})} = 0.4\ \text{pF} \tag{1.29}$$

使用式（1.28），可以校验在上升时间为 800 ps 时的预期峰值干扰电平：

$$串扰 = \frac{R_B C_M}{T_r} = \frac{(50\ \Omega)\times(0.4\ \text{pF})}{800\ \text{ps}} = 0.025 \tag{1.30}$$

式（1.30）只是基于测量到的面积，把该预测与实际测量的峰值干扰进行比较：

$$串扰 = \frac{(3.8\ 刻度)\times(20\ \text{mV/刻度})}{(2.7\ 刻度)\times(1\ \text{V/刻度})} = 0.028 \tag{1.31}$$

1.9.2 端接电阻之间的互容

如果将例 1.3 中的电阻接地，将会发生什么呢？

如果把例 1.3 中的每个电阻的一端接地，容性耦合噪声电压值大约除以 6。直观地来分析，如果用连接在两个电阻正中间的寄生电容来表示这个互容，电阻 R_A 的一端接地，使驱动电压减半。电阻 R_B 的一端接地，使耦合电流分流，其电流中的 2/3 经由电阻 R_B 的一端直接到地，电流的 1/3 流经其他路径。其他的路径从电阻 R_B 的另一半，流经同轴电缆到示波器，然后到地。驱动电压的 1/2 和接收灵敏度的 1/3 的乘积是 1/6。当我们使用图 1.16 中配置的电阻作为一个上升时间为 800 ps 的信号的端接器时，由于互容耦合的串扰约是 0.025/6 = 0.004。

在下一节中将会看到，在数字设计中，与互容相比，互感耦合是一个更大的问题。

1.10 互感

无论在何处，只要存在两个电流回路，就会有互感。一个回路的电流产生一个磁场，而该磁场会影响第二个回路。两个回路相互作用，其相互作用的系数随距离的增加快速地减小。两个回路之间相互作用的系数称为它们的互感（mutual inductance），单位是享利（H），或伏 - 秒 / 安培。两个电路之间的互感耦合相当于一个连接在电路 A 和电路 B 之间的微小变压器，如图 1.18 所示。无论何处，对于两个相邻电流回路的相互作用，可以看成是一个变压器的初级和次级，从而得到互感。

互感 L_M 将一个噪声电压 Y 注入到电路 B，按照下列规则，噪声电压 Y 与电路 A 中的电流变化速率成正比：

$$Y = L_M \frac{dI_A}{dt} \tag{1.32}$$

回路A中电流的快速变化导致回路B上产生一个相当大的电压，高速设计中互感耦合的重要性由此而来。

---

① 既然总的电流只是总的转换充电电流，由于电路 A 中的电压变化 ΔV，可以给出由此导致的电路 B 的充电电流等于 $\Delta V C_M$。

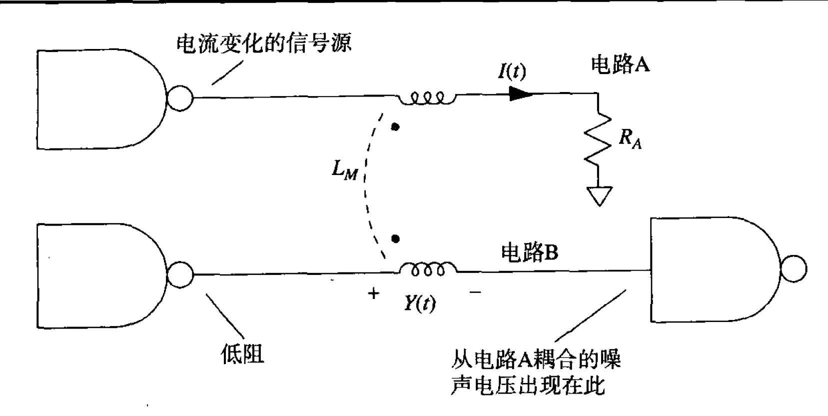


图 1.18 互感集总电路模型

对于实际的耦合噪声电压，式（1.32）只是一个简单的近似公式。完整的公式应该采用初级和次级电路之间的电流差，以及初级和次级线圈对电路的负载效应。关于式（1.32）的前提假设，与式（1.25）的情况类似，即：

1. L_M上的感应电压远远小于原有信号的电压。由此附加的L_M不增加电路A的负载。在数字产品中，由互感耦合产生的噪声电压总是比源信号小。
2. 电路B中的耦合信号电流小于电路A中的电流。可以忽略电路B中小的耦合电流，并假设耦合变压器的初级和次级的电流差正好等于I_A。
3. 假设与电路B的接地阻抗相比，次级的阻抗很小。只在电路B的电压上加上耦合噪声电压，这个过程忽略了互感和次级电路之间的相互作用。

与互容类似，数字电路中的互感，通常导致电路之间不必要的串扰。

图1.19举例说明了互感耦合起作用的过程：

1. 回路A中的任何电流都会产生一个磁场能量图。回路中的电流越强，存储在回路A周围单位空间中的电磁能越大。
2. 我们可以通过回路B所包围的总面积计算来自回路A的总磁场强度。回路B的面积上的总磁场强度，称为B的磁通量（magnetic flux），它是回路A和回路B的距离、其实际比例以及相对方向的一个函数，并且直接与A中的电流成正比，A中的电流越大，B的磁通量也越大。
3. 回路A中电流的变化会相应成比例地改变通过回路B的磁通量。
4. 法拉第定律告诉我们，回路B中的感应电压与通过回路B的磁通量变化率成正比。

把1至4的概念结合起来，会发现回路B中的感应电压与回路A中的电流变化率成正比，该比例常数称为电路A和B之间的互感。

因为磁场是一个矢量，回路B的翻转将导致耦合磁通的极性发生反向。耦合的噪声电压极性也发生反向。回路A的翻转将导致同样的结果。如果使回路B与磁场的磁力线方向平行，将导致通过回路B的总磁通量为零，且耦合噪声也为零。与互容耦合不同，互感耦合有可能产生一个与驱动信号极性相反的串扰，它对环路的方向同样非常敏感。

图 1.19 互感耦合的四个过程

1.10.1 互感与串扰的关系

假设已知一个互感的值为 L_M，电路的固定上升时间为 T_r，驱动电路 A 的源端阻抗为 R_A，我们可以按驱动波形 V_A 的相对值来估算串扰。

首先求出波形 V_A 的单位时间电压变化的最大值，其中 ΔV 为驱动波形的阶跃幅度，T_r 是驱动波形的上升时间：

$$\frac{dV_A}{dt}=\frac{\Delta V}{T_r} \tag{1.33}$$

然后，假定环路 A 的阻性衰减为阻抗 R_A，则电流与电压彼此成正比。这种情况通常发生在通过一个阻性端接的传输线驱动一个电压 $V(t)$ 时。在大多数情况下，采用定义明确的电阻 R_A，即可把电流的变化和电压的变化联系起来：

$$\frac{dI_A}{dt}=\frac{\Delta V}{R_A T_r} \tag{1.34}$$

由于电路 A 的电流变化，电路 B 中出现互感干扰 Y，把式（1.34）代入式（1.32），计算互感干扰 Y：

$$Y=L_M\frac{\Delta V}{R_A T_r} \tag{1.35}$$

公式两边除以 ΔV，把结果表示成一个相对形式的干扰电平：

$$串扰=\frac{L_M}{R_A T_r} \tag{1.36}$$

在实际情况中，涉及多个干扰源（例如，多条线路共用一个公共地回路）时，分别估算每对元件之间的互感，然后把每个源电路到每个接收电路的每一部分串扰加起来。如果一个干扰电平低至 2%，总计超过 5 个相邻干扰源，对于一个 TTL 系统得到的干扰是 500 mV。这已经超过了典型的 TTL 噪声容限，表示已经是一个严重的问题。

例 1.4　互感的测量

图 1.20 描述了互感的一种简单测量方法。

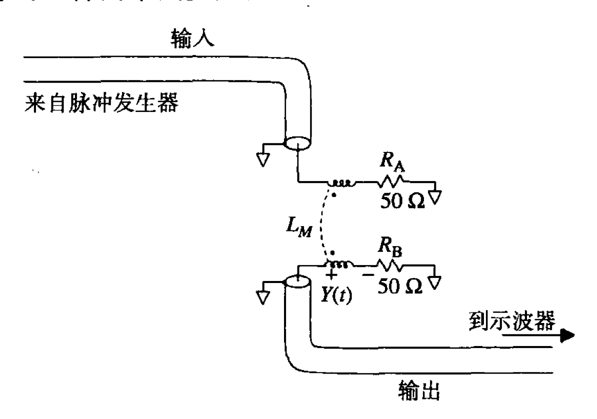


图 1.20　互感的测量装置

与例 1.3 的固定方式相同，两个碳膜电阻的中心间距为 0.1 in。两个电阻的右端都接地，而测量电缆的输入和输出端分别接在每个电阻的左端。电阻 R_A 作为信号源的端接。信号源的上升时间为 800 ps。

输入和输出电缆与电阻垂直连接。垂直连接可以尽可能地使电缆相互隔离，减少直接的馈通。脉冲发生器使用了反向端接。

图 1.21 显示了从电阻 R_A 发射出的磁场图，一部分磁力线包围了电阻 R_B，有一些则没有包围 R_B。包围电阻 R_B 的磁通量占总磁通量的比例由两个电阻本身的物理尺寸和位置决定，是固定的。

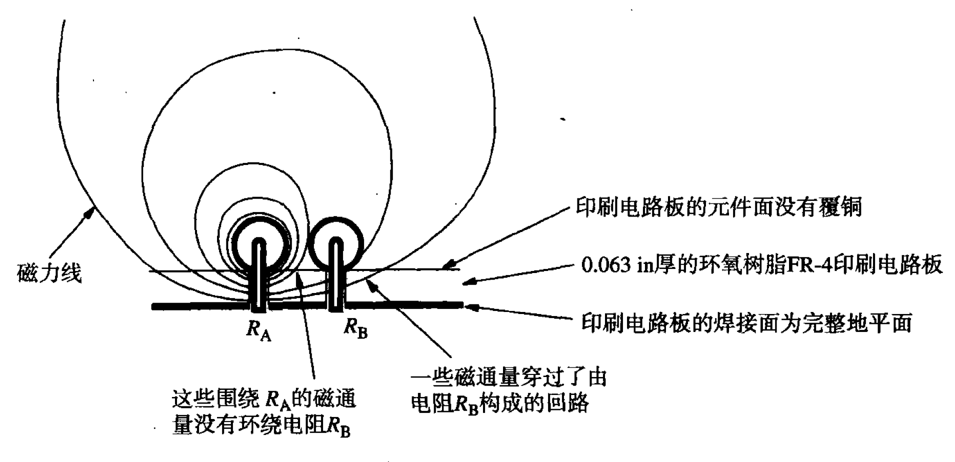


图 1.21　互感耦合的例子

包围电阻 R_B 的磁力线被认为是穿过了电阻 R_B 形成的回路。当我们提及电阻 R_B 形成的回路时，设想一个起始于 R_B 接地端的电流环。电流从这里通过 R_B 进入同轴电缆探头，通过同轴电缆到示波器的内部端接电阻 R_T，经过这个电阻到示波器机壳，由电缆的屏蔽层返回到本地的地平面，再从地平面回到 R_B。穿过这一回路的总磁通量的任何变化都会在该回路上产生一个电压。

由于R_B和R_T的电阻值相等，感应电压在它们之上的分压相等，因此显示在示波器上预期电压只有总感应电压的一半。如果同样物理尺寸的电阻R_B是一个0 Ω的电阻，则会在示波器上看到全部的感应电压。

采用式（1.23）；从图1.22的测量结果可以估算出感应系数（采用的推导方法都相同），由于接收到的信号被二等分，记住要乘以2：

$$L_M = \frac{(\text{面积})\times(2R_A)}{\Delta V} \approx 3.0\ \text{nH} \quad (1.37)$$

其中，面积 = 80 pVs（来自图 1.22）

$\Delta V = 2.7$ V（来自图 1.22）

$R_A = 50\ \Omega$（来自图 1.20）

更精确地确定电感的方法应该是，从测量面积中减去已确定的互容耦合部分，然后采用修正后的面积计算电感。由例1.3得知，互容干扰的面积是56/6 pVs，由于每个电阻接地，采用一个因数6修正图1.17中的测量结果。

修正后的面积为：

$$\text{面积}' = 80 - \frac{56}{6} = 71\ \text{pVs} \quad (1.38)$$

然后，修正后的互感是：

$$L_M = \frac{(\text{面积}')\times(2R_A)}{\Delta V} = 2.6\ \text{nH} \quad (1.39)$$

现在，从推算出的面积反过来看是否能预测图1.22中的峰值干扰。采用式（1.38），由于感应信号在R_B和R_T之间的分压，注意应该除以2。

$L_M = 2.6$ nH，来自式（1.39）

$T_r = 800$ ps

$R_A = 50\ \Omega$

$$\text{串扰}_{\text{电感}} = \frac{L_M}{2R_A T_r} = 0.032 \quad (1.40)$$

加上例1.3的容性串扰（用因数6修正）：

$$\text{串扰}_{\text{电容}} = \frac{0.025}{6} = 0.004 \quad (1.41)$$

$$\text{串扰}_{\text{总}} = \text{串扰}_{\text{电感}} + \text{串扰}_{\text{电容}} = 0.036 \quad (1.42)$$

比较式（1.42）基于测量面积的预测值与图1.22中实际测量的峰值干扰：

$$\text{串扰} = \frac{(4.6\ \text{刻度})\times(20\ \text{mV/刻度})}{(2.7\ \text{刻度})\times(1\ \text{V/刻度})} = 0.034 \quad (1.43)$$

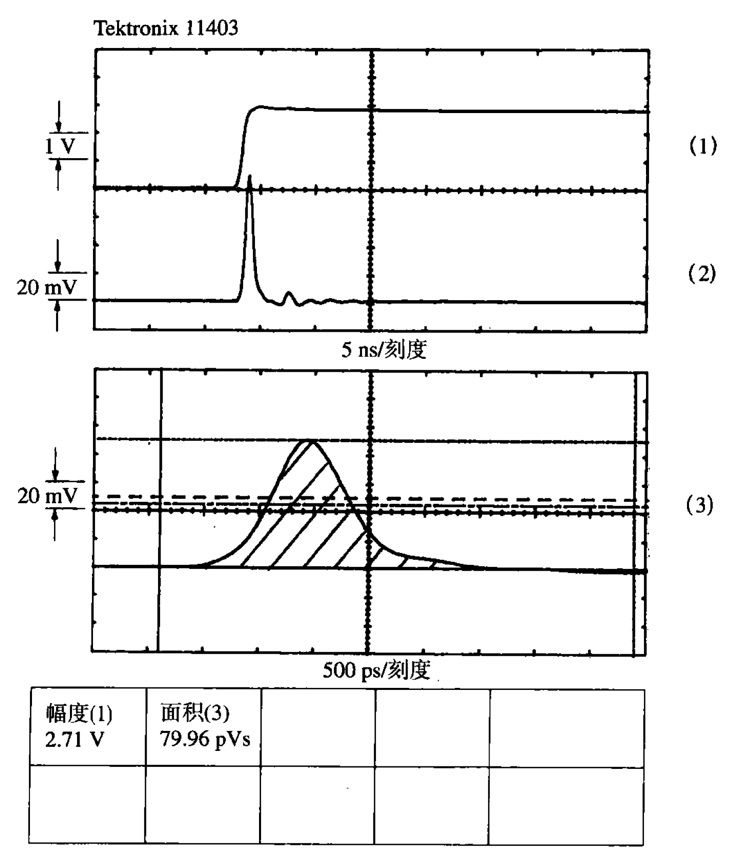


图 1.22　两个 1/4 W 电阻的互感

1.10.2　磁耦合环路的反向

让我们来验证一个关于互感耦合的理论，即：如果其中的一个环路反向，耦合的极性也反向。

首先，回到图 1.20 中的测量装置，把输出电缆重新连接到 R_B 的另一端，然后把 R_B 的左端接地。实际上类似于把 R_A 和 R_B 之间感性耦合变压器的引脚反向。

图 1.23 显示了结果：得到一个负脉冲，其总面积为 59 pVs。这个被反向的脉冲等于感性耦合值的一半减去例 1.3 的容性耦合的 1/6。现在该感性耦合和容性耦合的极性相反，因此其结果是相减而不是相加。在采用式（1.23）之前，必须修正图 1.23 的面积测量值，加上容性耦合的影响：

$$\text{面积}' = 59 + \frac{56}{6} = 68\ \text{pVs} \tag{1.44}$$

修正的互感为：

$$L_M = \frac{(\text{面积}') \times (2R_A)}{\Delta V} = 2.5\ \text{nH} \tag{1.45}$$

与式（1.39）的计算结果 2.6 nH 相比，2.5 nH 比较令人满意。

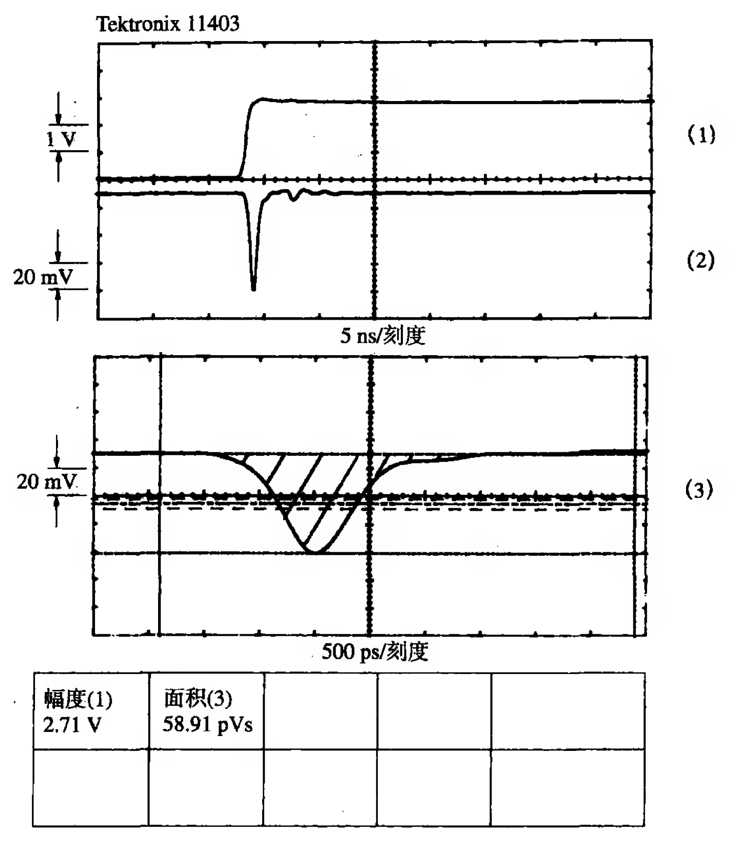


图 1.23　对图 1.22 的反向感性耦合

1.10.3　容性耦合与感性耦合的比率

两个电阻都接地，相应的容性耦合等于0.004，同时感性串扰是0.032。对一个工作在50 Ω阻抗级别的电路来说，这是一个典型的比率。对于高阻抗电路，涉及的 *dV/dt* 较大，*dI/dt* 相对较小，得到的容性耦合相应地比较大。

在门电路低输出阻抗的情况下，门电路直接驱动传输装置，感性耦合问题被扩大。在该情形中，总的感性耦合信号能量在远端终结，而不是如例 1.4 中一分为二。

记忆要点

- 在高速数字电路中，互感通常比互容的问题更严重。

第2章　逻辑门电路的高速特性

功率、速度和封装是所有数字设备设计中最重要的考虑因素。每个设计者都希望功耗低、速度高并且封装便宜。遗憾的是，没有任何一种逻辑系列产品在所有这些方面让使用者完全满意。我们不得不在各种逻辑系列产品中挑选，其中每种产品各自在某些方面适合于某个特定的应用。难道对多样性的需求永远无法满足吗？究竟会不会有一种适合所有需要的理想逻辑系列产品呢？

从历史上看，答案是否定的。即使在一种新的技术横扫这个领域、全面超越其他竞争者的时候，用户在各自的设计中迫切需要的优点依然会是多种多样的。所有的逻辑产品系列都是在权衡了功耗、速度和封装之后的某种性能折衷，而且所有的逻辑电路制造商正尽力开发各式各样的折衷方案。

让我们来看一种年代久远的数字技术：线簧继电器（wire spring relay），由此来了解这些基本的性能折衷是如何相互影响的。在被电子管取代之前，这种线簧继电器是最后（也是最好的）一代用于逻辑设备的继电器。

2.1　一种年代久远的数字技术的发展历史

线簧继电器出现在20世纪40年代后期，用在Western Electric公司的自动电话交换机上。相对于早期的继电器，它是一个很大的科技进步。线簧继电器的接触元件安装在一条细长金属丝的末端，从而构成了继电器的弹簧组件。线簧继电器尺寸小、质量轻，并且结构简单，所以迅速成为那些设计中将弹簧和触点分别组装的传统继电器的廉价替代品。线簧技术很快扫清了竞争对手，而且直到1965年Western Electric公司制造的纵横制电话交换机中仍然在使用线簧继电器。

线簧继电器技术不仅改变了继电器结构，同时还改变了系统的封装。多个新型继电器被封装到一个矩形模块中，所有的电气连接都在模块的一端按标准排列。这些继电器插入标准继电器面板的插座阵列中，肩并肩地紧密排列以节省空间。继电器接线引脚从每个继电器面板的背面伸出以便相互连接。

采用标准封装的继电器，制造商就可以在多种不同的应用中使用统一的继电器安置面板，只需在面板背面按照引脚布线的排列将它们相互连接起来。这与早期为每个装置专门设计继电器安装位置的习惯形成鲜明对比，早期的设计通常由独特的弹簧闩、激励结构或其他机械装置组成，使得继电器构造与一个数字设备的总体设计目标及功能紧密相关。线簧继电器设计将系统中的电气部分和机械部分分隔开来，这种封装方式降低了整体设计与制造的成本。

标准封装便宜，但牺牲了许多灵活性。标准封装中只有一个12刀双掷（12PDT）的继电器。当用户需要使用大量单个接续操作时，就不得不把它们分别安排到多个封装中，从而在每个封装中的多余部分上消耗了更多的能量。分拆使用的效率是比较低的。

因为成本原因，Western Electric的工程师们决定不在每个封装上安装散热片。他们在整个设备中使用简单的对流冷却来保证可靠性。这些因素限制了每个继电器封装内部所允许的总功耗。功率的限制以及标准封装内有限的空间，最终意味着Western Electric可以在每个封装内放置的驱动线圈不超过两个。最密集的线簧继电器结构是一个双5PDT的继电器，有两个独立的继电器单元，每个单元为5刀双掷。

这个继电器由48 V标准电源供电，并且可以使用750 Ω或2400 Ω线圈。为什么是两种线圈呢？750 Ω线圈消耗的驱动电流多，因此转换速度比2400 Ω线圈更快。另一方面，2400 Ω线圈消耗的能量少，因而产生的热量也少于750 Ω线圈。由于散热方面的优势，2400 Ω线圈可以比750 Ω线圈更密集地封装到一起。功耗间接地决定了最大工作速度和最大逻辑密度。

这些论点听起来是不是很熟悉？逻辑系统现在是否仍然受限于封装、功率和速度三者的折衷呢？

的确如此，如今我们同样要面临许多前辈们曾经面对的问题。功率、速度和封装仍然是紧密相关的。新的关于高速电路设计的折衷方式似乎是这样的：

1. 逻辑器件的标准封装在制造时节省了费用，但是减少了灵活性。采用新的封装类型所需的初期投资非常大，因此大多数系统设计人员坚持使用由器件制造商所提供的封装。
2. 标准封装限制了每个封装单元内门电路的数目和引脚数目。这两个因素迫使设计者将大的系统分拆到多个器件封装中。相对于封装内部的信号连接，封装器件间信号连接的响应较慢，而且需要更大的功率，因此分拆使得整个系统的性能降低，功耗增加。
3. 封装结构以及所采用的冷却系统共同限制了每个封装所允许的最大功耗。封装的冷却性能与放置在该封装内的半导体管芯（semiconductor die）无关。冷却性能优良的封装总是需要花费额外的成本。
4. 随着每个逻辑单元尺寸的减小，封装内门电路的数目就可以增加。高密度的封装有助于显著地降低组装成本和产品尺寸，但是，这通常意味着每个封装内部要消耗更大的总功率。每个封装所允许的最大功耗最终限定了每个封装内门电路的数目。
5. 在既定的技术条件下，由于高速器件通常消耗更大的功率，速度和功率在一定程度上可以互相转换。在最高速度下，封装的最大功耗再一次成为一个限制因素。

下一节介绍现代逻辑系列产品的功耗和速度之间的特定关系。

记忆要点

- 如今，正如继电器逻辑时代那样，功率和封装对于系统性能仍有很大的影响。

2.2　功耗

一个逻辑器件的实际功耗与它的数据手册上提到的典型供电电流值I_{CC}只是间接地相关。制造商标定的典型功耗通常忽略了在高速条件下产生的额外功耗以及驱动大的输出负载而产生的功耗。这些影响常常会导致实际的供电电流远远超过典型电流值I_{CC}。

根据图2.1，我们来研究高速逻辑电路的4种类型的功耗。这些类型是：

- 输入功率
- 内部功耗
- 驱动电路功耗
- 输出功率

4 种功率类型中的每一种都可以进一步细分为动态和静态功耗。

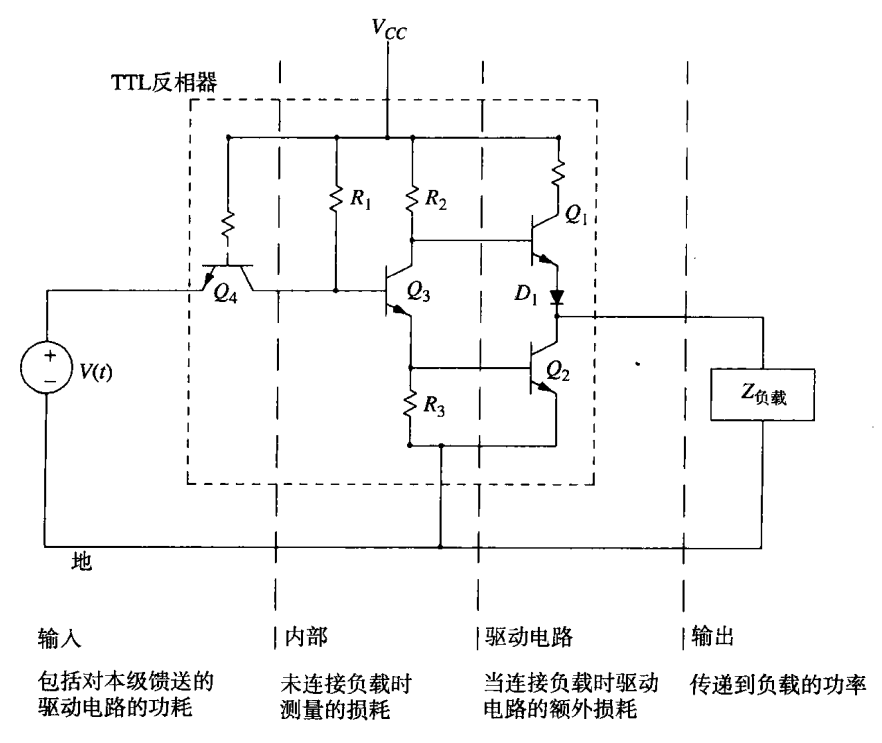


图 2.1 逻辑器件内部及其外围的功耗类型

2.2.1 静态和动态功耗

静态功耗（quiescent power dissipation）是指一个电路维持在一个或另一个逻辑状态时所需的功率。可以通过观察电路中每个电阻元件的电流 I 和压降 V 来计算每个元件的功率 VI，并求和得到总功率，这就是在没有负载的情况下的静态功耗，也就是我们通常在数据手册上看到的标称值。

在后面的例子中，通过简单地对高速和低速状态时的功耗取平均值的方式来计算静态功耗。如果电路保持在某个状态的时间比另一个状态多，应考虑使用加权平均法，或按最坏情况计算。

2.2.2 驱动容性负载时的动态功耗

逻辑电路每一次跳变，都要消耗超过它正常静态功耗之外的额外功率。当以一个恒定速率循环时，动态功耗（active power dissipation）等于

$$\text{功耗} = \text{周期频率} \times \text{每个周期额外的功率} \tag{2.1}$$

动态功耗最常见的两个起因是负载电容和叠加的偏置电流。

图 2.2 说明了驱动一个电容负载时的情形。在 t_1 时刻电路开关 A 闭合，电容充电至 V_{CC}。电容充电时，电流急剧涌过驱动电路的限制充电电阻。这个电流浪涌消耗了能量。在 t_2 时刻电路开关 B 闭合，电容通过驱动电路的限制放电电阻进行放电。这个电流浪涌同样消耗了能量。如果重复这个实验，可以发现电容充电消耗的能量正好等于电容放电消耗的能量，两个能量的和等于

$$\text{每个周期消耗的能量} = CV_{CC}^2 \tag{2.2}$$

其中，C = 电容，F

　　V_{CC} = 充电电压，V

如果以 F Hz 频率循环运行①，电容充电和放电时消耗在驱动电路中的功率等于：

$$\text{功率} = FCV_{CC}^2 \tag{2.3}$$

电容器本身没有消耗任何功率，所有的能量都被消耗在加热驱动电路上了。

无论是 CMOS 电路还是 TTL 电路，驱动电路中的动态功耗都可以用式（2.3）的简单模型来表述。

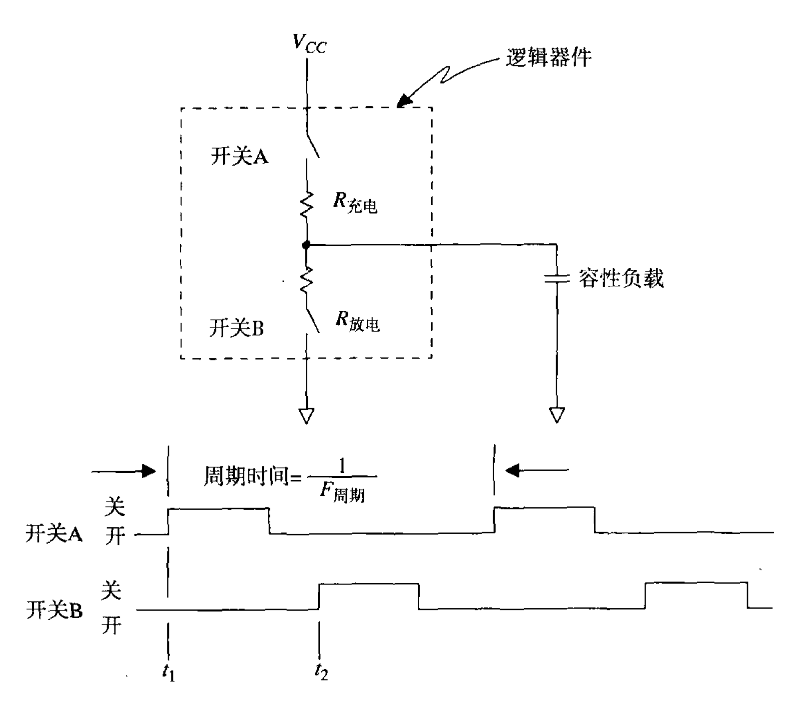


图 2.2　驱动容性负载时的动态功耗

2.2.3　叠加偏置电流产生的动态功耗

在图 2.1 中，TTL 反相器的输出驱动电路在 HI 和 LO 之间交替转换，Q_1 或 Q_2 交替处于导通状态，而不是两者同时导通。这种电路配置有两个激励电路，一个把输出电压上拉到 HI，而

① 在一个时钟同步系统中，系统是在 1 和 0 之间交替跳变的，F 等于时钟频率的 1/2。在一个随机跳变的系统中，F 等于时钟频率的 1/4。

另外一个把输出电压下拉到LO，通常称之为推拉输出电路（totem-pole output stage）。TTL和CMOS电路通常都有推拉输出电路。

图2.1中的二极管D_1用来保证当晶体管Q_3和Q_2完全饱和时，输出电路箝位在LO状态，晶体管Q_1将完全截止。这一特性可以防止Q_2和Q_1同时导通时而产生大电流。每个具有推拉输出电路的逻辑系列产品都有一些保护电路，以防止HI和LO输出驱动电路同时导通。

图2.1中描述的TTL驱动器电路的实验揭示了当电路从一个状态转换到另一个状态时，晶体管Q_1和Q_2可能在瞬间同时导通。任何重叠了的导通都将产生一个从V_{CC}到地的浪涌电流，所消耗的功率以热量的形式消耗在晶体管Q_1和Q_2上。

肖特基TTL逻辑电路出现之前，一个TTL电路从LO转换到HI状态的过程中，在晶体管Q_1开始导通后的一段时间内，晶体管Q_2往往还维持在饱和状态，通过电阻R_3释放其基极上存储的电荷。基极存储的这些电荷导致产生了一个固定时间的重叠。新的肖特基电路不再使晶体管Q_2饱和，因此产生的重叠电流比较少。

图2.3中描述的CMOS电路，在场效应晶体管Q_1和Q_2之间可能出现重叠导通，这取决于两个晶体管的临界栅-源极电压V_{GS}。V_{GS}参数的准确值很大程度上取决于制造过程，因此从个别CMOS器件得到的值概括出的经验是欠考虑的。图2.4标明了一个74HC00门电路典型的直流电源电流与输入电压的函数关系曲线①。由于CMOS器件也存在叠加效应，减缓输入的转换时间往往会延长重叠时间。随着内部电路的响应变慢，在Q_1和Q_2都导通时的电压附近停留的时间会更长。

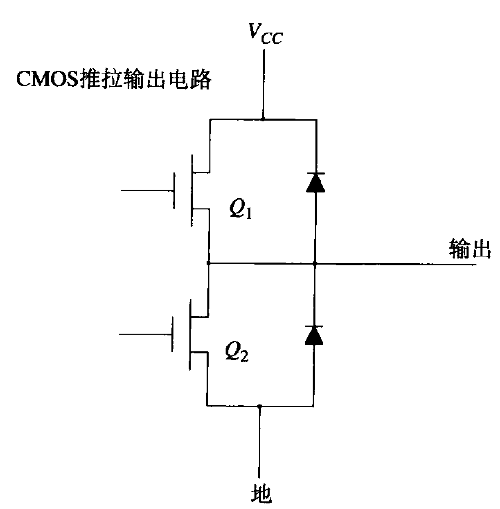


图2.3　CMOS推拉输出电路

对于一个快速的输入转换，重叠电流脉冲的大小和波形在每个周期都是一致的，并且每个周期消耗的能量也是相同的。因此由重叠偏置电流导致的额外功耗与转换速率成正比。与电容负载引起的功耗不同，由重叠驱动电流产生的功耗并不随电源电压的平方而增大。

如图2.4所示，74HC00电路的重叠电流（1 mA）与这个类型的门电路所能产生的最大驱动电流（10~20 mA）相比并不是很大。

① *Signetics High-Speed CMOS Manual.* Signetics Company, Sunnyvale, Calif., 1998.

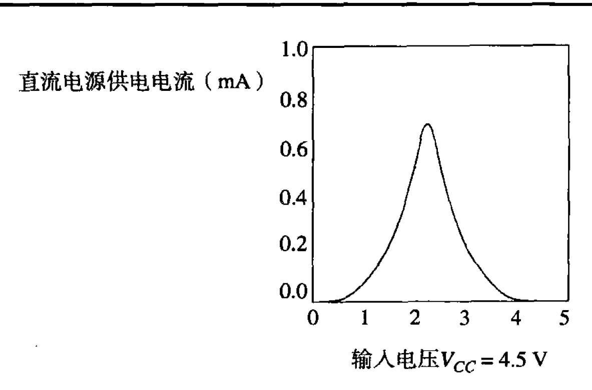


图 2.4 Signetics 74HC00 型电路的直流消耗与输入电压

对于TTL电路，叠加效应更显著。如果将一个TTL反相器的输入端连接到它自己的输出端，它将会自我偏置，从而进入叠加范围内，消耗大量能量。你能感觉到电路在发热。因此TTL电路不适合用做线性的小信号处理器件（如振荡器），因为它们在线性工作状态时要消耗额外的能量。相反，工作在重叠区域的射极耦合逻辑（ECL）电路不会汲取额外的电流，可以用做优良的线性处理器件。

2.2.4 输入功耗

芯片的输入功耗来自于其他器件。对于输入电路的偏置和触发来说它是必需的。

表2.1比较了4种不同逻辑系列的静态和动态输入特性，4种逻辑系列为：Signetics 74HCT CMOS，Texas Instruments 74AS TTL，Motorola 10KH ECL，GigaBit Logic 10G GaAs。

表 2.1 输入特性

	74HCT00	74AS00	10H101	10G001
I_{in} HI（mA）	0	+0.020	+0.425	+0.400
I_{in} Lo（mA）	0	−0.500	+0.0005	−0.100
$P_{静态}$（mW）	0	1.3	1.1	1.3
C_{in}（pF）	3.5	3	3	1.5
ΔV_{in}（V）	5.0	3.7	1.0	1.5
$P_{动态}$（mw）				
F = 1 MHz	0.09	0.04	0.003	0.003
F = 10 MHz	0.9	0.4	0.03	0.03
F = 100 MHz			0.3	0.3
F = 1000 MHz				3.0

在每种情况下，静态输入功耗由所需的输入电流与电源电压的乘积决定。该功耗包括了接收逻辑器件内部的实际功耗与驱动器件的功耗。

对于动态输入功率的计算，我们将输入电容、典型输入电压幅度和工作频率代入式（2.3）。这样可以计算出任何电路驱动该输入时的总功耗。

这些输入功耗的数值相对比较小。只有当网络有较大的扇出，或者系统必须在极低功耗下工作的时候，它们的重要性才体现出来。

2.2.5 内部功耗

内部电源用于逻辑器件内部节点的偏置和转换。内部功率包括静态功耗和动态功耗。

静态内部功耗的定义是在无负载连接、输入端处于随机状态的条件下的功耗①。求出所有可能的输入状态的平均值可以得到静态功耗。

内部动态功耗常数$K_{动态}$可以通过交替输入某个预定频率（F）信号的方法来测量。断开输出引脚的连接，在周期频率为F Hz 的条件下测量得到总功率$P_{总}$，而后计算动态功耗常数：

$$K_{动态}=\frac{P_{总}-P_{静态}}{F} \tag{2.4}$$

动态功耗常数表明了周期频率每增加 1 Hz 将额外消耗的功率数。功耗常数$K_{动态}$现在可以用于估算在其他任何频率F'下的总功耗：

$$P'_{总}=P_{静态}+F'K_{动态} \tag{2.5}$$

式（2.5）总计了逻辑设备内部每个周期的额外能量损耗，但不包括因负载连接所导致的电路驱动级的额外能量损耗。注意，我们是在无负载连接的情况下做这个实验的。

在非常宽的频率范围内，CMOS 器件的内部功耗和周期频率呈明显的线性关系。这一关系很明显，是因为 CMOS 电路的内部静态功耗非常低。TTL 器件也有同样的现象，但其巨大的静态功耗掩盖了这一事实，直到周期频率接近器件的最大工作频率时才显现出来。图 2.5 描绘出几种不同类型的 TTL 逻辑系列中每个门电路的内部功耗与工作频率的关系曲线。在 10 MHz 以上，动态功耗远远大于静态功耗，总功率曲线看起来与频率成正比。在 1 MHz 以下，动态功耗小于静态功耗，总功耗曲线相对于频率看上去是平坦的。

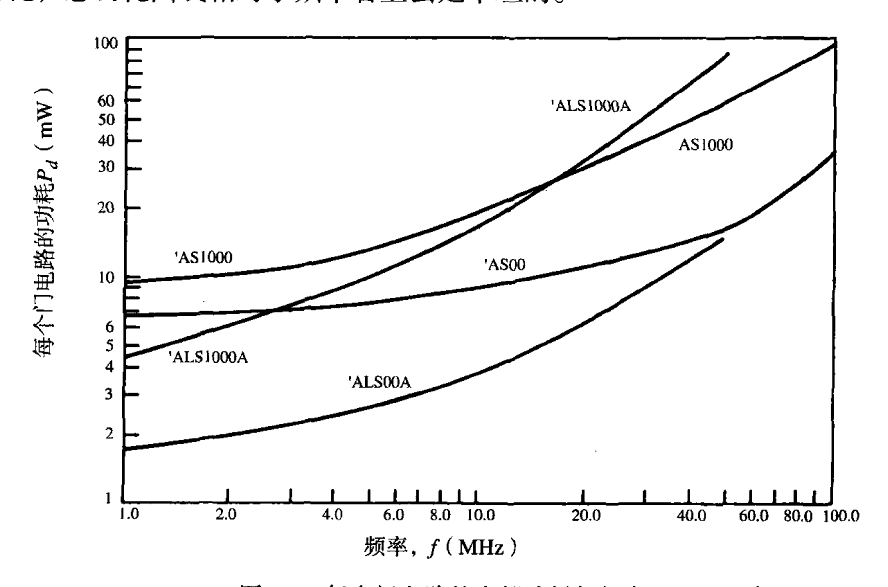


图 2.5 每个门电路的内部功耗与频率

① 把电流计串联在设备的电源输入引脚上，以测量设备的电流，使用关系式：功率 = 电流 × 电压，可得到设备的功耗。

与 TTL 和 CMOS 系列相比，ECL 和 GaAs（砷化镓）系列逻辑器件的开关电压范围更小。随着频率的上升，功率只有很小的增长。注意，在式（2.3）中电压幅度 V 是平方形式的，因此一个电压幅度为 1.0 V 的 ECL 器件驱动容量为 C 的电容时消耗在驱动电路上的能量，远远少于同样负载情况下电压幅度为 5.0 V 的 TTL 器件。式（2.6）至式（2.8）正好显示了这一差别。

$$P_{\text{动态 ECL}} = FC(\Delta V_{\text{ECL}})^2 = FC(1.0)^2 \tag{2.6}$$

$$P_{\text{动态 TTL}} = FC(\Delta V_{\text{TTL}})^2 = FC(5.0)^2 \tag{2.7}$$

其中，F = 周期，Hz
C = 电容，F
ΔV_{ECL} = ECL 开关电压，V
ΔV_{TTL} = TTL 开关电压，V

驱动同样的负载电容时，ECL 器件的动态功耗与 TTL 的动态功耗的比值为 0.04。

$$\frac{P_{\text{动态 ECL}}}{P_{\text{动态 TTL}}} = \frac{FC(1.0)^2}{FC(5.0)^2} = \frac{(1.0)^2}{(5.0)^2} = 0.04 \tag{2.8}$$

ECL 和 GaAs 器件的动态功耗与其静态功耗的比值，远远小于 TTL 或 CMOS 电路的情况。

某些 CMOS 器件的工作电压范围很宽。在这些 CMOS 器件[①]的数据手册中用等效电容 C_{PD} 这一术语来表示其内部功耗。按照这个模型，一个电源电压为 V，工作周期频率为 F Hz 的 CMOS 门电路，其内部功耗为：

$$\text{CMOS 内部功耗} = C_{PD}V^2F \tag{2.9}$$

其中，C_{PD} = 等效功耗电容，F
V = 开关电压，V
F = 开关频率，Hz

这个模型将内部电容和叠加偏置电流的作用汇总到一起，虽然偏置电流的影响与电压的平方并不是严格地成正比。

2.2.6　驱动电路功耗

逻辑器件中的大部分能量都被消耗在了它的输出驱动电路上。输出驱动电路功耗的多少取决于输出电路的结构、逻辑电平、输出负载以及运行速度。这里我们讨论 4 种常用输出结构：

- 推拉电路输出
- 射极跟随器输出
- 集电极开路输出
- 电流源输出

由于各种输出结构的特性对于后续章节中传输线的理解非常重要，因此这里要探究更多的细节。

---

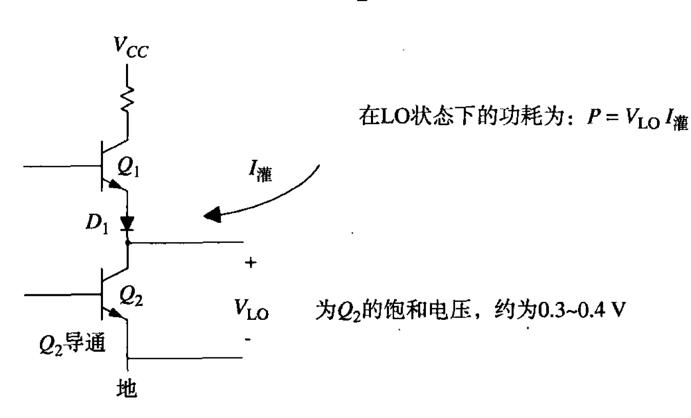
① 例如 74HC 系列。

2.2.6.1 推拉输出电路中的静态功耗

一旦推拉输出电路完全转换，静态功耗等于源电流(或灌电流)乘以导通臂上的剩余电压。我们将分别计算出 LO 和 HI 状态下的功率，然后取二者的平均值。

图 2.6 说明了理想的 TTL 驱动器在 LO 和 HI 状态下的功耗。对于标准的 TTL 器件，Q_2 处于饱和状态时的压降 V_{LO} 固定在大约 0.3 V。肖特基 TTL 逻辑电路的低电平输出略高，负载上的电压大约为 0.4 V。在 HI 状态下，压降（$V_{CC}-V_{HI}$）由 Q_1 的 V_{BE} 和正向偏置二极管 D_1 箝位，约为 1.4 V。注意，Q_1 不会进入饱和状态，因为它的基极电压绝不会上升到高于它的集电极电压。肖特基 TTL 器件驱动电路中总的静态功耗平均值近似为：

$$P_{静态}=\frac{0.4\,I_{灌}+1.0\,I_{源}}{2} \tag{2.10}$$



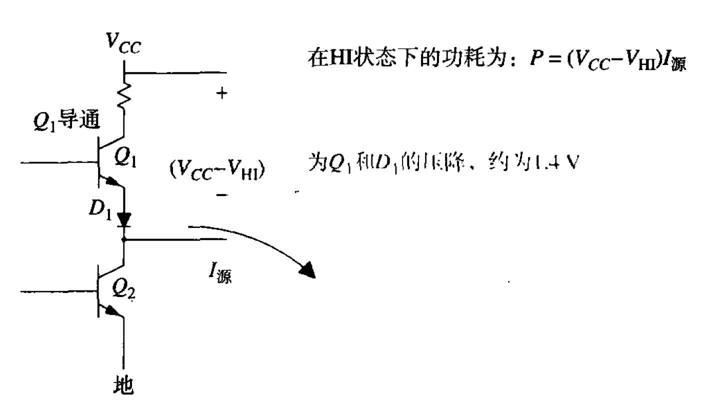


图 2.6 TTL 推拉输出电路的静态功耗

CMOS 驱动器更类似于图 2.7 所示的电路。从 CMOS 器件的数据手册中通常可以查出输出电压与对应输出电流的数字指标，计算出 R_A 和 R_B 的值，如例 2.1 中所示。

例 2.1 CMOS 驱动器的输出阻抗

Signetics 公司的 HCT 产品系列的标准输出驱动器在 4.5 V 电源电压时[①]，有以下各项参数：

① 不要问为什么用 4.5 V 代替 5 V，没有人能准确回答，但我们希望输出阻抗在 5.0 V 略小一点。

$V_{OL}(I_0 = 4.0\ \text{mA})$

在25℃时的典型值为 0.15

在–40℃~85℃时的最大值为 0.33

$V_{OH}(I_0 = -4.0\ \text{mA})$

在25℃时的典型值为 4.32

在–40 ℃~85 ℃时的最小值为 3.84

V_{CC} R_A $I_灌$ 在LO状态下的功耗为 $P = R_B I_灌^2$ + R_B $V_{LO} = I_灌 R_B$ – Q_2导通 地

V_{CC} 在HI状态下的功耗为 $P = R_A I_源^2$ + Q_1导通 R_A $(V_{CC}-V_{HI}) = I_源 R_A$ – $I_源$ R_B 地

图2.7 CMOS推拉输出电路的静态功耗

在电流为4 mA时，低电平状态下的压降范围为0.15~0.33 V。因此低电平状态的阻抗范围为：

$$R_{低电平状态典型值} = 0.15 / 0.004 = 37\ \Omega \quad (2.11)$$

$$R_{低电平状态最大值} = 0.33 / 0.004 = 83\ \Omega \quad (2.12)$$

在电流为4 mA时，高电平状态下4.5 V电源与输出电压间的压降范围为0.18~0.66 V。因此高电平状态的阻抗范围为：

$$R_{高电平状态典型值} = 0.18 / 0.004 = 45\ \Omega \quad (2.13)$$

$$R_{高电平状态最大值} = 0.66 / 0.004 = 165\ \Omega \quad (2.14)$$

在不同的电源电压下，CMOS驱动器的输出电阻变化很大。这一结果通常出现在HC（不是HCT）逻辑器件的指标中，HC的工作电压可以在2~6 V[①]间的任一电压上。当在较高的工作电压时，HC系列的输出电阻变小。因此，HC逻辑电路在高电压下运行得更快。

CMOS器件驱动电路的总的静态功耗近似为：

$$P_{静态}=\frac{R_B I_{漏}^2+R_A I_{源}^2}{2} \tag{2.15}$$

注意，这里的输出电流项是平方形式。

2.2.6.2 推拉输出电路的动态功耗

设计者经常仅仅根据所接负载的直流输入电流要求，冒险使推拉输出电路的负载达到它的最大直流扇出能力。特别是当设计CMOS总线时这一想法尤其具有诱惑力，因为此时理论上的扇出能力是无限的。实际上重负载的总线结构会带来两个缺点，上升时间将会减慢，而且驱动器件的功耗将会提高。

例2.2是一个重负载CMOS总线的实际上升时间和功耗计算的例子。

例2.2 CMOS总线的性能

我们正为一台并行计算机的共享存储器子系统构造一个大型的总线，如图2.8所示。总线连接着20个小的CPU，其中任何一个都可能存取这个8位的随机访问存储器（RAM）。整个系统装配在一个大的电路板上。

该总线是通过阻抗可控的50 Ω印刷电路走线来实现的，走线长度为10 in。图2.8显示出总线的传播长度远远小于74HCT640门电路的上升时间，因此在总线的两端都没有使用端接器。

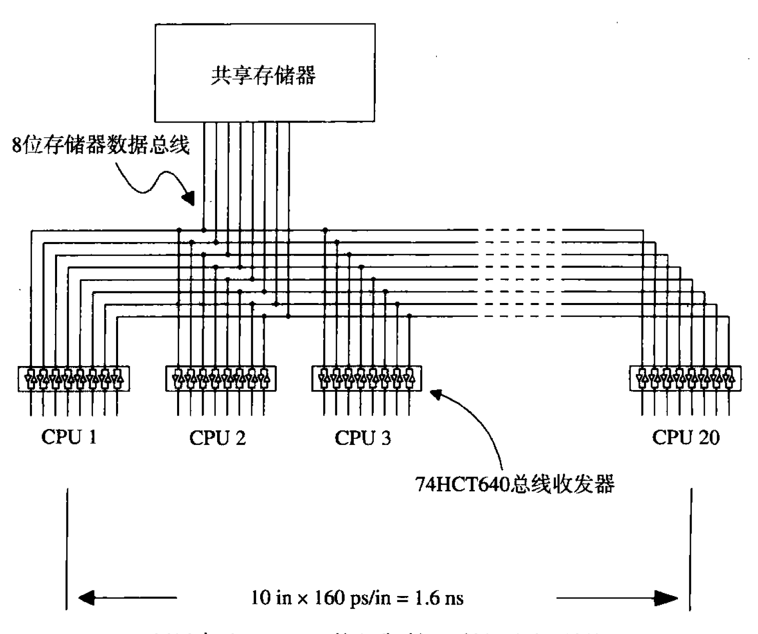


图2.8 共享存储器总线

① HC逻辑电路的供电电源可以采用2~6 V。它的开关门限为V_{CC}和地之间电压的一半。被设计为与TTL电路兼容的HCT逻辑电路的开关门限偏向于地（类似于TTL电路），只能在约5 V的电源下运行。

根据直流扇出系数，我们预期每个总线驱动器应该能够很容易地驱动其他 20 个电路。已知每个收发器的最大传播延迟为 9 ns，我们计划使总线运行在 30 ns 的周期上（33 MHz）。

为了检验这一设计，计算出每一条印刷线路的负载电容，并分别与三态输出的驱动阻抗相比较，计算出总线的 *RC* 上升时间。最后，计算每个驱动器内的功耗。

负载电容　当每个驱动器转换到关闭（OFF）状态时，仍然存在负载电容。每个驱动器的这一 I/O 负载电容在手册中都被制造商标明为 10 pF。我们有 20 个负载，所以负载电容总共为 200 pF。加上底板印刷线路的电容 2 pF/in，可以得到：

$$\begin{aligned} C_{负载} &= (10\ \text{pF/驱动器}) \times (20\ \text{个驱动器}) + (2\ \text{pF/in}) \times (10\ \text{in}) \\ &= 220\ \text{pF} \end{aligned} \tag{2.16}$$

74HCT640 的输出电阻　在 Signetics 的高速 CMOS 数据手册上列出了以下指标（两个驱动晶体管中上端的情况是最差的）：

$$V_{CC} = 4.5\ \text{V}$$
$$V_{OH} = 3.84\ \text{V}$$
$$I_{输出} = 6.0\ \text{mA}$$

HCT 总线驱动器上端的输出电阻：

$$\frac{V_{CC} - V_{OH}}{I_{输出}} = 110\ \Omega \tag{2.17}$$

***RC* 上升时间**　当输出从低电平转换到高电平时，充电时间常数约等于驱动器输出电阻乘以输出负载电容[①]。

$$T_{RC} = (110\ \Omega) \times (220\ \text{pF}) = 24\ \text{ns} \tag{2.18}$$

数值 T_{RC} 是输出端电压从低电平状态升至高电平的 63% 时所需的时间。升至高电平的 90% 时所需的时间是 T_{RC} 的两倍多一点。一个简单 *RC* 电路的 10%~90% 上升时间是 *RC* 乘积的 2.2 倍：

$$T_{10\%\sim 90\%} = 2.2T_{RC} = 53\ \text{ns} \tag{2.19}$$

多么令人惊奇！我们本以为驱动器的最大传播延迟为9 ns，而实际产生的延迟变成了53 ns！如果该总线运行在33 MHz上，数据信号在下一比特到来前将没有足够的时间上升或下降到满幅值。我们把总线频率降至 16 MHz，以便让数据单元获得更多的间隔时间。

每个驱动器的功耗

$V_{CC} = 5.5$ V（最差情况时的供电电压）

$C = 220$ pF（负载电容）

① 这个近似忽略了输出电阻是输出电压的一个动态函数的事实。建立输出电阻的模型通常是一个得不偿失的艰巨任务。某些数据手册声称其输出驱动器特性如同理想的电流源，这也是不真实的。无论采用哪种方法，都应该用实际的测量验证计算结果。

$F_{时钟}=16$ MHz（降低后的时钟频率）

$F_{数据}=8$ MHz（最差的数据周期，是时钟频率的 1/2）

采用式（2.3），计算每个驱动器的功耗：

$$P_{驱动器}=(8.0\times10^{6})\times(220\times10^{-12})\times(5.5)^{2}=0.053\ \mathrm{W} \tag{2.20}$$

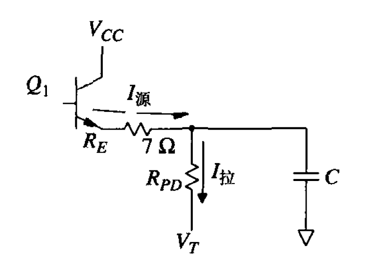
再乘以单个器件封装内的驱动器数目 8，即可得到一个封装器件的总功耗：

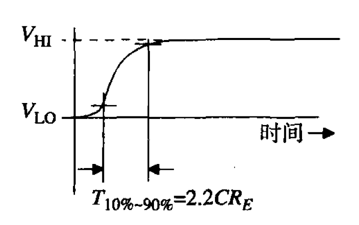
$$P_{总}=8\times0.053=0.424\ \mathrm{W} \tag{2.21}$$

在2.4.3节会发现，一片20个引脚的塑料封装芯片消耗的能量还会更多。上面例子中的总线设计是不切实际的，因为上升时间太慢，并且驱动器的功耗太高。我们必须将该总线的工作频率降低到 16 MHz 以下。

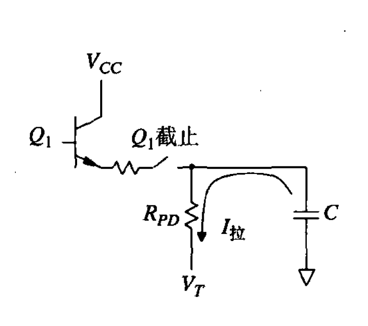
2.2.6.3 射极跟随器输出电路的静态功耗

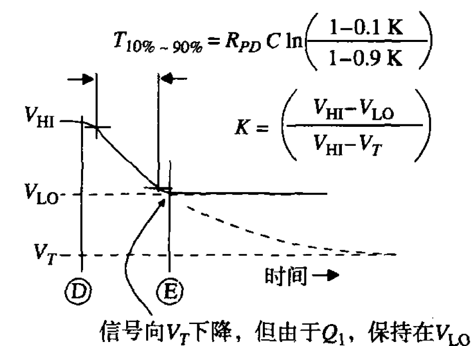
图 2.9举例说明了一个ECL或GaAs射极跟随器输出电路。该电路在HI和LO两个状态都有电流流过。





上升时间取决于等效射级串联电阻R_E和容性负载C





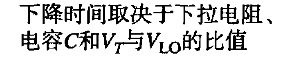

下降时间取决于下拉电阻、电容C和V_T与V_{LO}的比值

图 2.9 射极跟随器电路的上升和下降时间

对于10KH和10G产品系列，两者的逻辑HI（高电平）和LO（低电平）输出电压都是相近的，尽管不同的ECL和GaAS射极耦合逻辑系列在温度轨迹特性上存在细微的差别。这些逻辑电路通常采用 -5.2 V 的电源供电。高电平输出（多数情况下是正的）标称值为 -0.9 V，而低电平输出（多数情况下是负的）为 -1.7 V。

射极耦合逻辑电路需要有一个下拉电阻，通常用来端接到−5.2 V或者中间电压−2.0 V。这里我们介绍一下这两种情况下的计算。

当输出电压通过一个戴维南（Thevenin）等效电阻R下拉至V_T时：

$$P_{静态}=\frac{1}{2}\frac{(V_{CC}-V_{\mathrm{HI}})(V_{\mathrm{HI}}-V_T)+(V_{CC}-V_{\mathrm{LO}})(V_{\mathrm{LO}}-V_T)}{R} \tag{2.22}$$

由−5.2 V供电的ECL逻辑电路通过电阻R下拉至−5.2 V时，代入这些数值，式（2.22）可简化为：

$V_{CC}=0$（正电压）
$V_{\mathrm{HI}}=-0.9$（标称逻辑高电平）
$V_{\mathrm{LO}}=-1.7$（标称逻辑低电平）
$V_T=-5.2$（下拉电压）

$$P_{静态}=\frac{4.91}{R} \tag{2.23}$$

同样的电路通过电阻R下拉至−2.0 V时，式（2.22）可以简化为：

$V_{CC}=0$（正电压）
$V_{\mathrm{HI}}=-0.9$（标称逻辑高电平）
$V_{\mathrm{LO}}=-1.7$（标称逻辑低电平）
$V_T=-2.0$（下拉电压）

$$P_{静态}=\frac{0.75}{R} \tag{2.24}$$

对于相同的电阻值，使用−2.0 V端接时表现出明显的功耗优势。这是因为当电源电压被下拉到−2.0 V时，下拉电阻汲取的电流也较小。小电流意味着低功耗。较小的电流还意味着电路从HI转换到LO时需要更长的下降时间。

由于输出电路是一个射随器，上升时间不受下拉电流的影响。图2.9中标明了10KH系列的ECL逻辑晶体管Q_1的发射极等效串联电阻R_E的阻值约等于7 Ω。当给负载电容C充电时，源电流远大于下拉电流，因此充电时间常数等于它们的乘积：

$$T_{RC}=R_EC \tag{2.25}$$

T_{RC}是输出电路从低电平状态上升到高电平的63%时所需的时间。上升到高电平的90%所需的时间将是它的两倍多一点。简单RC电路的10%~90%上升时间是：

$$T_{10\%\sim90\%}=2.2T_{RC}=2.2R_EC \tag{2.26}$$

该时间常数，见式（2.26），通常小于晶体管Q_1的开启时间，因此输出电路的上升时间通常等于晶体管Q_1的开启时间。附录B中更精确地说明了如何将几个单独的上升时间合并为一个总的上升或下降时间。

在下降沿，晶体管Q_1截止，不再有电流流过发射极。只有电容C通过下拉电阻放电，这就是功率和上升时间的关系开始起作用的地方。下降时间直接与电容C放电的速度成正比。功耗与静态下拉电流成正比。不管下拉电阻是连接到−5.2 V还是−2.0 V，都需要一个大电流迅速地将电容C放电。

图 2.9 显示了电流衰减的波形。在 D 时刻，晶体管 Q_1 截止。输出电压在时间常数 $R_{PD}C$ 内衰减至电压 V_T。在E时刻，电压已降至 V_{LO}，而晶体管 Q_1 开始翻转，阻止了输出电压的进一步衰减，电压始终保持在 V_{LO}。

如果 Q_1 完全截止，从 10% 到 90% 的下降时间是：

$$T_{10\%\sim90\%}=R_{PD}C\cdot\ln\left(\frac{1-0.1K}{1-0.9K}\right) \quad (2.27)$$

其中的常数 K 等于：

$$K=\frac{V_{HI}-V_{LO}}{V_{HI}-V_T} \quad (2.28)$$

见式（2.27），当时间常数远小于晶体管 Q_1 的截止时间时，下降时间可以认为约等于 Q_1 的截止时间。附录 B 中更精确地说明了如何将几个单独的上升时间合并为总的上升或下降时间。

采用 –5.2 V 供电的 ECL 电路通过电阻 R_{PD} 下拉至 –5.2 V 时，代入以下数值，式（2.27）的下拉时间可以简化为：

$V_{HI}=-0.9$（标称逻辑高电平）
$V_{LO}=-1.7$（标称逻辑低电平）
$V_T=-5.2$（下拉电压）
$K=0.186$（常数 K）

$\ln((1-0.1K)/(1-0.9K))=0.164$

$$T_{10\%\sim90\%}=0.164R_{PD}C \quad (2.29)$$

同样的电路通过 R_{PD} 下拉至 –2.0 V 时，式（2.27）的下拉时间可以简化为：

$V_{HI}=-0.9$（标称逻辑高电平）
$V_{LO}=-1.7$（标称逻辑低电平）
$V_T=-2.0$（下拉电压）
$K=0.727$（常数 K）

$\ln((1-0.1K)/(1-0.9K))=0.987$

$$T_{10\%\sim90\%}=0.987\,R_{PD}C \quad (2.30)$$

为了得到相同的下降时间，–2.0 V 下拉电路要求采用的下拉电阻比 –5.2 V 电路中的阻值更小。一旦选择用（较小的）电阻来补偿上升时间，式（2.23）和式（2.24）中得到的功耗数值也大致相等。

不管是 –5.2 V 还是 –2.0 V 端接，在功率或速度方面的优势都不是非常大，仅仅是电阻的阻值不同而已。

采用 –5.2 V 下拉电路的优点是不需要单独的电源。从另一方面来说，采用 –2.0 V 下拉电路的优点是正好作为一个端接器连接在传输线的末端。对于采用 –2.0 V 的 ECL 逻辑电路，下拉电阻的合理取值范围是 50~100 Ω，大致与实际的传输线阻抗范围相同。对于采用 –5.2 V 的 ECL 逻辑电路，端接电阻的合理取值范围在 330~680 Ω，比 –2.0 V 电路的阻值要高 6 倍。过高的电阻值使其不适合用做端接器。

对于任何电路，减小电阻阻值将消耗更多的功率，同时也减少了下降时间。下降时间相同的前提下，两种电路所消耗的功率也基本相同。

2.2.6.4　抽头式下拉端接

有时ECL电路采用图2.10所示的抽头式端接（split termination）方式进行端接。根据所期望的总的阻抗和终端电压来计算抽头式端接的有效电阻值公式为：

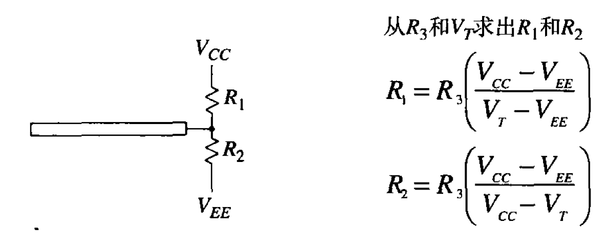
$$R_1 = R_3\left[\frac{V_{CC}-V_{EE}}{V_T-V_{EE}}\right]$$
$$R_2 = R_3\left[\frac{V_{CC}-V_{EE}}{V_{CC}-V_T}\right] \qquad (2.31)$$

其中，R_3 = 期望的总阻抗

V_T = 期望的有效端接电压

R_1 = 上端电阻（接 V_{CC}）

R_2 = 下端电阻（接 V_{EE}）



对V_{CC}和V_{EE}都进行抽头式端接（或下拉）

从R_1和R_2求出R_3和V_T

R_3　V_T

$$R_3 = \frac{R_1R_2}{R_1+R_2}$$

对V_T进行简单的端接（或下拉）

$$V_T = \frac{R_1V_{EE}+R_2V_{CC}}{R_1+R_2}$$

图 2.10　抽头式端接的等效电路

2.2.6.5　射极跟随器输出电路中的动态功耗

在ECL系统的设计中这一功耗的影响很小。由下拉电阻产生的功耗（负责保证负载电容迅速地放电）通常远远大于给所有负载电容充电所需的动态功耗。

对于集电极开路电路和电流源输出电路也是如此。任何容性负载在减少了驱动电路功耗的同时，都会产生下降时间问题。

2.2.6.6　TTL 或 CMOS 集电极开路输出的功耗

用来计算TTL集电极开路（或者CMOS漏极开路）输出电路静态功耗的公式与式（2.22）相似。通过戴维南等效电阻把电压上拉至 V_T 时：

$$P_{静态}=\frac{1}{2}\frac{(V_T-V_{HI})(V_{HI}-V_{EE})+(V_T-V_{LO})(V_{LO}-V_{EE})}{R} \tag{2.32}$$

其中，V_T = 上拉电阻的有效端接电压

R = 端接电阻的有效值

V_{HI} = 高电平输出（通常等于 V_T）

V_{LO} = 低电平输出

V_{EE} = 输出晶体管的射极（或源极）的电源电压

$P_{静态}$ = 输出驱动器的功耗

BTL系列的收发器[①]使用集电极开路驱动器，上拉电阻与+2.0 V相连。逻辑工作电平为+2.0 V和+1.0 V。BTL驱动电路包含一个肖特基二极管（见图2.11中的 D_1），与它的输出引脚串联。当 Q_1 截止时此二极管反向偏置，形成一个非常低的输出电容，典型值为6.5 pF。低输出电容是BTL技术的主要优势。

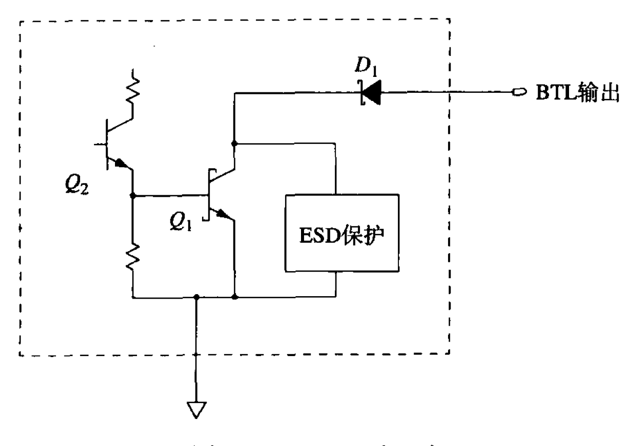


图2.11　BTL驱动电路

在三态时，推拉输出电路总是用一个反向偏置的基极－发射极（或者栅极－源极）PN结与线路相连。PN结的结电容必须足够大，以便能提供大的输出驱动电流，它远远大于一般的输入电容。与之相反，BTL驱动电路在转为OFF状态时的电容非常小。

2.2.6.7　电流源输出电路的功耗

电流源输出电路具有线性的优势，通常在一些专门的总线应用中采用。当驱动一个长的总线时，其电流输出自然而然地相互叠加，与电压源输出中非线性方式的相互影响形成鲜明对比。

由于这些电路被设计为线性甲类放大器，驱动晶体管工作在非饱和状态，因而输出电路消耗了大量的能量。

集电极开路驱动电路或者在电流很大时压降很小，或者在压降很大时几乎没有电流。两种状态消耗的能量都很少。与之相反，电流源驱动器在一个或多个状态中有时压降大而电流也大。尽管能量利用效率不高，但电流源输出电路在长总线结构中还是具有很大的优势。例2.3展示了使用电流源驱动器的一大好处。

① BTL是National Semiconductor公司的商标。这些收发器是IEEE标准896.1 1987 Futurebus上推荐使用的。

例 2.3　电流源驱动器的应用

某些系统使用电流源驱动器构成一个单向总线（见图 2.12）。时钟驱动器分别从 t_1，t_4 和 t_8 时刻开始划分了一连串的时钟间隔。时钟信号从左到右与数据总线并行传播，总线驱动器分别被命名为Alpha，Beta和Gamma，负责在预定的时隙把数据输入到总线。发射器件上的总线发送时间与时钟信号到达的时间一致。这样的安排保证每个数据单元在正确的时钟间隔区间里到达总线的右端，而不管它在总线上被发送时的物理位置。仅有的一个接收器位于总线的右端，随着到达的时钟信号同步地将总线上的数据信号锁存。

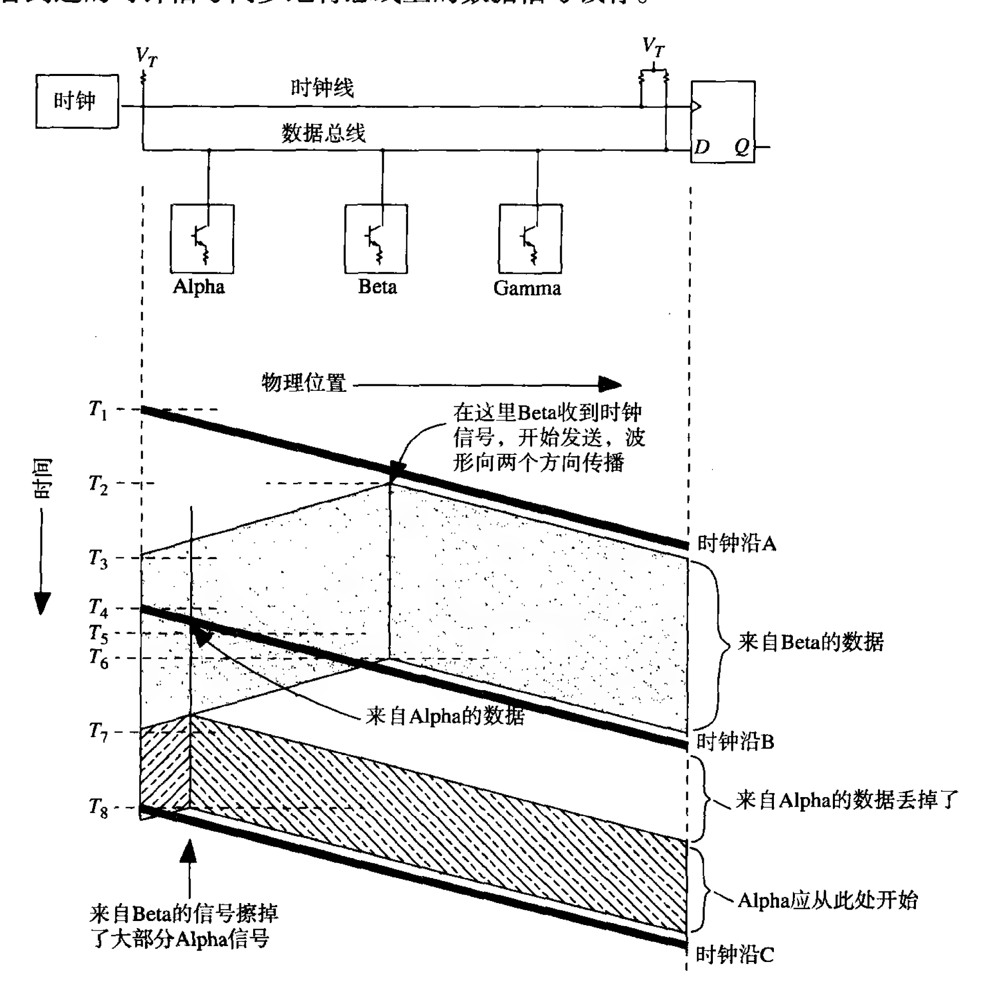


图 2.12　用于长单向总线的电流源驱动电流

图2.12显示了两个数据单元，第一个由Beta发出，第二个由Alpha发出。Beta在 t_2 时刻开始发送，然后在一个时钟间隔后的 t_6 时刻停止，这一时间与时钟信号 A 和 B 到达 Beta 处的时间相一致。同样，在时钟信号到达的 t_5 时刻 Alpha 开始发送，一个时钟间隔后停止。

当每个器件发送数据时，它的信号沿着数据总线同时向左右两个方向传播。在数据总线的右端，两个信号严格地终止于各自的指定时隙。

到目前为止，这里对该总线的运行速度还没有做理论上的限制。由于我们不必等待时钟向下传输并从远端返回，所以可以提高时钟速率至任意的频率，只受限于相关器件的工作速度，而不是总线的物理传播速度与长度。总线可以同时传送多个传向右侧接收器的数据单元。

这种单向总线的问题在于，我们只关心了传向总线右侧的信号，然而实际上发送的信号是同时向两个方向传播的。研究一下t_2时刻Beta发送信号时的情况，它发送的信号传向右侧（接收器方向）的同时也朝相反方向的Alpha传播。在t_5时刻，当Alpha要启动发送的时候，来自Beta的数据A的后半部分正在通过数据总线。

如果发送器Alpha是一个推拉输出驱动器，并且数据A的值和数据B相同，那么在数据B完全通过之前不会有来自Alpha驱动器的电流流过数据总线。此时，数据总线已经处在所要的逻辑状态，因此发送器Alpha对总线没有影响，就好像Alpha没有被连接到总线一样。一旦数据B完全通过，在t_7时刻，推拉输出驱动器Alpha开始输出电流，以使总线保持在既定的状态。在接收端，由于直到完全进入Alpha所分配的时隙之后还没有从Alpha发送的信号波到来，所以数据B的前端部分没有接收到。

同样，如果数据A和B正好相反，Alpha必须用两倍的输出来驱动总线，于是数据B的前端部分在接收器输入端D会呈现出一个超常的大脉冲。

解决这个问题的办法是使用线性驱动电路，无论总线上当前是什么状态，它都能叠加上自己的信号。正确的电路结构应该是电流源，通常是用集电极开路和漏极开路电流调整电路来实现。这类电路将预定数量的电流注入数据总线。数据总线的响应如同一个阻性负载[①]，产生一个相应的电压偏移。两个逻辑状态中的一个通常被设定为零电流，未激活的器件处于这个状态。

根据总线的长度，每个驱动器都可能工作在多个数据同时经过的情况，每个数据分别来自位于电缆不同位置的驱动器。这一要求意味着驱动器必须在很宽的电压范围上提供线性的电流。在很宽电压范围上提供恒定驱动电流将会耗费大量的功率。

2.2.7 输出功耗

消耗在端接电阻、下拉电阻以及其他偏置电阻上的功率使得电源总功率的负荷增加了，同时还增加了冷却的要求。

2.2.3节解决了输出电路驱动外部负载的功耗问题。这一节将计算那些消耗在负载上的功率。

首先要记住，理想电容不消耗功率。功率是消耗在驱动电路对电容充电和放电的过程中，而不是消耗在电容上。

对于连接在数据线和固定供电电压V_T之间的一个单独的电阻R，在HI状态下消耗的功率是：

$$P_{\mathrm{HI}}=\frac{(V_{\mathrm{HI}}-V_T)^2}{R} \tag{2.33}$$

在LO状态中，该电阻R中损耗的功率等于：

$$P_{\mathrm{LO}}=\frac{(V_{\mathrm{LO}}-V_T)^2}{R} \tag{2.34}$$

偏置电阻的大小应该始终能保证足以应付最坏情况下的功耗，诸如数据输出保持在一个或另一个状态下的情况。偏置电阻上的功耗通常高于驱动电路，所以，比起烧坏逻辑门电路，我们往往更担心烧坏电阻。

① 数据总线的两端都必须进行阻性端接。

电源功率的大小可以按预期的平均功耗来确定，再加上一个适当的安全系数。电源具有保险丝和过热截止电路，用以在过载的情况下能够自我保护，而偏置电阻则没有。千万不要低估偏置和端接电阻上的功耗。

记忆要点

- 在计算器件的功率时，应该包括动态功耗和驱动重负载时的功耗。

2.3　速度

理论上的数字逻辑设计重点关注的是逻辑门电路的传播延迟。相比之下，高频电子工程中的许多实际的问题通常只取决于一个更细微的指标：最小输出转换时间（minimum output switching time）。图 2.13 举例说明了这一差别。

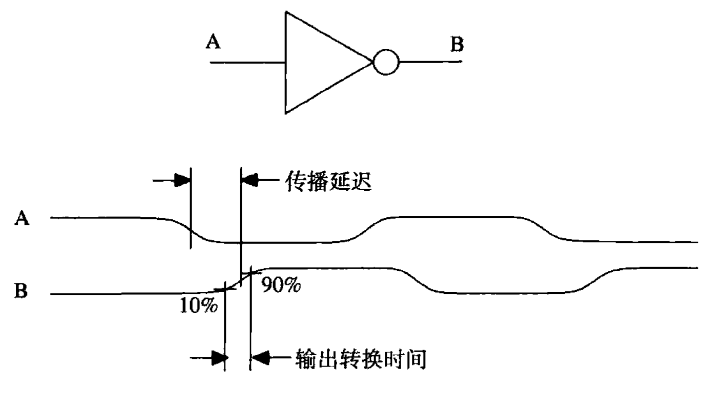


图 2.13　输出转换时间与传播延迟

较快的转换时间会导致返回电流、串扰和振铃等等与传播延迟无关的问题成倍地增加。如果逻辑产品系列的最小转换时间比传播延迟快得多，那么在系统设计时会面临不必要的麻烦，因为相应的器件封装、电路板布局设计和连接器都必须适应器件的快速转换时间，而小的传播延迟只有利于逻辑时序。假设有两种逻辑产品系列具有相同的最大传播延迟参数值，其中输出转换时间最慢的将会更便宜，而且更好用。

许多逻辑产品系列有多种速度－功率组合可以选用。TTL 系列包括LS（低功率肖特基）和 S（常规肖特基）等种类。所有 CMOS 系列都表现出引人注目的功率－速度关系：从而使任何 CMOS 系统的功耗与它的时钟速率成正比。ECL（含 MECLIII）系列产品可以在近乎两倍于 MECL 10KH 系列的速度下工作，但是也消耗了两倍的功率。

制造商更强调速度和功率的折衷，因为这样可以使数据手册看上去更体面。他们经常不标出器件的最小转换时间。这一个参数非常难于控制，除非制造过程中嵌入特殊的电路以减缓输出转换的速率。

这种限定转换时间的电路已经逐渐地开始进入一些逻辑系列产品。自从1971年MECL 10K 系列产品出现以来，所有 ECL 系列都已经内置了边沿减缓（edge-slowing）的电路。出现于1990年的FCT 系列产品是第一个内置了边沿减缓机制的CMOS 电路。从那以后，其他的制造商也采用了这种方法。

过快的转换时间分别通过两种特定方式导致问题的产生：由电压突变产生的影响和由电流突变产生的影响。

2.3.1 电压突变的影响，*dV/dt*

回顾式（1.1），数字信号主要的频率分量都位于它的转折频率以下。转折频率F_{knee}与脉冲上升时间T_r相关，而与传播延迟、时钟速率或转换频率无关[①]：

$$F_{\text{knee}}=\frac{0.5}{T_r} \tag{2.35}$$

信号传播的整个路径，包括器件封装、电路板布局以及连接器等，如果要它们正确地分发转换时间为T_r的数字信号，其频率响应至少在F_{knee}之前都应当是平坦的。如果F_{knee}之前某个路径的频率响应不是平坦的，在路径远端收到的信号则可能出现上升时间劣化、鼓包、过冲或振铃。

缩短上升时间（提高的dV/dt）将迫使F_{knee}的值升高，使得信号传播的问题更加严重。这是过分缩短上升时间的首要缺点（过高的dV/dt）。

电路的dV/dt还可能影响其他邻近电路上的信号。这一串扰是由互容机制产生的（参见1.9节）。两个邻近的电路元件总是会有容性的相互作用。如1.10.3节所提示的，在数字系统中，由互容引起的串扰要远小于由互感引起的串扰。

我们可以把电路最大的dV/dt与它的10%~90%上升时间以及电压幅度ΔV联系起来：

$$\frac{dV}{dt}=\frac{\Delta V}{T_{10\%\sim90\%}} \tag{2.36}$$

2.3.2 电流突变的影响，*dI/dt*

电流的突然变化可能影响附近其他电路上的信号。这一串扰通过互感机制而产生（参见1.10节）。两个邻近放置的电路元件总是会相互感应。为了计算电感耦合的大小，首先必须估算源网络中电流的变化速率。可以明确地说：电路的电流变化速率越高，出现的电感耦合问题将会越严重。这是dI/dt过高的主要缺点。

因为主要的测量仪器（示波器）读取的是输出电压而不是电流，所以需要一种方法将电压的上升时间读数转化为电流的变化速率。图2.14说明了常见的情况。上升电压波形$V(t)$引起的电流在负载电阻和负载电容中流过，分别等于[②]：

$$I_{\text{电阻}}=\frac{V(t)}{R} \tag{2.37}$$

$$I_{\text{电容}}=\frac{dV(t)}{dt}C \tag{2.38}$$

对两个波形求导数，以得到电流的变化速率：

$$\frac{dI}{dt}(\text{电阻})=\frac{dV(t)}{dt}\frac{1}{R} \tag{2.39}$$

$$\frac{dI}{dt}(\text{电容})=\frac{d^2V(t)}{dt^2}C \tag{2.40}$$

---

① 记住，第1章的F_{knee}是一种不精确但很实用的频谱测量法。我们并没有正式指定它作为上升时间的测量方法。

② 在这里假定电压波形是一个完整的高斯脉冲。

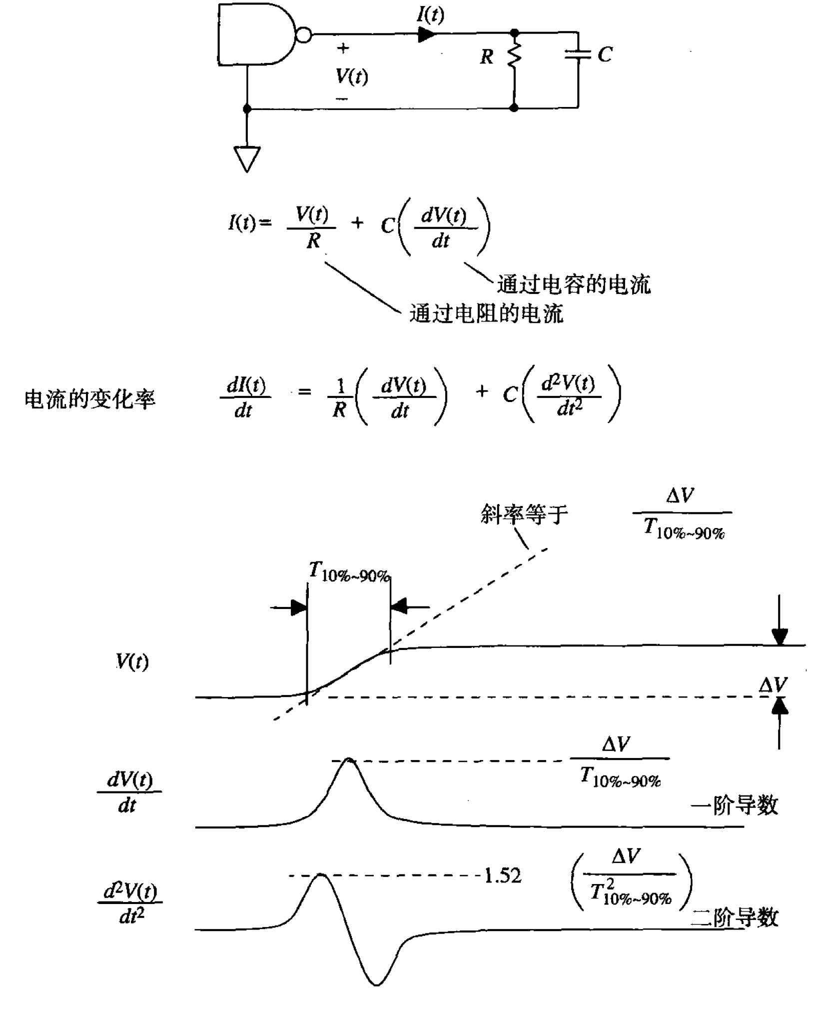


图 2.14　电压上升时间与最大电流摆率（slew rate）的关系

电流变化率的最大值对于确定电感耦合的峰值很有帮助。对于图中的电阻器和电容器来说，电流变化率的最大值分别是：

$$\frac{dI}{dt}(\text{电阻})\text{的最大值}=\frac{\Delta V}{T_{10\%\sim90\%}}\frac{1}{R} \tag{2.41}$$

$$\frac{dI}{dt}(\text{电容})\text{的最大值}=\frac{1.52\Delta V}{T_{10\%\sim90\%}^{\ 2}}C \tag{2.42}$$

当驱动一个既有阻性元件又有容性元件的组合负载时，只要将式（2.41）和式（2.42）中得到的最大值相加即可。这一总计值可能稍高于实际的峰值，但对于我们的目标来说已足够精确。图 2.14 显示 $V(t)$的一阶导数和二阶导数的峰值在时间上不是完全对齐的，因而电阻和电容中的电流变化率的峰值出现的时刻稍许不同。的确，直接求和并不是十分精确，但是容易记忆而且十分接近。

式（2.42）给我们一个提示，为什么互感问题是如此重要。互感问题的原因是电流变化速率，它与 10%~90% 上升时间平方的倒数成正比。当我们把上升时间减少一半时，将会使流入电容负载的 dI/dt 的数值乘以 4。

让我们通过两个例子来比较TTL和ECL系统中的电流变化率。这些示例表明ECL系统与TTL系统相比并不会产生更高的电流瞬变现象。ECL系统速度更快而且噪声更小。

例 2.4 TTL 输出电流的变化率

假定一个TTL门电路驱动一个50 pF的容性负载。使ΔV=3.7 V，C_L= 50 pF而且T_r= 2 ns。

$$\frac{dI}{dt}=\frac{1.52C_L\Delta V}{T_r^2}=7.0\times10^7\,\text{A/s} \tag{2.43}$$

例 2.5 ECL 输出电流的变化率

假定一个ECL门电路驱动一个50 Ω的阻性负载，ΔV = 1.0 V，R_L = 50 Ω，T_r = 0.7 ns。

$$\frac{dI}{dt}=\frac{\Delta V}{R_L T_r}=2.8\times10^7\,\text{A/s} \tag{2.44}$$

2.3.3 电压容限

电压容限（Voltage margin）是逻辑驱动器的保证输出与逻辑接收器在最坏情况下的灵敏度之间的差值。工作基于接收电压的逻辑系列产品都有电压容限，如同光学逻辑器件有光子容限，或者机械设备在Babbage引擎中有机械联动容限一样。

图2.15举例说明了Motorola 10KH射极耦合逻辑门电路在25°C环境温度条件下的电压容限。这些逻辑门电路都是对输入电压敏感，保证0和1转换的电压门限在图中以V_{IL} min和V_{IH} max数值形式表示。接收到的电压低于V_{IL} min则保证为逻辑0响应，高于V_{IH} max则保证为逻辑1响应。落在两个门限之间的接收电压可能被接收电路判决为1，也可能为0，或者为一个不确定状态（indeterminate state）。

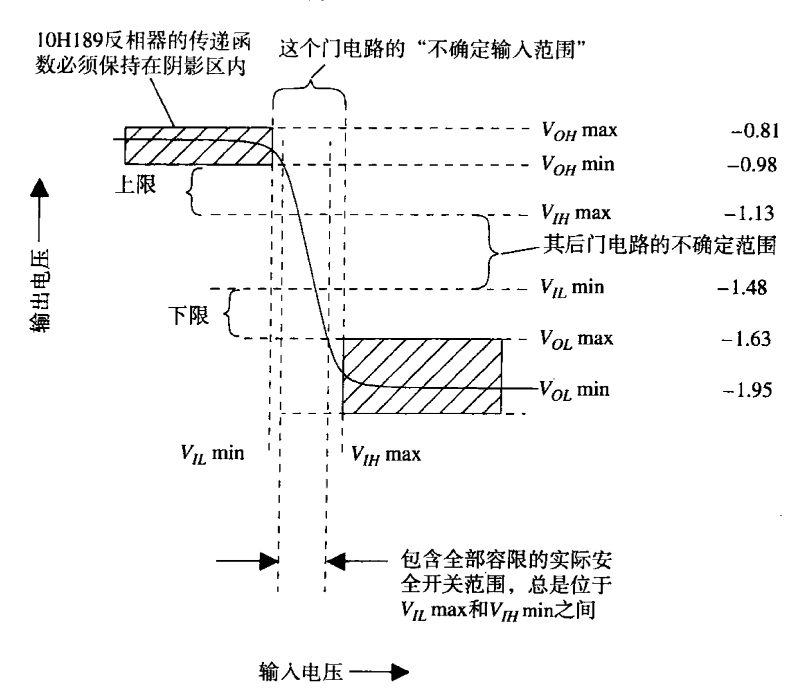


图2.15 ECL 10KH系列的直流电压容限

V_{IL} min 意味着，对于所有的门电路，它是保证输入为低电平所需的电压门限。大多数逻辑门电路将会跳变到比 V_{IL} min 更低的电压。这些逻辑门电路具有了一个额外的开关容限。制造商并不标明低电平的开关门限有多大，而是只标定其最小值。这一准则也适用于 V_{IH} max，但要反过来。

对于 10KH 系列产品，保证 0 和 1 的输出电压分别标定为 V_{OL}（min 和 max）和 V_{OH}（min 和 max）。当发送一个低电平时，输出电压要确保位于 V_{OL} min 和 V_{OL} max 之间。当发送一个高电平时，输出电压要确保位于 V_{OH} min 和 V_{OH} max 之间。

要确保输出范围和不确定输入范围之间没有重叠。无重叠意味着静态传输的值，无论是 0 还是 1，总是会被正确地接收到。

针对具体的门电路而言，其实际发送值是一个与环境温度、电源以及产品制造过程有关的变量函数。它的数据指标手册往往只声明 0 和 1 的输出值分别都超过 V_{OL} 和 V_{OH}①。图 2.15 中标出了典型的输出电平。

“电压容限”指的是 V_{OH} 和 V_{IH} 之间的差值，或者 V_{OL} 和 V_{IL} 之间的差值，这里都取最小值。

正如逻辑输出的值通常都优于最坏情况下的指标一样，超过最坏情况的开关门限逻辑输入通常也能够很准确地识别。一个典型的 10KH 反相器的转换函数显示在图 2.15 中。正如读者所看到的，电路在开关区域表现出的增益为 −4，在开关区域之外电路进入饱和，其输出值位于阴影部分的指标范围内。仅仅这一个门电路能够很好地工作在最坏情况的开关区域内，并不表明每个门电路都将会这样。下一个离开流水线的门电路也许有不同的输入直流偏置，因而转换电压接近于最坏情况区域的这一边或另一边。军用产品制造商在工厂里对产品进行筛选，以保证开关门限在许可范围之外的产品没有一个被运走。商用产品制造商仅仅统计抽检产品参数，而且只是尽力而为。

为什么需要容限呢？容限能够对真实系统中数字信号的非理想发送和接收的缺陷进行补偿。在如下的信号劣化情况中，没有足够容限的系统将无法运行：

1. 直流电源的电流流经接地通路的 DC 电阻，导致各逻辑器件之间存在地电位差。门电路发送的信号是在本地地电位上的一个固定电位，如果发送门与接收门的参考地电位之间发生了偏移，那么收到的将会是另外一个电位。
2. 快速变化的返回信号电流，流经接地通路电感，引起逻辑器件之间对地电压的变化。这些对地电压差对于接收信号电位的影响就像上面所说的直流地电位差一样。这是感性串扰的一种形式。
3. 邻近线路上的信号可能通过各自的互容或互感（可能性更大）相互耦合，对某个指定的线路产生串扰。串扰叠加到预期的接收信号之上，可能使一个好信号偏移到临近开关门限。
4. 振铃、反射、长的线路使二进制信号的形状产生扭曲。与发射端相比，接收端变化了的信号显得更小（或更大）。容限为信号失真留出了一些容许限度。
5. 某些逻辑系列产品的门限电平是一个温度的函数②。温度较低的门电路到温度较高的门电路的信号传送（反之亦然）可能容限减少或者负的容限值。

---

① 这意味着逻辑 0 的发送电压将会低于（更向负）V_{OL}，而逻辑 1 的发送电压将会高于（更向正）V_{OH}。

② 10KH 的门限电平在 0°C~70°C 的温度范围上变化大约 100 mV。ECL 系统的设计者必须保证整个系统在一致的温度下，否则会因温度的差异而使转换容限减少。

第1项和第5项适用于所有的系统，而无论其运行速度如何，而且计算时必须始终将这两项的影响考虑在内。第2项到第4项是高速系统所特有的。

这3个高速效应都随被传输信号的大小而改变：信号返回电流越大，引起的地电位差越高，信号电压（或电流）越大，产生的串扰越多，而且传输信号越大，表现出的振铃和反射越严重。这些对应关系引导我们得出结论：对于高速系统中第2项到第4项的影响，容限与影响的比就是电压容限与输出电压幅度的比。用百分比计算比直接的电压读数更加直观，更加方便，更能够比较不同的逻辑系列产品之间的差别。噪声容限的百分比等于以下两个比值中的较小者：

$$\frac{V_{OH}\,\text{min} - V_{IH}}{V_{OH}\,\text{max} - V_{OL}\,\text{min}} \quad \text{或} \quad \frac{V_{IL} - V_{OL}\,\text{max}}{V_{OH}\,\text{max} - V_{OL}\,\text{min}} \tag{2.45}$$

10KH ECL逻辑的噪声容限百分比是17.8%，而74ASTTL逻辑的噪声容限百分比仅有9.1%。这一差别是ECL逻辑比TTL有更好的噪声抗扰度的依据。虽然ECL的实际电压容限小于TTL，但相对于ECL电压幅度的百分比较大。

当然，10KH系列的转换速度比74AS系列产品快两到三倍。较快的转换时间加大了返回电流、串扰以及振铃的问题。总的来说，与74AS系列相比，MC 10KH系列更难抑制返回电流、串扰以及振铃的问题，但困难程度并非两到三倍那么多。

记忆要点

- 如果两个逻辑系列产品的最大传播延迟的统计数字相同，那么，输出转换时间最慢的那个将会比较便宜，并且比较容易使用。
- 已知电压的上升时间和负载，可以推算出一个输出电路中的电流变化率 dI/dt。
- 当把上升时间减少一半时，容性负载的电流变化率 dI/dt 将增至4倍。
- 一个完整系统电压容限的预算要考虑到电源供电的变化、地电位的偏移、信号串扰、振铃以及温差的影响。

2.4 封装

与众多不同电路配置结构一样，封装的多样性同样源于应用的需求。逻辑封装类型很多，而且与日俱增。当用于高速时，几乎所有封装类型都会遇到引脚电感、引脚电容和散热的问题。

2.4.1 引脚电感

器件封装中个别引脚的电感会产生被称为“地弹”（ground bounce）的现象。每当器件输出端由一个状态跳变到其他状态时，这一现象会导致逻辑输入端出现毛刺。毛刺的幅值及其产生的影响，正是这一节要讨论的主题。

2.4.1.1 地线上不必要的电压（为什么会出现地弹）

图2.16描绘了一个理想逻辑器件管芯（die）引线连接（wire-bonded）的四引脚双列直插式封装（DIP）器件，包含一个发送电路和一个接收电路。发送电路是推拉输出电路，而事实上任何构造的电路在高速情况下都同样会出现这一问题。

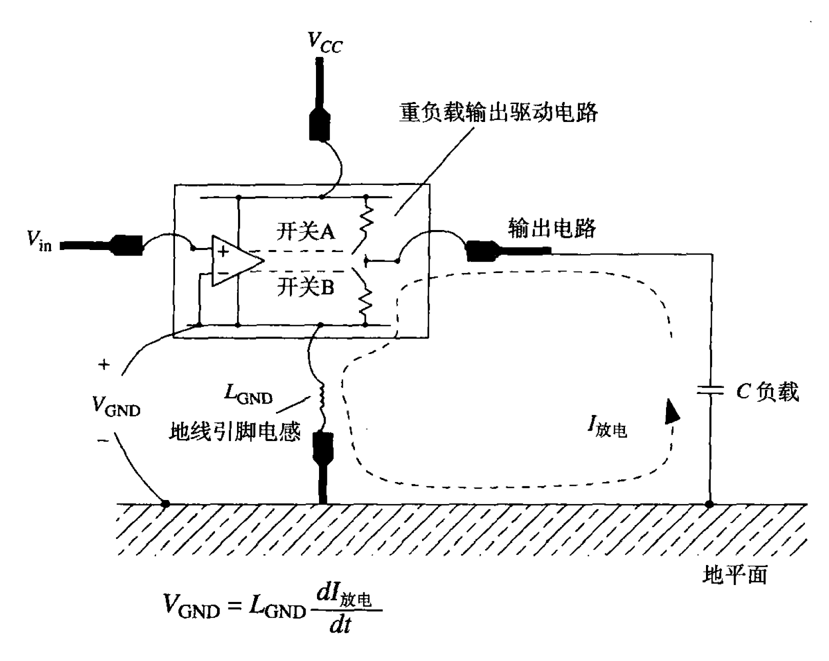


图 2.16　一个逻辑器件封装的引脚电感

假定输出驱动器的开关 B 刚刚关闭，负载电容 C 对地放电。随着电容 C 电压的下降，它积累的电荷流向地，在接地回路上形成一个大的电流浪涌，图中标为 $I_{放电}$。

随着放电电流建立然后衰减，这一电流变化通过接地引脚的电感起作用，在器件外的系统地平面与封装内的地之间感应产生了一个电压 V_{GND}。这个电压的值等于：

$$V_{GND}=L_{GND}\frac{dI_{放电}}{dt} \tag{2.46}$$

由于输出转换而引起的内部参考地电位漂移称为“地弹”。

与满幅值的输出电压相比，地弹电压 V_{GND} 通常很小。它不会严重地削弱发送信号，但严重干扰了接收。

再来考虑同一管芯内的接收器电路部分。接收器把输入电压 V_{in} 与它本地的内部参考地进行差分比较[①]。这个差分运算在图 2.16 中可以看成连接到 V_{in} 的正（+）输入减去连接内部地的负（−）输入。因为内部的地携带了 V_{GND} 噪声脉冲，从输入电路看到的实际电压差等于：

$$\text{从输入电路看到的电压：}V_{in}-V_{GND} \tag{2.47}$$

因为输入电路对它的正（+）和负（−）输入之间的差值做出响应，它无法知道噪声脉冲 V_{GND} 是被加到负（−）输入，还是从正（+）输入减去。换句话说，从输入电路看来，V_{GND} 脉冲就像是直接叠加在输入信号上的噪声。

如果同一芯片上到 N 个容性负载相应的 N 路输出同时转换，会得到 N 倍的地电流，于是脉冲 V_{GND} 的增大也接近 N 倍。

① 这是一种有代表性的 TTL 电路情况，CMOS 电路则倾向于用 V_{CC} 和地的加权平均值与输入电压进行比较。ECL 和 10G GaAs 系列产品采用 V_{CC} 与输入电压进行比较。所有情况中都会出现同样的结果，只是构造略有差异。

地弹电压与经过地线引脚的电流变化率成正比。当驱动容性负载的时候，我们期望变化率看起来像电压的二阶导数一样。参考图2.14，电压的二阶导数是一个双峰波形，首先向上隆起，然后向下凹陷。

2.4.1.2 地弹如何影响电路

图2.17说明了地弹的情形。设想一个TTL *D*型八触发器，由单一时钟输入，驱动一组32个存储器的芯片组。以每条输入线5 pF计算，每条地址线的负载为160 pF。

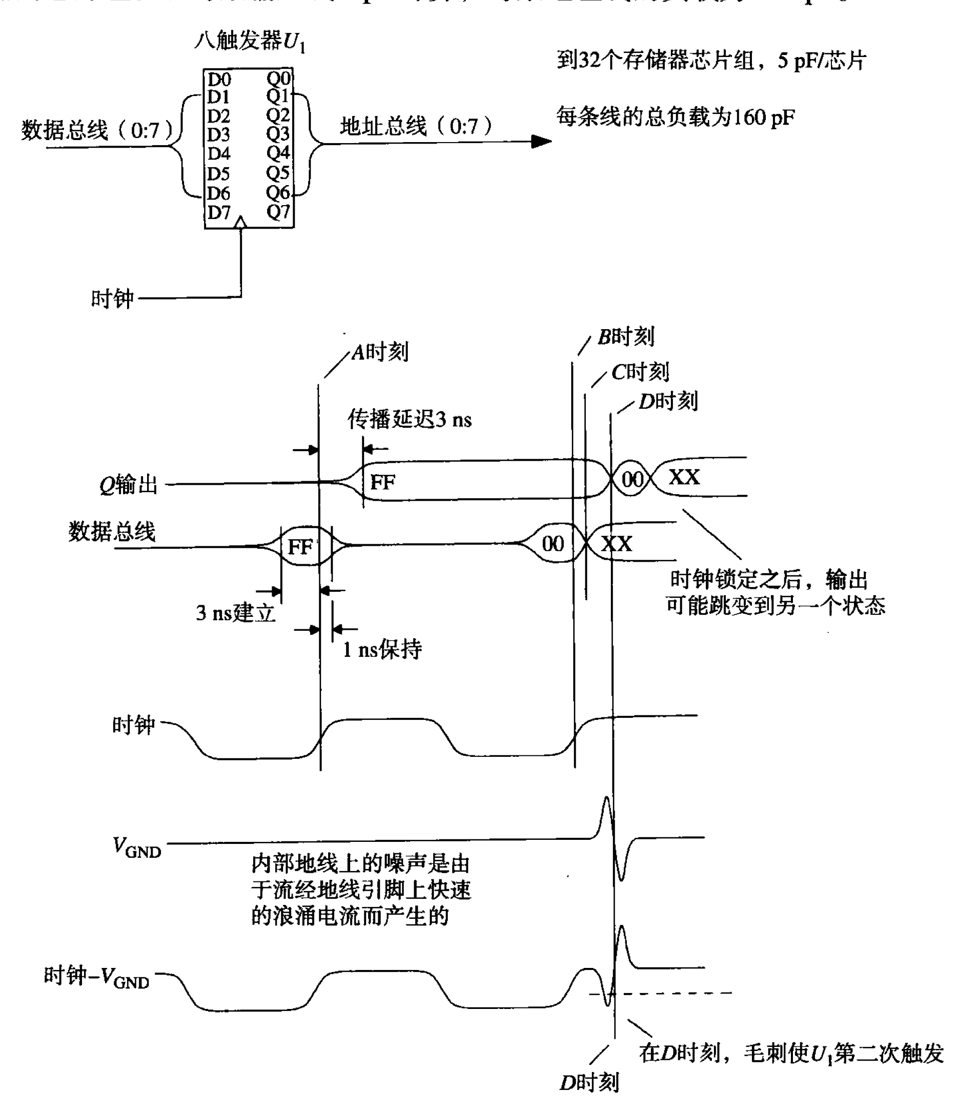


图2.17 地弹的例子

假设进入*D*触发器输入点的数据建立时间较长，而保持时间较短。图2.17中出现的数据为3 ns建立时间和1 ns保持时间。假定这个时序符合我们的TTL八触发器的要求。

在时钟边沿A，这个触发器锁存了数据码字FF（十六进制）。在时钟边沿B，触发器锁存的数据码字为00（十六进制）。在这两种情况下，该触发器3 ns的传播延迟都略长于所需的保持时间。

在*C*时刻，使输入数据变化为任意码字XX。*C*时刻紧接在时钟脉冲*B*之后1 ns。此刻触发器的内部已经锁存为00码字，但是*Q*输出端尚未从FF转变到00。

图中倒数第二个波形曲线为V_{GND}。在A时刻之后，当Q输出跳变为正，负载充电电流流入V_{CC}引脚，而不是地引脚，因此在V_{GND}上没有出现噪声。在D时刻，所有八个输出都跳变到LO，我们看到一个大的V_{GND}噪声脉冲。这个噪声脉冲引起了一个逻辑错误，称为双重触发(double clocking)。

双重触发是由时钟电路中的差分输入运算所导致的。在触发器内部，时钟输入通过比较芯片时钟引脚与地引脚间的电压差而得到。图2.17底部的曲线显示了这个电压差。这个差分波形在B点有一个干净的时钟边沿，紧接着是由信号电流流过地引脚而引起的一个大的毛刺。触发器将在这个毛刺脉冲中再触发。

如果数据输入的变化发生在D时刻的第二个时钟处，触发器将会跳转到状态XX。相应的Q输出在D时刻暂时翻转到正确状态，但随后却不可思议地翻转到某个错误状态。

从外部观测时钟输入，显示的是一个完全干净的信号，错误只出现在器件封装内部。

双重触发错误经常发生在双列直插式封装的触发器内，出现在非常快速的输出驱动器连接较重容性负载的情况下。双列直插封装的FCT系列的多路锁存器也会出现这一问题。表面贴装的器件由于引脚较短，因此不容易受到双重触发的影响。因为新一代触发器跳变得更快，我们需要采用新型的、接地电感少之又少的封装形式来进行封装。

倘若为输出驱动器提供专用电源引脚，与那些用于输入信号的参考地引脚隔离，就可以很好地避开地弹的问题。既然没有电流流入输入参考地引脚，也就没有地弹效应发生。大多数ECL系列和许多类型的门阵列，都为此而使用了专用的电源引脚。

边沿触发的输入线，例如复位和中断服务线，也特别容易受到地弹脉冲的影响。

2.4.1.3　地弹的大小

让我们通过一个具体例子来看看地弹脉冲到底会有多大。

例2.6　地弹的测量

为了这一测量我们将使用一个四触发器，通过配置，使它输出中的3个处于触发状态，而第4个输出固定保持为零。我们可以使3个有效输出中的任何一个都能够通过开关连接到20 pF的负载。这个实验配置能分别显示出无负载和重负载情况下的地弹。

因为非触发的第4个输出保持在逻辑LO状态，适合作为探测芯片内部的窗口，我们可以通过它测量内部的地电压。

图2.18描绘了这种结构。时钟和异步复位线交替地置位和复位三个有效输出。对于这个实验，我们使用74HC174触发器。

通过连接所有的3个负载，可以得到图2.19的波形。当Q输出跳变为HI，跳变电流流入器件内部（见2.2.2节），相应地出现一个小的V_{GND}毛刺。当Q输出跳变为LO，出现了大的地弹脉冲。在本例中，大约有150 mV。

一个仅有150 mV的脉冲看起来可能不是很大，但是要考虑到以下的因素：

1. HCT逻辑系列的低电平容限只有470 mV。
2. 如果有8个输出同时跳变，脉冲将会增大至8/3倍。
3. 地弹减少了用于补偿其他噪声及信号失真影响的有效剩余噪声容限。

用同样的测量方法在74F174触发器上得到的结果是400 mV的地弹。

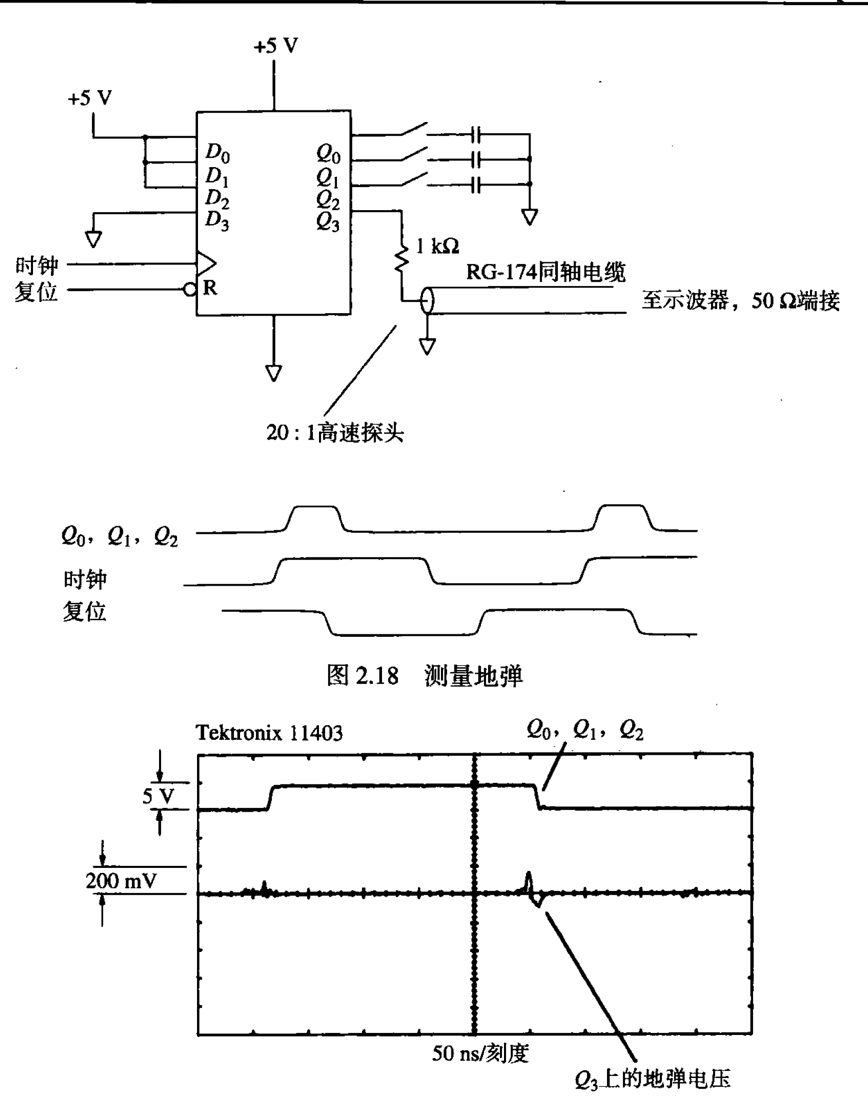


图 2.18 测量地弹

图 2.19 带 3 个 20 pF 负载的 74HC174 上的地弹

2.4.1.4 预测地弹的大小

为了对地弹进行有效的预测，需要知道 4 个要素：逻辑器件的 10%~90% 转换时间，负载电容或电阻，引脚电感和转换电压。

对于一个阻性负载 R，可以用式（2.41）得到的电流变化率以及由式（1.17）定义的电感，来计算地弹的幅值：

$$|V_{GND}| = L\frac{\Delta V}{T_{10\%\sim90\%}}\frac{1}{R} \tag{2.48}$$

对于一个容性负载 C，可以用由式（2.42）得到的电流变化率以及由式（1.17）定义的电感，来计算地弹的幅值：

$$|V_{GND}| = L\frac{1.52\Delta V}{T_{10\%\sim90\%}^{\ 2}}C \tag{2.49}$$

参数 ΔV 和 $T_{10\%\sim90\%}$ 的大小取决于逻辑产品系列的数据指标，这里指的是典型值。

表2.2比较了5种逻辑系列产品的转换特性参数：Signetics 74HCT CMOS，Texas Instruments 74AS TTL，Motorola 10KH ECL，GigaBit Logic 10G GaAs 和 NEL GaAs①。

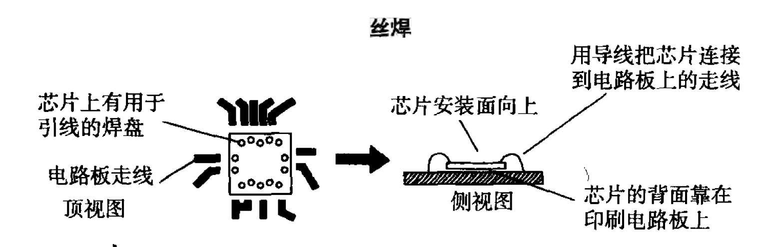
表 2.2　5 种逻辑系列产品的转换特性

	74HCT CMOS	74AS TTL	10KH ECL	10G GaAs	NEL GaAs
ΔV_{max}（V）	5	3.7	1.1	1.5	1.0
T10%~90%（ns）	4.7	1.7	0.7	0.15	0.05

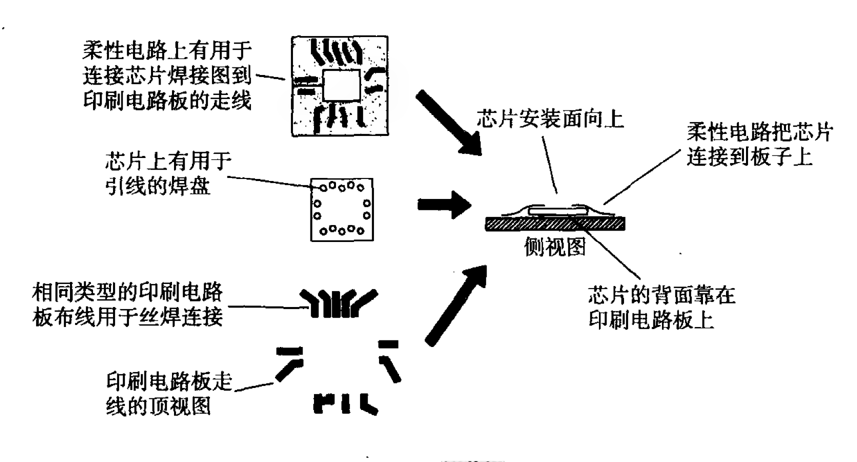
接地引脚电感是封装类型的一个强函数（strong function）。封装越大，引脚电感越大。具有内部地平面的封装相对较好，但并不能完全消除地弹的问题。宽的、低电感的内部地平面结构仍然要通过细小的引脚来连接内部地平面和外部地。

能够显著减少引脚电感的最有希望的3种技术分别是丝焊（wire bond），载带自动焊（tape automated bonding, TAB）和倒装焊（flip-chip）。这 3 种技术都短缩了芯片和印刷电路板之间的地线连接，参见图 2.20。如果想深入了解现代的封装技术，请参阅有关资料②。

丝焊



载带自动焊





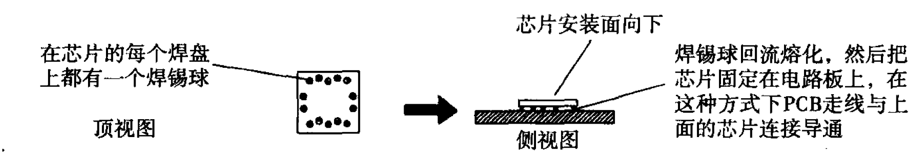


图 2.20　芯片直接附着焊接的方法

① 在写作本书的时候，NEL 保持着商用数字逻辑系列产品中转换速率的最高记录。如果需要更多的信息，可以联系纽约的 KBK 公司。

② H.B. Bakoglu, *Circuits. Interconnections, and Packaging for VLSI*, Addison Wesley, Reading, Mass. 1991.

丝焊法是将一个未密封的管芯背向放置在印刷电路板上，然后在芯片焊盘和印刷电路板之间焊接上细小的连接引线。芯片及其引线随后由一滴被覆材料封闭起来，或者用一个气密外壳密封覆盖整个电路板。

丝焊是一种可机械化操作的简单方法，无论芯片焊盘的定位还是印刷电路板布线方面，都能允许大的变动。丝焊也可以通过手工操作完成较小批量的生产。

载带自动焊用批量端接技术代替丝焊。首先把用于连接芯片到印刷电路板的互连线印制在非常薄的柔性基底上（柔性电路板）。这个基底可能有多个层，包括一个用于阻抗控制的地层。焊料随后被放置在芯片焊盘处，芯片通过回流焊焊接到柔性电路上。现在芯片正面已经与柔性电路焊接在一起。下一步，将芯片与柔性电路的组合体用回流焊接法装配到印刷电路板上。最后用一滴被覆材料密封，或者用一个气密外壳密封覆盖整个电路板。

载带自动焊法作为一种大规模装配技术，发展非常迅速。它的优势在于给所有的信号提供了一个连续的接地平面，而且还提供了芯片和印刷电路板之间的某种机械一致性。载带自动焊法能适应0.08 mm这么小的引脚间距（300个引脚/ in）。它的缺点是每种芯片都需要一个专门的柔性电路，而且，无论是印刷电路板还是芯片引线的改变，都必须要改变柔性电路。

倒装焊技术首先在芯片的每个焊盘上放置小的焊锡球，然后将芯片面向印刷电路板放置，并立即通过回流焊焊接在相应位置。倒装芯片技术通常用于陶瓷多芯片模块，并附带有先进的冷却结构和完全密封的整体封装。

电气特性方面，倒装芯片技术是非常理想的。焊接引线长度非常小，因此所有和封装有关的寄生产物也都最小化了。而在机械装配和散热方面，芯片倒装技术是极糟糕的。除了焊锡球自身有限的弹性以外，在芯片和印刷电路板之间几乎没有任何的机械配合柔性，芯片和印刷电路板之间的热膨胀系数还必须非常紧密地匹配。

因为芯片基底离开了印刷电路板，倒装芯片冷却的问题更加恶化。在丝焊和载带自动焊法方法中，芯片的装配都是使它的背面与印刷电路板接触（通常是粘到电路板上），而印刷电路板正好是一个好的散热渠道。

对于各种不同的封装，表2.3列出了其典型的引脚电感值。

表 2.3 器件封装的引脚电感 *

14引脚塑料双列直插封装（DIP）	8 nH
68引脚塑料双列直插封装（DIP）	35 nH
68引脚表面安装塑料芯片引脚插座（PLCC）	7 nH
丝焊到混合基底	1 nH
锡球直接焊到混合基底	0.1 nH

* 大多数数据引自 H. B. Bakoglu *Circuits, Interconnections, and Packaging for VLSI*, Addison Wesley Reading, Mass, 1990, Table 6.2。

2.4.1.5 可以减少地弹的因素

减慢输出转换时间就是一个减少地弹的好办法。10K ECL 系列产品，CMOS FCT 系列产品和一些较新的总线驱动器都嵌入了用于减缓边沿跳变时间的电路，同时，对总传播延迟的影响将控制在最低限度。

一些制造商还在他们的封装中布置了多重地线，如果这些地线均匀地分布在管芯周围，那么这也是个好办法。如果所有这些地线都彼此靠近，地线由一个增加到两个则可以使接地电感

几乎减少一半，但邻近地线的数目超过两个以后，其效果的增长是逐渐减小的。地线在芯片周围均匀地展开放置要好于将许多地线集中在一起。

器件的输入电路中带有一个单独的参考地引脚，这是一种更巧妙地解决地弹问题的方式。这些电路，比如10K系列产品，内部参考电压发生器具有直接连接到外部地的通道，并为内部参考电压发生器提供了一个独立的读出引线。该引脚不承载大的接地电流，也不会产生地弹。这是解决地弹问题的一种极好的方法。对于有多个独立地线的芯片，要确保每个地线到接地平面都有一个直接的通道。把两个地线连接到一起并且将它们经同一条走线接地的做法，将使多个独立的接地引脚失去其本来的作用。

差分输入也是一种类似的方法，可以达到同样的目的，而且更加有效。

2.4.2　引脚电容

逻辑器件相邻引脚之间的寄生电容（杂散电容）能够在敏感的输入引脚上耦合出噪声电压。图 2.21 描述了一个互容 C_M 使得逻辑器件中引脚 1 和引脚 2 产生耦合的情形。

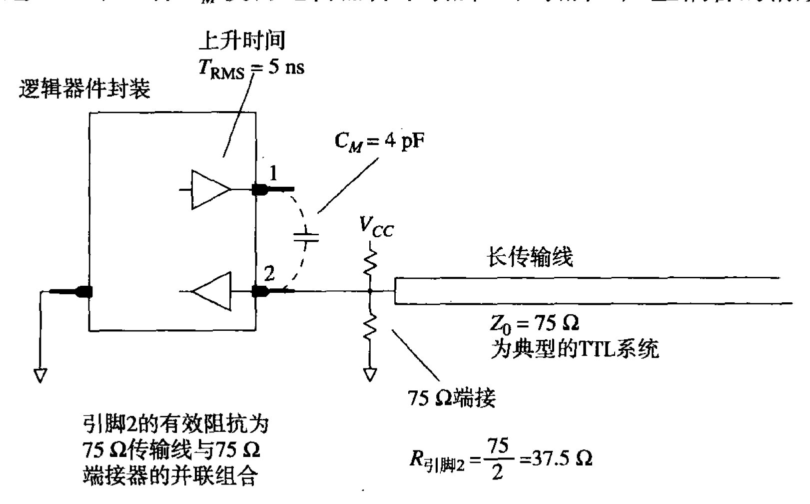


图 2.21　逻辑器件封装引脚之间的寄生电容

可以用式（1.30）计算由电路 1 传入电路 2 的串扰的百分比：

$$\text{串扰}=\frac{R_2C_M}{T_{10\%\sim 90\%}} \tag{2.50}$$

其中，C_M = 4 pF（电路 1 和 2 的互容）

R_2 = 37.5 Ω（75 Ω 长传输线与 75 Ω 端接器的并联阻抗）

$T_{10\%\sim 90\%}$ = 5 ns（引脚 1 上信号的电压上升时间）

在本例中，串扰为 0.03（3%）。

当上升时间变得越短时，容性串扰的问题变得越严重。同时，当连接的输入阻抗更高时，情况也随之变得更差。

图 2.22 说明了高阻抗输入的问题。图 2.22 中的 ASIC 器件产生一个时钟信号，同时也反向触发一个开关输入。没有 C_1 和 C_2 时，R_1 和 R_2 的阻抗非常高，所以我们可以预料容性串扰会成为严重问题。通过式（2.50）会得到一个荒谬的串扰因数 8。这意味着实际上来自引脚 1 的全部时钟信号都将会在引脚 2 上出现。

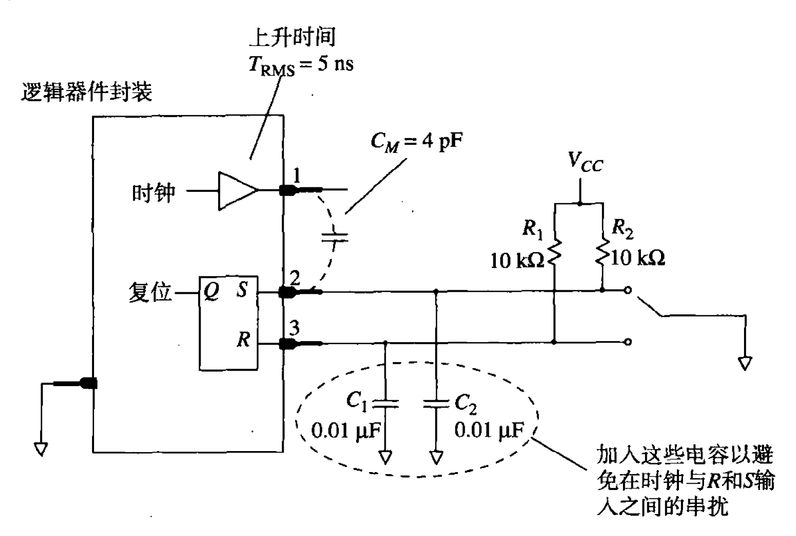


图 2.22　确定一个反向触发电路的寄生电容问题

高频时电容器C_1和C_2降低了接收电路的阻抗，阻止了容性串扰问题的产生。对于接收电路中的容性负载，串扰的百分比正好等于电容的比值：

$$串扰 = \frac{C_M}{C_1} \tag{2.51}$$

C_1设定为0.01 μF时，得到的串扰只有0.0004，这一量级的串扰是无关紧要的。检查R_1C_1的时域响应，得到的时间常数为0.1 ms。没有谁能够分辨出这一微小的差异。

表2.4按大小次序列出了各种封装中相邻引脚之间的电容值。

表 2.4　逻辑器件封装的相邻引脚的电容 *

14引脚塑料双列直插封装（DIP）	4 pF
68引脚表面安装塑料芯片引脚插座（PLCC）	7 pF
丝焊到混合基底	1 pF
锡球直接焊到混合基底	0.5 pF

* 大多数数据引自 H. B. Bakoglu *Circuits, Interconnections, and Packaging for VLSI*, Addison Wesley Reading, Mass, 1990, Table 6.2。

2.4.3　热传导（Θ_{JC}和Θ_{CA}）

为了避免过于理论化，我们从一个实验入手看看功耗与温度之间是如何相互关联的。在14引脚的双列直插式封装外壳里装入一个1 Ω电阻，电阻的两端连接到引脚7和14，另外还要将一个温度传感器连接到引脚1和2，以便我们能了解封装内的温度①。通过改变引脚7和14上的电压，就能够控制封装内的功耗。

然后，将这个封装放在恒温箱内的静止空气中，将环境温度设定为86°F（30°C），而且功耗设定为零。几分钟后，封装里的温度将依然保持在30°C的水平。

接着，绘出一个内部温度与功耗的关系曲线。每次读数的间隔时间必须足够让电路重新达到热平衡。图2.23显示了实验结果。

① 把封装外壳对半切开，取出内部的电路，放入电阻和温度传感器，再把外壳重新粘合到一起。

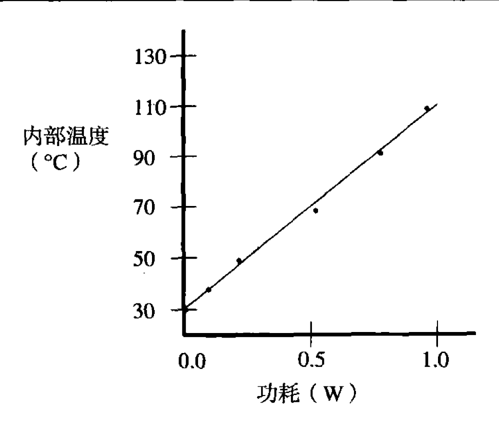


图 2.23　一个 14 引脚塑料双列直插封装内的温度与功耗的关系曲线

数据点构成了一条直线，预示着每消耗 1 W 能量会使温度上升 83°C。温度和功率之间的这一线性关系对所有的逻辑器件封装都具有代表性。

图 2.24 显示了在 30°C，70°C 和 110°C 的不同环境温度下的实验结果。温度曲线的斜率在所有的情况下都是相同的，只是起始点有一个偏移量。根据这些观测，可以综合出一个通用的公式来预测逻辑器件的内部温度。内部温度（称为结温）等于环境温度加上与内部功耗 P 成比例的偏移量。

$$T_{结} = T_{环境} + \Theta_{JA} P \tag{2.52}$$

比例常数 Θ_{JA} 称为从结到环境的封装热阻。常数 Θ_{JA} 这个特征值与管芯在封装内的附着方式、封装材料、封装尺寸以及任何附加在封装上的特定散热部件（散热片或风扇）的特性相关。

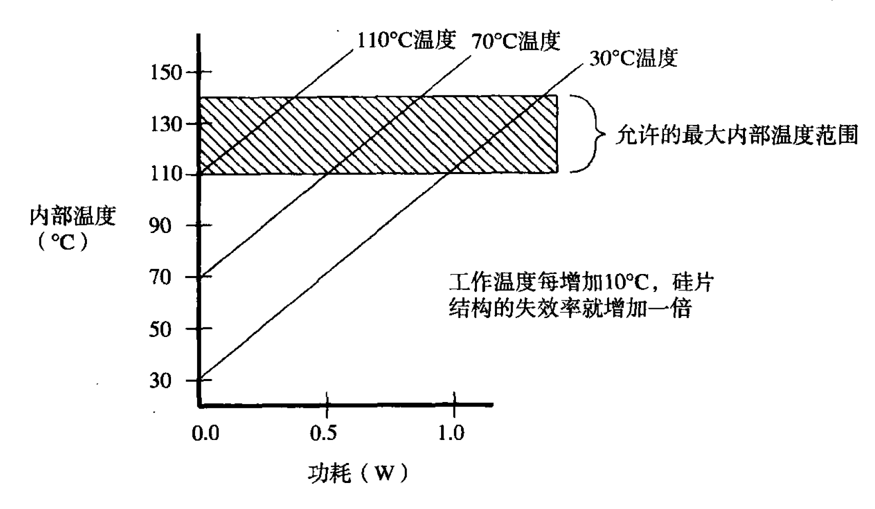


图 2.24　内部温度与功耗及环境温度的关系曲线（14 引脚塑料双列直插封装）

有时制造商会根据封装内部的工作方式及其装配方法将热阻分为几个部分。最常用的方式是分别计算从结到容器的温度升高和从容器到外部环境的温度升高。

$$\Theta_{JA} = \Theta_{JC} + \Theta_{CA} \tag{2.53}$$

制造商之所以采用这种分割法是因为通常我们无法改变 Θ_{JC}，但有许多方法可以影响 Θ_{CA}，外加散热器的制造商提供了详细的文献和技术报告，叙述其产品对于 Θ_{CA} 的改进措施。使用专

用散热器时，为了预测最大的内部结温，必须得到来自器件封装厂商的Θ_{JC}数据和来自散热器制造商的Θ_{CA}数据，以及我们自己计算出的器件总功耗。

2.4.3.1 结到外壳的热阻

表2.5列出了各种封装的Θ_{JC}（结到外壳的热阻）的一些典型值[①②]。

表2.5 结到外壳的热阻Θ_{JC}

封装	Θ_{JC}
16引脚塑料双列直插封装（DIP）	34°C/W
16引脚陶瓷双列直插封装（DIP）	25°C/W
40引脚陶瓷10K平方密尔[③]管芯的封装（LCC）	5.5°C/W
132引脚陶瓷50K平方密尔管芯的封装（LCC）	1.4°C/W

封装外壳越大，热阻越小。直观地理解，因为较大的外壳有更大的表面面积，因而对热量的传导更有效。注意，针对较大的封装，我们指明了管芯的尺寸。这里列出的数据是各类封装所适用的最大管芯尺寸。在相同外壳的情况下，管芯越小热阻越大，因为它们和外壳间的接触面面积越来越小。

为逻辑器件确定封装形式的工程师们感兴趣的是管芯本身的热阻、管芯和外壳之间的结合方式、嵌入封装的导热或散热材料、外壳材料（陶瓷比塑料的导热性更好）和封装的物理构造（平而薄的封装优于厚而方的封装）。

2.4.3.2 容器到外部环境的热阻

表2.6列出了各种不同封装的Θ_{CA}（容器到外部的热阻）的一些典型值。外壳附近的空气流速对热的传导具有很大的影响[④⑤]。空气流速作为前提条件与每个封装类型条目一起列出。

表2.6 容器到外部环境的热阻Θ_{CA}

封装	Θ_{CA}
16引脚双列直插封装在静止的空气中	80°C/W
16引脚双列直插封装在400 ft/min的气流中	35°C/W
72引脚陶瓷引脚栅格阵列（PGA）封装在静止的空气中	34°C/W
72引脚陶瓷引脚栅格阵列（PGA）封装在400 ft/min的气流中	18°C/W
72引脚陶瓷引脚栅格阵列（PGA）封装在400 ft/min的气流中，带散热片	10°C/W

图2.25绘出了Motorola 72引脚栅格阵列封装的结到外部环境综合热阻与空气流速的函数关系曲线。从结到外部环境的综合热阻Θ_{JA}随空气流速的增加而减少，有或没有Motorola推荐的散热片都是如此。两条曲线都包含一个固定数值Θ_{JC}，为4°C/W，多数散热器在散热功效与气流速率的关系曲线中表现出一个相似的增加量。

图2.26是显示从容器到外部环境的热阻Θ_{CA}与散热器体积的离散曲线图，该散热器由美国得克萨斯州达拉斯的Thermalloy公司生产。两条曲线显示了该公司的散热器分别在静止的空气和气流速度为1000 ft/min的条件下是如何工作的。该离散曲线的一个必然结论是：与空气大面积接触的材料散失了大量的热能。增加空气流速可以降低热阻，但使用一个较大的散热片降得更多。

---

① *Motorola MECL System Design Handbook*, Motorola Inc., Phoenix, Ariz. 1988. p. 111.

② *GigaBit Logic Standard Cell Array Design Manual*, GigaBit Logic, Newbury Park, Calif, 1989, pp 5-7

③ 密尔（mil）= 0.001 in。——译者注

④ *Advanced low Power Schottky, Advanced Schottky Logic Data Book*, Texas Instruments. Dallas, Tex., 1986. pp.1-14.

⑤ *MCA800ECL/MCA2500ECL Macrocell Array Design Manual*, Motorola, Phoenix, Airis., 1986, p. 36.

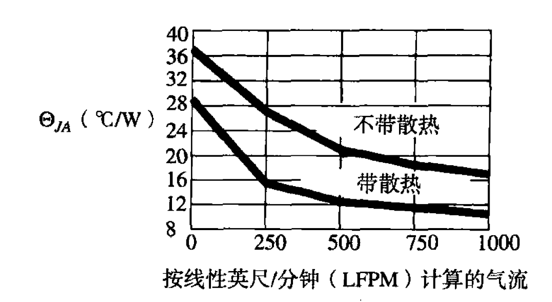


图 2.25　Motorola 72 引脚栅格阵列封装的典型热阻与气流

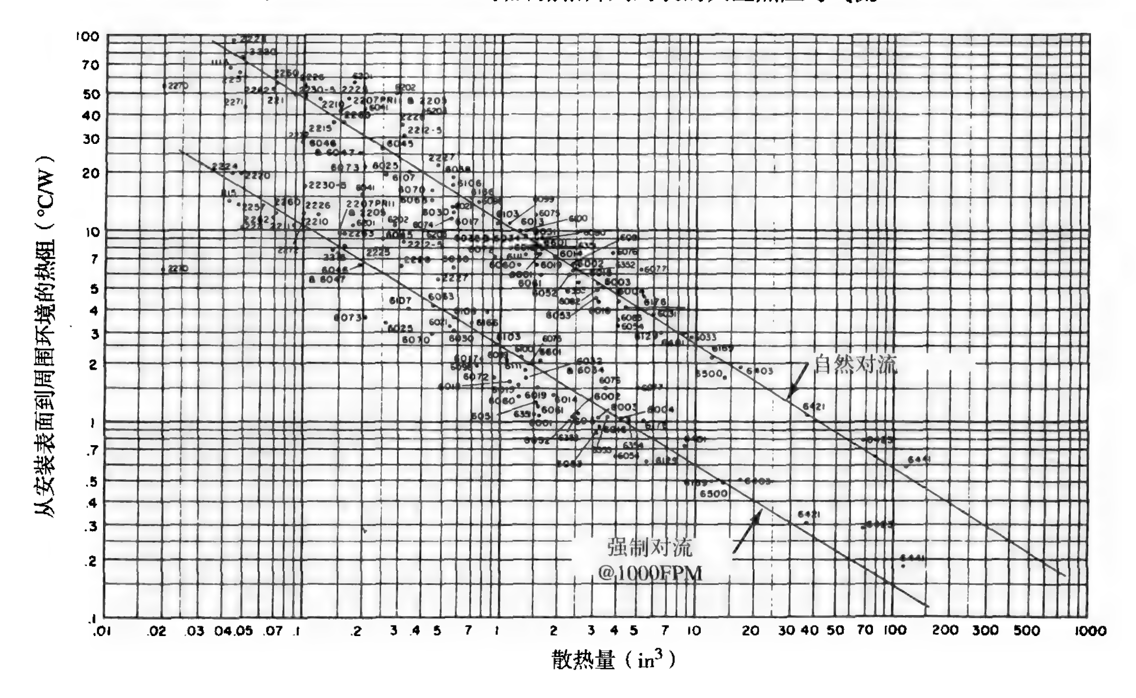


图 2.26　耐热合金散热器从外壳到外部环境的典型热阻

离散曲线的斜率约为 −2/3。这意味着散热器的功效达到散热量的 2/3，与线性尺寸的平方相同。一个散热器在三维方向上的尺寸都增加 40% 将使热阻下降一半。

2.4.3.3　400 ft/min 究竟是多快的气流

制造商通常会引述在 400 ft/min（或者更大的流速）下工作的散热器数据指标，作为标准工作条件下其产品优良性能的证据。遗憾的是，400 ft/min 远远超过了一个缺乏细致气流设计的散热器所接收到的气流。

为了把以英尺 / 分钟为单位的空气流速变换到以英里 / 小时为单位，应该乘以 0.0114 或大约 1/100。根据 400 ft/min 的空气流速，可以算出流速为 4.5 英里 / 小时。在陆地，这是温和的微风，但是在计算机机箱内有限的间隙中，需要一个相当大的风扇来移动如此多空气。因为当空气一旦从风扇吹出之后，它的速度就会变慢，所以必须有一个大风扇。同时，被限制了空间的气流产生了扰动的漩流和死角。我们必须将额外的空气吹进腔体，以保证内部每点都达到了最小容许的空气流速。

典型的个人计算机机箱内的风扇大约产生 150 ft/min 的气流。

记忆要点

- 在高速状态下，逻辑器件封装的电感至关重要。
- 流过一个接地引脚的输出开关电流会引起地弹，地弹可能引起触发器的双重触发问题。
- 热阻是上升温度与功耗的比值。
- 热量从管芯流到它的外壳，然后从外壳传导到周围环境：

$$\Theta_{JA}=\Theta_{JC}+\Theta_{CA}$$

- 400 ft/min 是相当大的气流。

第3章　测量技术

所有的科学仪器都有其局限性。同其他测量仪器一样，当使用示波器测试一台电子设备内部的信号时，我们必须学会适应该示波器的局限性，并将这些局限性的影响也计入最终的分析结果里。

3.1　示波器探头的上升时间和带宽

示波器最主要的三个局限性是：灵敏度不足、输入电压的容许范围太小以及带宽有限。

除了在信号灵敏度要求很高的特殊场合，通常我们都能够保证信号电平高于一般示波器的最低信号灵敏度电平；高电平时数字信号的最大电平小于5 V[①]，这也在大多数示波器的最大电压测量范围之内。由此看来，最严重的限制是带宽。

毋庸置疑，同示波器的探头一样，示波器的垂直放大器也有一个带宽率（bandwidth rating）。这个数值是什么含义呢？很少有工程师会用100 MHz的示波器去测量200 MHz的数字信号，但是用它去测量99 MHz的信号又会怎样呢？带宽的精确含义到底是什么呢？它又如何对数字信号产生影响呢？

图3.1给我们提供了一些线索。图中的两个波形是用两个带宽相差很大的示波器探头观察同一个信号所看到的结果。上面的波形上升很快，而下面的则慢得多。上面记录的波形用的是上升时间很快的探头，而下面的波形，则用的是6 MHz带宽的探头。这个6 MHz带宽的探头，原本用于过滤噪声，同时具有很高的输入阻抗，在这里主要是为了突出信号通过不同探头时的区别。带宽较低的探头使输出信号模糊，使其上升沿和下降沿都变得更加缓慢。用信号处理的术语来讲，就是低带宽的探头滤除了被测信号的高频分量。

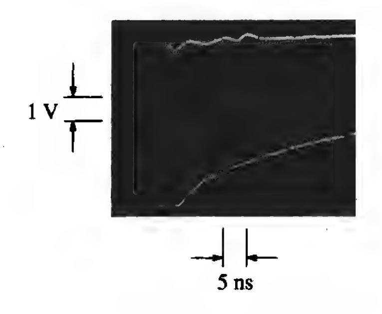


图3.1　用两个不同带宽的探头观察同一信号时的差别

为了显示得更加清楚，图3.2把示波器分成了几个部分，分别为输入信号、探头和垂直放大器。在图3.2中，一个理想信号的上升沿极窄，分别输入给各级部件，以便我们能够看到信号在通过系统不同阶段时的畸变程度。探头和垂直放大器对信号有同样的影响：都减缓了信号的上升时间。

---

① 只要不再使用真空管电路，这个结论就是正确的。

图 3.2 分别量化了每个处理阶段上升时间劣化的程度。

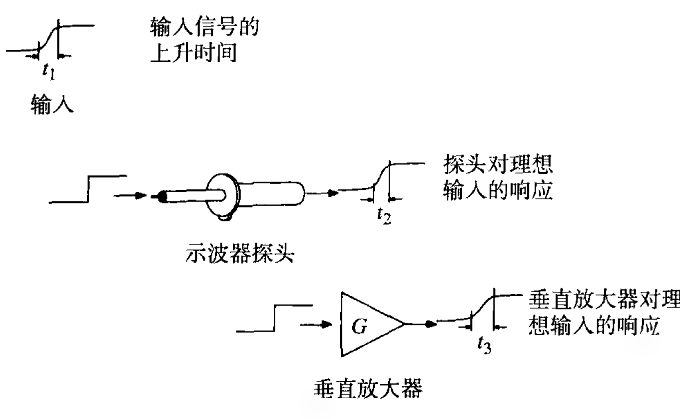


图 3.2　示波器各部件的上升时间

当一个实际信号通过如图3.3所示的探头和垂直放大器组成的系统时，得到的上升时间等于每个部件上升时间平方之和的平方根。

$$T_{总上升时间} = \left(T_1^{\,2} + T_2^{\,2} + \cdots + T_N^{\,2}\right)^{1/2} \tag{3.1}$$

只要处理过程是级联的方式，就应该将各个上升时间的平方累加。在这个例子中，适当的上升时间值应该取 10%~90% 上升时间[①]。

$$T_{10\%\sim90\%} = \frac{0.338}{F_{3\,\mathrm{dB}}} \tag{3.2}$$

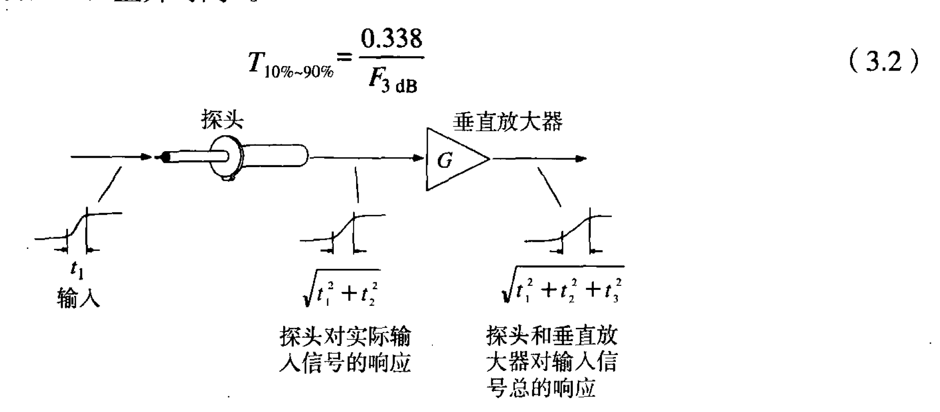


图 3.3　示波器系统总的上升时间

示波器生产厂商通常采用的是探头和垂直放大器的 3 dB 带宽，即 $F_{3\,\mathrm{dB}}$，而不是其上升时间。3 dB 带宽和 10%~90% 上升时间的转换关系如下面所示，也可参见式（1.6）。这些近似值假设探头的频率响应是几个频率极点彼此接近的随机滤波器的组合，是高斯型的。

有些示波器生产厂商的指标中会提到RMS带宽，又称等效噪声带宽 F_{RMS}，其转换式如下，也可参见式（1.7）：

$$T_{10\%\sim90\%} = \frac{0.361}{F_{\mathrm{RMS}}} \tag{3.3}$$

① 仅当图 3.2 所示系统每个部分的脉冲响应都是高斯响应时，式（3.1）才严格成立。对于其他类型的脉冲响应，式（3.1）非常接近真实值，但不够精确。更多关于精确计算级联系统上升时间的信息，可参阅附录 B。

有时我们会用到从市场上买到的探头，这时要分析它的简单低通滤波器特性。这些滤波器并不具有高斯频率响应曲线。在这种情况下，电路的10%~90%上升时间与滤波器的时间常数有如下关系：

对于*LR*型低通滤波器：

$$T_{10\%\sim90\%}=2.2\frac{L}{R} \tag{3.4}$$

对于*RC*型低通滤波器：

$$T_{10\%\sim90\%}=2.2RC \tag{3.5}$$

对于双极点临界阻尼*RLC*滤波器：

$$T_{10\%\sim90\%}=3.4(LC)^{1/2} \tag{3.6}$$

例3.1 上升时间的劣化

Bob购买了一台标称300 MHz的示波器，探头的标称值也是300 MHz。两个指标均为3 dB带宽。问：对于上升时间为2 ns的信号，这个组合对信号的影响如何？

$$\begin{aligned}
T_{r示波器}&=0.338/(300\text{ MHz})=1.1\text{ ns}\\
T_{r探头}&=0.338/(300\text{ MHz})=1.1\text{ ns}\\
T_{r信号}&=2.0\text{ ns}\\
T_{显示}&=(1.1^2+1.1^2+2.0^2)^{1/2}=2.5\text{ ns}
\end{aligned} \tag{3.7}$$

实际上2 ns的上升时间，显示在Bob的示波器上变成了2.5 ns。

例3.2 计算输入信号的上升时间

如果Bob的示波器显示一个2.2 ns的上升沿，你能推算出输入信号的实际上升时间吗？

把上升时间公式［见式（3.1）］进行变换，可以得出产生2.2 ns示波器显示结果的信号实际上升时间。

$$T_{实际}=(2.2^2-1.1^2-1.1^2)^{1/2}=1.6\text{ ns} \tag{3.8}$$

上升时间显示为2.2 ns的信号，实际其10%~90%的上升时间应该是1.6 ns。

不要对这个计算结果过于认真。这里的计算结果仅当满足如下条件时才是精确的：输入信号波形没有过冲，已知的测量设备10%~90%上升时间值也是精确的，并且测量是在完全没有噪声的条件下进行的。得到上升时间的更好方法是使用一个速度更快的探头或者更快的示波器。

在紧要关头，这个技术能够将Bob的示波器的有效性扩大2至3倍。

记忆要点

- 计算总的上升时间时，将各部分的10%~90%上升时间值的平方累加。

3.2 探头接地环路的自感

当采用常规的10:1示波器探头测量数字设备时，性能劣化的主要因素来源于其接地导线的

自感。厂商提供的探头性能指标，是将测试夹具直接连接到探头顶尖和探头外屏蔽层测量得到的数据。探头带宽的测量是在没有使用接地引线情况下得到的。数字系统工程师们通常使用的探头顶部是一个塑料外壳的夹子，而从探头套管中间引出一根导线作为接地引线，因此我们需要分析一下这些改变对探头性能的影响。

图3.4是一个典型的示波器探头装置。探头的尖端与被测电路相连，而接地引线则将探头外壳和测试电路上一个方便的地参考点相连。注意，地连接是通过几英寸长的一根细线完成的。

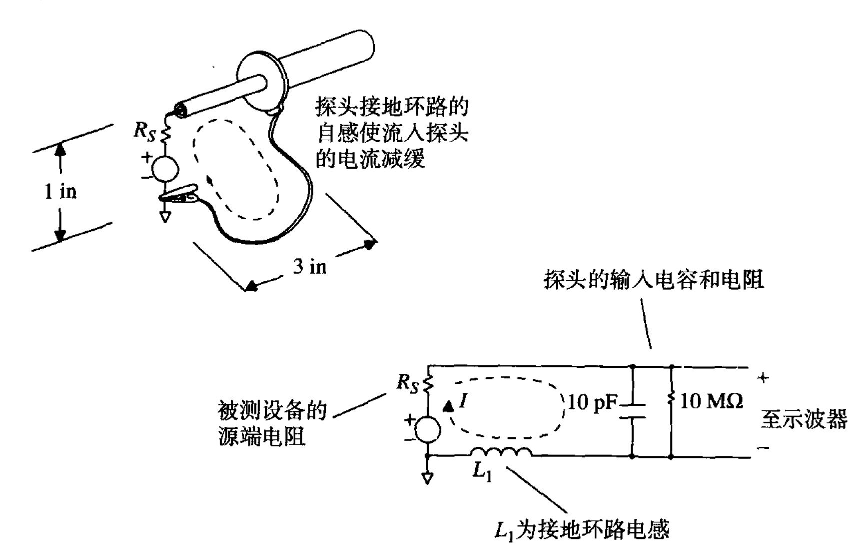


图3.4 示波器探头的电路模型

对于这个探头装置实例，其等效电路如图3.4的下部所示。这里假设示波器探头的输入阻抗为10 pF的电容并联一个10 MΩ的电阻[①]。可以看到，流入探头的电流必然经过地回路回到其源端。地回路的自感，也就是图中的串联电感L_1，对这个电流具有阻抗作用。

自感L_1是如何影响测量的呢？把L_1的电抗计算到探头的输入负载阻抗中，得到一个有限的上升时间。我们将要计算L_1的数值，得出10%～90%上升时间，并讨论它的意义。

3.2.1 计算接地环路电感

在图3.4中，接地环路的尺寸是1 in × 3 in。这类探头的接地导线典型的尺寸是美国线规（AWG）24，线径为0.02 in。采用附录C的电感计算公式，对于矩形回路，得到的电感应该是：

$$L \approx 10.16\left[1\times\ln\left(\frac{2\times3}{0.02}\right)+3\times\ln\left(\frac{2\times1}{0.02}\right)\right]\text{nH} \approx 200\ \text{nH} \tag{3.9}$$

3.2.2 算出10%~90%上升时间

该电路的LC时间常数为：

① 示波器的一个典型值。

$$C = 10\ \text{pF}$$
$$L = 200\ \text{nH}$$
$$T_{LC} = (LC)^{1/2} = 1.4\ \text{ns} \tag{3.10}$$

对于这类临界阻尼双极点[①]电路，10%~90% 上升时间是LC时间常数的3.4倍：

$$T_{10\%\sim90\%} = 3.4T_{LC} = 4.8\ \text{ns} \tag{3.11}$$

4.8 ns的上升时间显示出存在的问题。我们注意到，在例3.1中，一个300 MHz示波器探头的10%~90% 上升时间为1.1 ns，而在这里，3 in接地导线已经将10%~90% 上升时间劣化到了4.8 ns。

3.2.3　估算电路的 Q 值

图3.4中有一个与信号源相串联的电阻，这个电阻可以作为任何门电路驱动被测信号时的输出阻抗的模型。对于TTL或高性能的CMOS驱动器，这个源端阻抗大约为30 Ω。对于ECL系统（硅或砷化镓），输出阻抗大约为10 Ω。

LC 电路的 Q 值，或者说谐振因子，受被测信号的源端电阻影响很大。对于 L，C 和源端电阻 R_S 的串联组合，其串联谐振电路的 Q 值近似为：

$$Q \approx \frac{(L/C)^{1/2}}{R_S} \tag{3.12}$$

在式（3.12）中，Q 值是存储在回路中的总能量与每弧度振荡损耗能量的比值。一个高 Q 值的电路在受到外界激励时，会持续较长时间的振铃。该谐振在电路的频率响应上表现为一个大的尖峰。

在图3.4所示的电路中，当我们减小源端电阻 R_s 时，LC 滤波器会在100 MHz附近产生较大的谐振。图3.5中所示的频率响应曲线，显示了源端电阻分别为5 Ω，25 Ω和125 Ω时的情形。

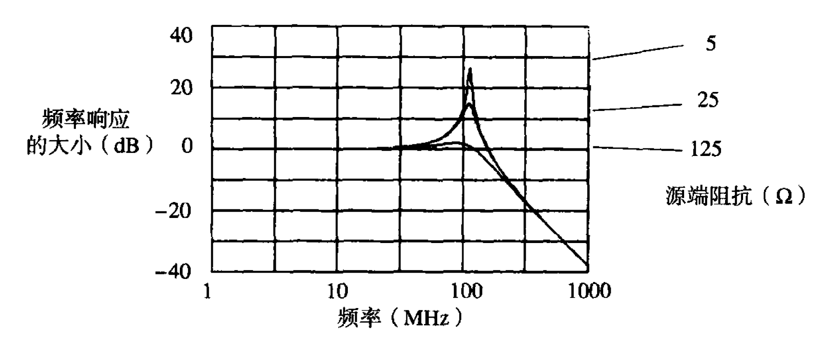


图3.5　探头及接地线的频率响应

5 Ω的源端电阻，会产生29 dB的谐振。截止频率超过100 MHz的数字信号，会因这个探头的电路而产生较大的畸变。

---

① 具有相同 L 和 C 值的欠阻尼谐振电路的上升时间甚至更慢。

15 Ω 的源端电阻，会产生 15 dB 的谐振。截止频率超过 100 MHz 的数字信号，会因这个探头的电路产生畸变。

125 Ω 的源端电阻，对电路有相当大的衰减，几乎消除了谐振。

如果用图 3.4 所示的这个探头测量转折频率小于 100 MHz 的数字信号，则没有不良的振铃和过冲发生。式（1.1）告诉我们，上升时间应该大于 5 ns 才能保证截止频率低于 100 MHz：

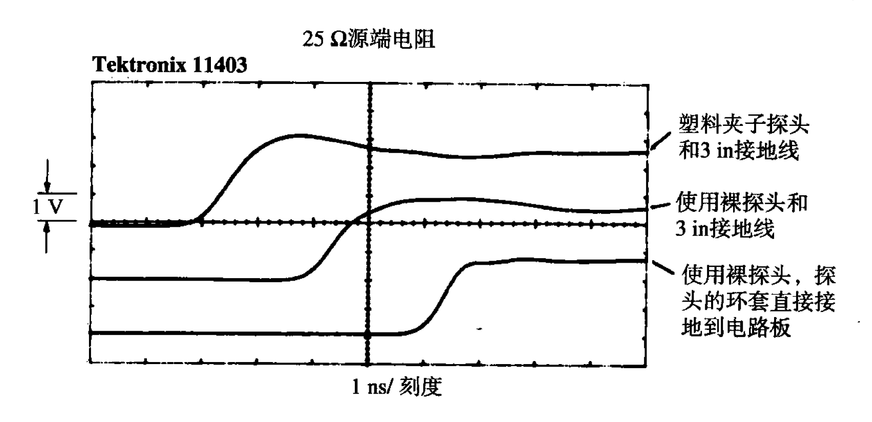
$$\text{上升时间} > \frac{0.5}{100\ \text{MHz}} = 5\ \text{ns} \tag{3.13}$$

对于这个特定探头装置，5 ns 上升时间的限制是其 200 nH 接地回路电感和 10 pF 并联电容的一个函数。

3.2.4 结果的重要性

我们可以预测，如果用有接地引线的探头去测量非常快的来自低源端电阻信号源的信号，会观察到人为的振铃和过冲现象。

通过图3.6和图3.7，可以比较我们的判断和实际的测量结果。这些实验采用电容极低的FET型探头，额定为 1.7 pF 并联电容，其 3 dB 带宽为 1 GHz，连接到数字示波器 Tektronix 11403。图 3.6 中信号源的源端电阻为 25 Ω，而图 3.7 中的源端电阻为 4.7 Ω。两个图例中，上面的波形采用的是标准的探头，带有塑料夹子，3 in 长的接地引线。中间的波形采用的是裸探头直接接触测量点，接地线长度也是 3 in。显然，只拿掉探头的塑料夹子产生的影响很小。这些扫描波形显示，在25 Ω源端电阻情况下的过冲约为15%，而在5 Ω源端电阻情况下的过冲则高达29%。



扫描线被故意延迟了，以便于在图中显示

图 3.6 用 3 in 接地线的 1.7 pF 探头观察 25 Ω 源端电阻信号产生的振铃

图示的振铃周期在 2~6 ns 之间。我们可以很快知道电路的时间常数：

$$T_{LC} = (LC)^{1/2} = (200\ \text{nH} \times 2\ \text{pF})^{1/2} = 0.63\ \text{ns} \tag{3.14}$$

由 0.63 ns 的 LC 电路时间常数得到的振铃周期为：

$$\text{预期的周期} = 2\pi T_{LC} = 4.0\ \text{ns} \tag{3.15}$$

到目前为止，测量结果和理论几乎一致。那么，两个图例中最下方的波形是什么呢？为什么这个波形会更好呢？

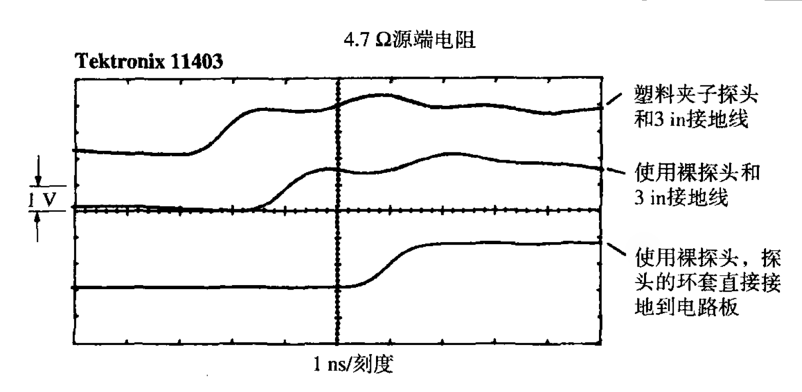


图 3.7 用3 in接地线的1.7 pF探头观察4.7 Ω源端电阻信号产生的振铃

两个图例最下方的波形为我们解决过冲问题提供了很好的思路。在下方的波形测量中，我们把探头的外塑料壳去除，把接地引线拿掉，使探头外部的金属屏蔽层以及探头顶端完全裸露，然后用一个刀片将探头外屏蔽层和被测电路的地直接相连，尽量靠近信号测量点(参见图3.8)。这使得实际的接地线自感非常小。采用这种直接连到地线的方法，25 Ω源端电阻和10 Ω源端电阻的扫描波形在过冲方面都得到了明显的改善。

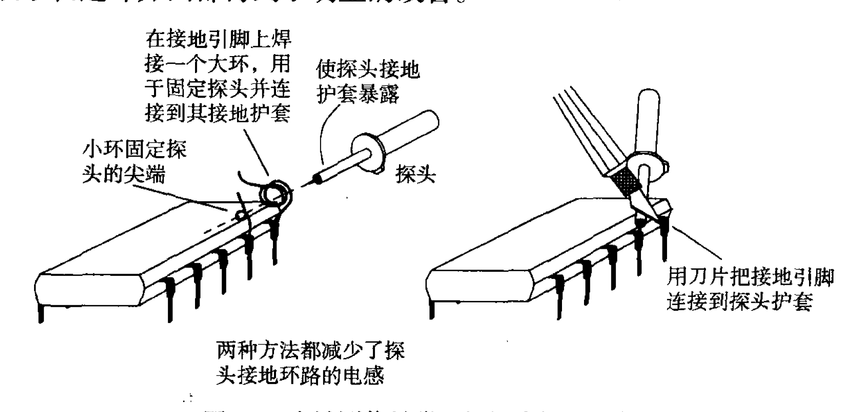


图 3.8 在被测信号附近把探头接地的方法

为什么探头接地点靠近信号源会比较好呢？最主要的原因是从根本上减少了探头组件的接地回路自感。减少了自感，则减少了探头上升时间，见式(3.10)和式(3.11)，还降低了Q值，见式(3.12)。

地线自感必须小到何种程度才能够保证低的Q值和较快的上升时间呢？可以用一个比较短的线来代替麻烦的刀片方式吗？表3.1列出了测量TTL(30 Ω)和ECL(10 Ω)电路时各种接地环路自感值对应的10%~90%上升时间(ns)和Q值。

表 3.1 接地环路自感对10 pF和2 pF探头的性能的影响

接地环路自感(nH)	10 pF探头			2 pF探头		
	$T_{10\%\sim90\%}$	Q_{TTL}	Q_{ECL}	$T_{10\%\sim90\%}$	Q_{TTL}	Q_{ECL}
200	2.8	4.7	14.1	1.3	10.5	32.0
100	2.0	3.3	9.9	0.89	7.4	22.0
30	1.1	1.8	5.4	0.49	4.1	12.0
10	0.6	1.1	3.2	0.28	2.4	7.1
3	0.3	0.6	1.7	0.15	1.3	3.9
1	0.2	0.3	1.0	0.09	0.7	2.2

对于 10 pF 的探头，要想使 TTL 电路在上升时间为 1 ns 时有比较小的过冲，必须使环路自感小于 10 nH。对于 ECL 电路而言，环路自感的要求更低。

为了减少环路自感，我们用一根较粗的接地引线替换图 3.4 中的接地引线。如果原来的接地线是 AWG 24，那么现在我们试用 AWG18，这时导线的直径扩大了一倍。重新计算式（3.9），可得到：

$$L \approx 10.16\,(1 \times \ln(3/0.02) + 3 \times \ln(1/0.02))\text{nH} \tag{3.16}$$

$$\approx 170\ \text{nH} \tag{3.17}$$

可以看出，作为线径的函数，电感的变化有多么慢吗？线径扩大一倍，而电感值的变化只有 15%。这个方程表明，作为线径的函数，相对于线径的变化，电感值是以对数形式缓慢变化的。为了让电感有较大的改善（例如 10 倍），我们不得不增加线的直径，直到导线粗到环路两边的导线都贴到一起。

另一方面，线的硬度与线径的立方成正比，它会随着线径的增加而显著增长。硬度和电感系数是互相制约的。通过增加线径来解决探头自感问题的做法并不可行。

电感值与线的长度和所围成的环路面积基本上成正比关系。通常用来解决电感问题的方法包括减小线的长度，或降低环路面积的大小，而并不是增大线径。

表 3.1 表明，2 pF 的探头比 10 pF 的探头有更好的上升时间，但当测量低源端阻抗信号时，会遇到更高 Q 值的问题。

记忆要点

- 一个 10 pF 的探头带有 3 in 长的接地线，会导致 2.8 ns 的 10%~90% 上升时间。除此之外，当由低阻抗信号源驱动时，会产生振铃。
- 加粗接地引线对于解决振铃问题几乎没有什么帮助。
- 尽量缩短地线环路，可以有效地改善振铃现象，并减少上升时间。

3.3 探头接地环路检测到的假信号

任何接地环路，在增加探头 10%~90% 上升时间的同时，也会引入噪声。附加噪声通过探头接地环路耦合进来，冒充成被测试信号节点的正常噪声。如果这个附加噪声与被测信号同步，那么将很难把它与被测信号的真实特征区分开。

如图 3.9 所示，一个双列直插封装的集成电路向一个 50 pF 的负载发送数字信号。这个信号的电流环路在图中用黑线标出。环路 A 中变化的电流，通过环路 A 和环路 B 互感的作用在环路 B 中产生电压。

我们先来估算一下环路 A 中的电流变化，然后再计算环路 A 和 B 的互感，最后会运用互感的定义得到示波器在这些条件下接收到的噪声电压。

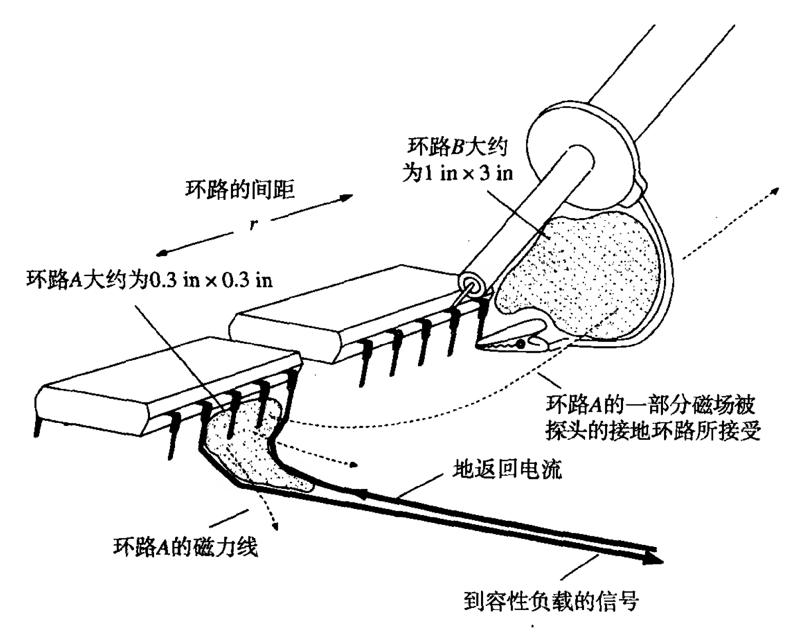


图3.9 探头的地线环路检测到的假噪声电压

3.3.1 环路 A 的变化电流

假定这个IC驱动电路同例2.4是一样的。最大的 dI/dt 为 7.0×10^7 A/s。

3.3.2 环路 A 和环路 B 的互感

环路A和环路B的尺寸如图3.9所示，我们可以利用附录C的公式来得到两个环路之间的互感。

$$L_M = 5.08 \frac{A_1 A_2}{r^3} \tag{3.18}$$

$$= 5.08 \frac{(0.3 \times 0.3) \times (1 \times 3)}{2^3} \tag{3.19}$$

$$= 0.17 \text{ nH} \tag{3.20}$$

其中，A_1 = 环路1的面积，in^2

A_2 = 环路2的面积，in^2

r = 环路的间隔，in

L_M = 环路1和环路2之间的互感，H

3.3.3 应用互感的定义

环路 B 中产生的噪声电压等于环路 A 中的电流变化率与环路 A 和 B 互感的乘积：

$$V_{\text{噪声}} = L_M \frac{dI}{dt} = (0.17 \text{ nH}) \times (7.0 \times 10^7 \text{ V/s}) = 12 \text{ mV} \tag{3.21}$$

其中，L_M = 环路 A 和环路 B 的互感，H

dI/dt = 环路 A 中电流的变化率，A/s

$V_{\text{噪声}}$ = 在环路 B 中引起的噪声电压，V

环路A中的瞬间电流变化在环路B中仅仅产生12 mV的噪声脉冲。单就此而言，这个12 mV电压可以被安全地忽略掉。然而，如果探头地线环路靠近一个32比特宽度的总线，会发生什么问题呢？最有可能的是总线上的每条线产生的噪声电压相互叠加，结果是产生了令人头痛的0.384 V干扰电压。与TTL系统的总电压容限相比，这个电压是一个不可忽视的干扰，并成为测量误差的重要来源。

更高速的逻辑电路会使这个检测噪声的问题更加严重。

3.3.4 磁场检测器

为了观察感性耦合，可以如图3.10所示那样，将示波器探头的尖端和地线短接。不要让示波器的探头接触其他任何东西。理想条件下应该看不到任何信号，而任何做过这个实验的人都知道，如果把它放在高速数字逻辑信号附近，会看到很多东西。

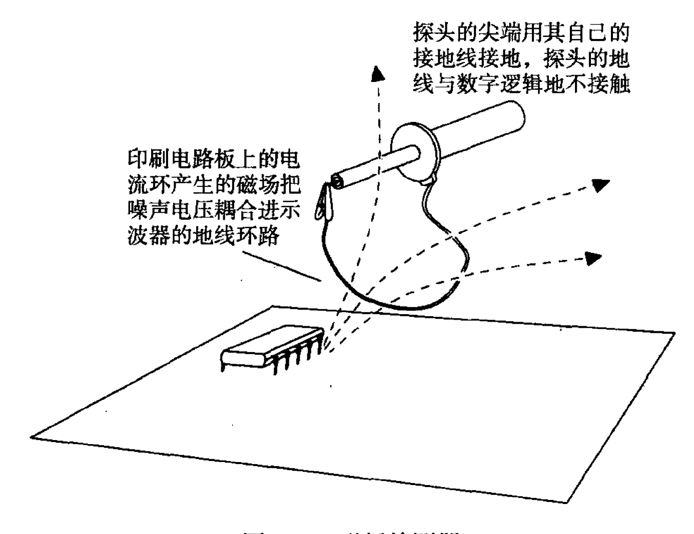


图3.10 磁场检测器

探头与地线环路会对变化的磁场做出响应，在环路中产生感应电压。当环路接近高速数字电路时，它会通过互感耦合检测噪声。在任何使用类似大小地线环路的测量中，都会加入与之相同的噪声。

如果把接地线与探头主体紧贴到一起，则会看到，随着环路的面积减少，信号耦合也减少了。耦合噪声的量与接地环路的面积直接成正比。如果大量的耦合来源于同一个特定区域，如连接器，转动环路，使之与磁力线垂直则可以部分抵消耦合信号。

通常示波器探头的触点区域很小，它和数字电路之间不存在明显的互容。不使用任何接地线，将示波器探头放在高速数字电路附近，可以观察电路和探头之间的互容是否会在探头内引起可以测量到的噪声电流。探头都有很好的静电屏蔽层。

记忆要点

- 探头的接地点尽量放在所关注的测试点附近，这样可以减少地线检测回路的面积。
- 接地线应该尽可能短，或用刀片将探头的屏蔽层与电路板的地直接相连。
- 制作一个磁场检测器来测试由互感耦合产生的噪声。

3.4 探头是如何加重电路负载的

示波器探头的使用往往会改变被测电路的工作状态。的确，我们都碰到过这样的情形：当用探头测试电路时，电路工作正常，而一旦将探头移开，电路的功能就会紊乱。这是一种常见的现象，也正是我们要讨论的由示波器探头引起的电路负载效应问题。

当探头使电路的负载过重时，预期波形会如何变化呢？电路特性的变化主要由以下三个因素决定：

- 被测数字信号的转折频率，见式（1.1）
- 被测电路在转折频率点的源端阻抗
- 示波器探头在转折频率点的输入阻抗

我们姑且认为典型的数字信号源端阻抗范围从10 Ω到75 Ω，现在只需要研究示波器探头与频率的关系特性。图3.11显示了3种典型示波器探头的输入阻抗。

(1) 0.5 pF，1 kΩ 输入阻抗的10倍无源探头。

(2) 1.7 pF，10 MΩ 输入阻抗的10倍FET有源输入探头。

(3) 10 pF，10 MΩ 输入阻抗的10倍无源探头。

参见图3.11，在我们关注的上升时间范围内，探头的并联电容越高，阻抗会越低。在高频时，只有并联电容比较重要。

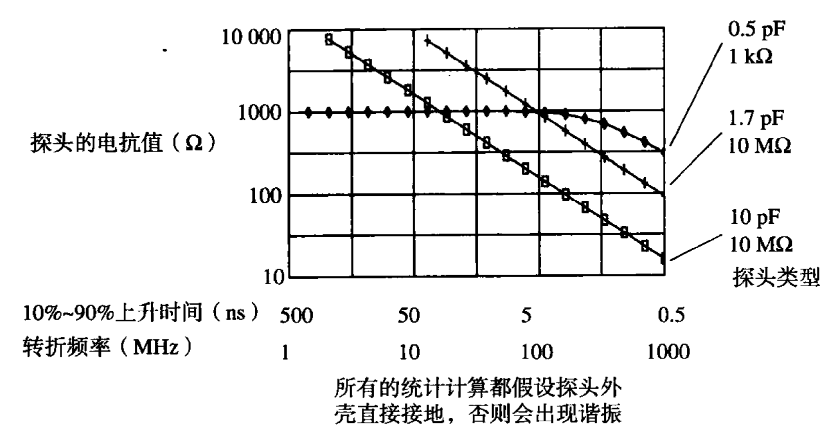


图3.11 探头输入阻抗

如果我们想让探头对被测电路的影响不大于10%，探头的阻抗应该至少10倍于被测电路的源端阻抗。对于任何上升时间小于5 ns的场合，10 pF的探头都无法满足要求。

例3.3 探头加载

参见图3.12，我们通过一个50 Ω阻抗的长传输线，将信号源连接到一个50 Ω的端接器。在端接位置连接一个感应探头，该探头由一个1 kΩ的电阻和一条50 Ω阻抗的RG-174短同轴电缆组成。这个感应同轴电缆的另一端接到一台高速采样示波器的50 Ω端接的输入端上。

现在我们可以将不同负载的示波器探头接到测试点上，观察它们对电路的影响。

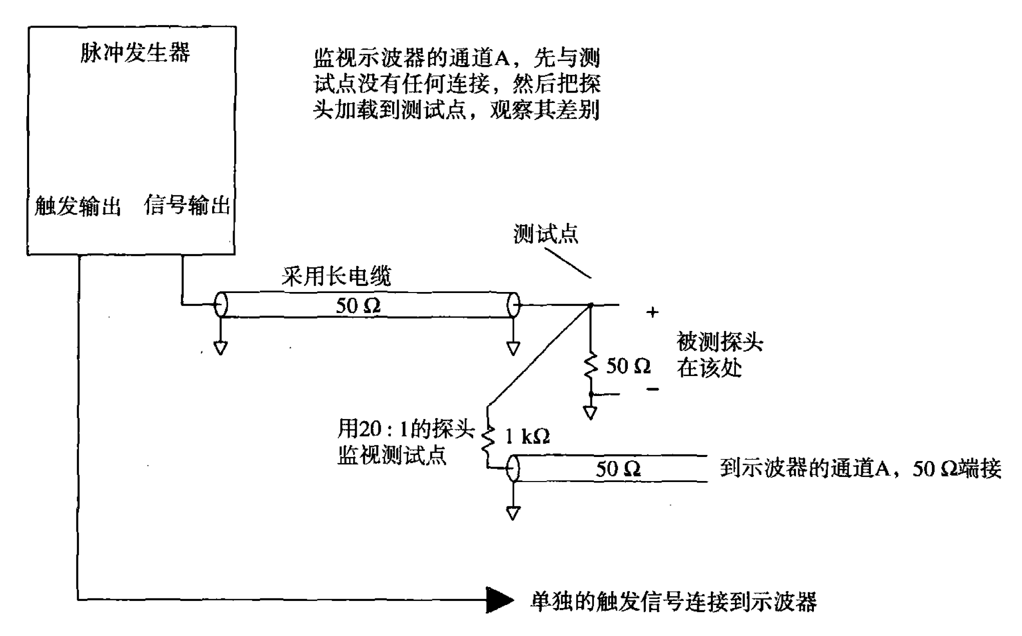


图 3.12 测试探头负载的装置

图3.13展示了一个Tektronix P6137探头连接到测试点时的情形。P6137是一个10倍衰减，10 pF的100 MΩ类型探头，该探头连接到400 MHz的便携式示波器。第一个波形是没有加载探头时的记录结果；第二个波形是加载了带有6 in长接地线探头时记录的结果；第三个波形是将裸探头的尖端触点直接接触测试点A，探头外壳用刀片直接接地时得到的结果。

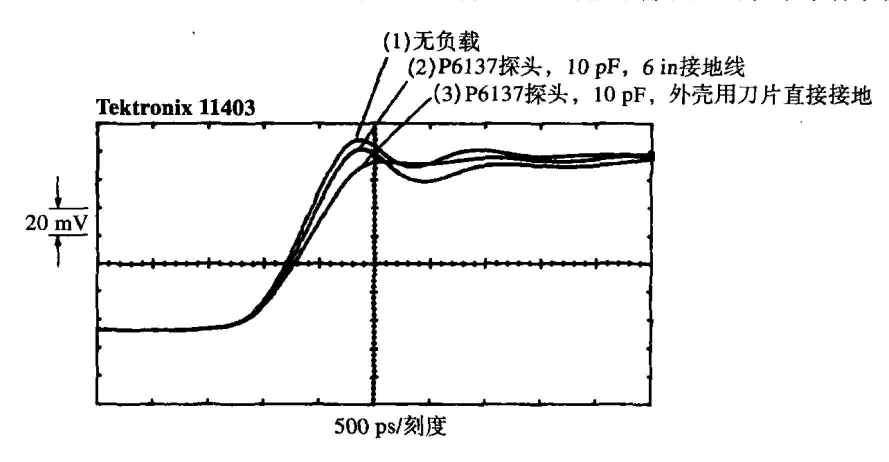


图3.13 一个10 pF探头加载到一个25 Ω的电路

第一个波形的上升时间最好，为600 ps，并伴有中等程度的振铃。第二个波形则在上升时间上有所劣化，并在最初的上升沿后有较大下冲。第一个波形也有波动，但波动保持在渐近线上下半个刻度的范围之内。最后一个波形的上升时间显示为800 ps，而且波动很小。

让我们来计算预期的上升时间劣化，然后与这些实验结果进行比较。

如第三个波形所示，当连接的串联电感很小时，探头等效于一个简单的电容负载。图3.12所示的测试点的等效信号源端阻抗为25 Ω[①]。当耦合到10 pF的容性负载时，其*RC*上升时间是：

① 50 Ω的端接器与50 Ω的电缆并联。

$$T_{RC} = (25\ \Omega) \times (10\ \text{pF}) = 250\ \text{ps} \quad (3.22)$$

RC 电路的 10%~90% 上升时间是 RC 上升时间的 2.2 倍：

$$T_{10\%\sim90\%} = 2.2T_{RC} = 550\ \text{ps} \quad (3.23)$$

而信号原来的上升时间是 600 ps，合并之后总的上升时间结果为：

$$\begin{aligned} T_{10\%\sim90\%\text{总}} &= [(600\ \text{ps})^2 + (550\ \text{ps})^2]^{1/2} \\ &= 814\ \text{ps} \end{aligned} \quad (3.24)$$

这个值正好对应了 800 ps 的测量结果，达到了我们预期的精确程度。

当探头负载使信号上升时间增加了 200 ps 时，信号的延迟仅增加了 100 ps，这是因为大多数门电路的转换时间是在上升沿的中部，而不是 10% 或 90% 点的位置。

记忆要点

- 对于一个 3 ns 的上升沿，10 pF 探头相当于 100 Ω 的负载。
- 探头的电容值越小，意味着电路的负载越小，得到的测量结果越好。

3.5 特殊的探头构造

数字研发实验室里的大多数便携式示波器采用的探头都是 10 pF 的输入电容和 3~6 in 长的接地引线。不要指望用这种探头能精确地观察诸如 2 ns 上升沿的信号。因为上面这些问题的综合作用，当这样的探头与被测电路相连时，探头本身会使信号的上升时间和波形发生显著的变化。

这一节讲述的是直接解决地线环路自感和并联电容问题的三种测量技术。

3.5.1 自制的 21:1 探头

图 3.14 为一种典型的自制 21:1 探头。这种探头由一根普通 50 Ω 同轴电缆（RG-174，RG-58 或 RG-8）制成，焊接到被测信号点及其本地电路接地点。探头在示波器的 50 Ω 输入插座处端接。同轴电缆的感应端被其远端的示波器端接，可以看成纯电阻性的[①]。因此，该电缆的总输入阻抗为 1050 Ω。1 kΩ 的馈送电阻和同轴电缆的 50 Ω 阻抗形成了一个电阻性的分压器，分压比为：

$$\text{分压比} = \frac{50}{50 + 1000} = 0.048 \quad (3.25)$$

将示波器设定为 50 mV/ 刻度的状态，则显示波形时的垂直灵敏度为：

$$\begin{aligned} \text{垂直灵敏度} &= \frac{0.050\ \text{V/刻度}}{0.048} \\ &= 1.04\ \text{V/刻度} \end{aligned} \quad (3.26)$$

① 如果示波器没有 50 Ω 的输入插座，可以在示波器的面板上接一个 50 Ω 的线内端接器。

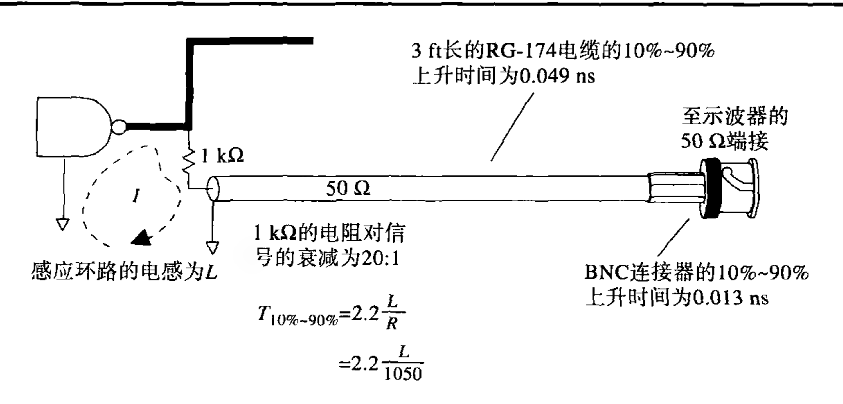


图3.14 自制21:1探头

如果需要，可以把垂直方向的刻度进行一些微小的调整，使之变成1.00 V/刻度。

21:1探头结构的优点在于以下三个方面：

- 直流输入阻抗为1050 Ω（相反，如果只用同轴电缆，则为50 Ω）
- 1/4 W，1 kΩ电阻的等效并联电容为1/2 pF，这一点是非常有利的
- 探头的上升时间很快（参见下面的内容）

这个自制示波器探头上升时间的估算由以下三个因素决定：BNC连接器的上升时间，同轴电缆的上升时间，以及感应回路的上升时间。

假定示波器具有50 Ω的BNC输入插座，这个BNC连接器向50 Ω电缆中引入了一个串联感抗，引入点位于屏蔽层从中间向外剥开与BNC接头相连接的地方。表3.2列出了几种类型的同轴电缆连接器的串联电感及其10%~90%上升时间常数[①②]。如果示波器没有50 Ω的内部端接器，可以用一个外接的端接头来端接同轴电缆。这种方法会对测量装置产生显著的寄生干扰，尤其是当使用BNC T型头带一个独立的端接器插头的时候。所以这个装置应采用一个高质量的线内端接器。

表3.2 同轴电缆连接器阳头的10%~90%上升时间

类型	$L_{连接器}$	$T_{10\%\sim90\%}$（ns）
RG-58 BNC twist-on	1	0.022
RG-58 BNC double-crimp	0.5	0.011
RG-174 BNC double-crimp	0.5	0.011
RG-8-N型	0.2	0.004

表3.3为不同长度和类型的同轴电缆的10%~90%上升时间。电缆的上升时间与距离的平方成正比。每一种电缆的结果之间都有一个固定的比例常数。

首先，通过找出衰减等于3.3 dB的频率点可以得到上升时间的估算值。对于同轴电缆，这个频率值就是其转折频率。可以通过普通的方法由转折频率来得到上升时间：$T=0.5/F_{转折}$。仅当电缆长度较短时这个公式才适用（总衰减在几个分贝以内）。

注意，高速条件下的衰减同频率的平方根成正比。这一事实有助于我们在生产厂商的电缆产品目录中列出的衰减指标数据点中进行插值计算，衰减直接与长度成正比。

① 因为串联电感L的放宽，两端都有50 Ω端接，时间常数为$L/100$。10%~90%上升时间为该值的2.2倍。

② 由*Cambridge Products UHF and RF Coaxial Connectors*(1987 catalog), Bloomfield, Conn.里引用的VSWR方法计算得到。

表 3.3　同轴电缆的 10%~90% 上升时间

英尺	Belden 8216 RG-174/U(ps)	Belden 8240 RG-58/U(ps)	Belden 8237 RG-8/U(ps)
1	29	9	4
2	77	22	10
3	140	39	16
4	219	60	23
5	300	84	32
10	1018	230	86
20		826	257
50		3583	1227

该 21:1 探头的传感回路起始于信号源，包括 1 kΩ 传感电阻。传感电阻连接到同轴电缆，同轴电缆再与印刷电路板相连接，通过地线通路返回到信号源。应该使这个地线通路尽量贴近，以得到比较好的效果。

传感回路的电感是其直径的函数，表 3.4 列出了几个回路电感和其 10%~90% 上升时间的对应值。该表假定传感回路的大部分是由 AWG24 的电缆构成的。

表 3.4　探头传感回路的 10%~90% 上升时间

环路直径（in）	$L_{感应}$（nH）	t_r（ns）
0.1	3.9	0.01
0.2	11.4	0.02
0.5	31.0	0.06
1.0	80.0	0.17
2.0	200.0	0.42
5.0	500.0	1.1
10.0	1220.0	2.6

由于这种自制的探头中加入了 1 kΩ 的输入电阻，与采用 50 Ω 的同轴电缆或 10 pF 输入电容的探头相比，由传感环路电感引起的上升时间劣化，即 L/R，非常小。这种自制探头具有极好的上升时间。如果加入更大的电阻，其上升时间甚至会更好。

限制这种衰减探头使用的一个因素是衰减电阻元件的端到端并联电容。一个1/4 W的电阻元件通常的端到端电容为1/2 pF。在频率很高的时候，这个并联电容向同轴电缆馈送了不必要的能量，使得被测电路的负载增大。

使用体积小一点的电阻（1/8 W）会使并联电容问题得到一些改善。这里需要注意的是 1/8 W，1 kΩ 电阻元件的功率限制，这时的电源电压最高不能超过 ±11 V。

对付并联电容的另外一种方法是在同轴电缆的传感端特意并联一个电容。这个修正电容，与传感电阻的并联电容一起组成一个匹配的21:1分压网络。这个网络在极高的频率范围上具有平坦的频率响应曲线。商用示波器探头采用的就是这种技术。在实验室条件下，很难制作出非常精确的电容分压装置。

衰减探头具有较低的 Q 值。使用高质量的 21:1 探头，会很少看到过冲和振铃现象。

Tektronix 生产了一种与自制探头类似的低阻抗、无源衰减探头。产品系列包括 P6156，P6150 和 P6231。P6156 可以用于任何具有 BNC 输入和 50 Ω 内部端接电阻的垂直放大器。

例 3.3　自制探头的 10%~90% 上升时间

用 6 ft 长的 RG-174 和一个 BNC 连接器制作的示波器探头，其传感回路的直径为 0.5 in。

$$按照表3.2，t_{BNC}=0.011\ \text{ns}$$

$$按照表3.3，t_{电缆}\approx 0.394\ \text{ns}$$

$$按照表3.4，t_{环路}=0.06\ \text{ns}$$

$$t_{总}=(t_{BNC}{}^2+t_{电缆}{}^2+t_{环路}{}^2)^{1/2}=0.348\ \text{ns} \tag{3.27}$$

记忆要点

- 自制的21:1探头具有极好的上升时间。

3.5.2 低电感接地环路的夹具

大多数示波器探头上都套有一个可拆卸的塑料抓钩。将这个塑料夹去掉，就会露出探头的芯管。如果必要，可以将固定接地引线的装置拆开，裸露出低电感的接地金属护套。这个金属护套，或者说接地环套，一直延伸到探头的顶端。它有两个用途：作为探头顶端的静电屏蔽，并提供一个靠近探头顶端的良好接地点，以实现较低自感的感应回路。

图3.8显示了利用探头金属护套来达到低自感传感回路的两种方法。

图3.8中的套环是一段环绕在探头金属接地护套上的电阻丝，被就近焊接到合适的接地点上。它用来固定探头位置，同时使之接地。那个小的套环用来固定探头尖端。这一装置可以被应用到任何电路板上。套环非常适合于工程用途，但是不能持久而且并不容易制作。

接地焊盘法就是在每个测试点附近放置一个小块裸露的焊盘（没有阻焊）。示波器探头顶端接触测试点的同时，用刀片将探头接地护套与这个焊盘相接[①]。直径0.035 in的裸焊盘就足够了。如果电路板最表层没有其他接地点，可以用0.020 in的过孔将地信号引导到表面，并连到邻近放置的0.035 in的裸焊盘。

接地焊盘对于信号测试以及电路维修、调试等都十分有用。一些模拟电路工程师在进行样品开发时，习惯于把电路板表层的整块地线都裸露出来，以便于测试。

运用这两种方法，其回路自感都会下降3~30 nH，具体数值和实际制作工艺有关。

Tektronix制造了一种示波器探头夹具，其特殊的结构设计可以使示波器探头尖端连接到被测电路时形成的地线回路自感很小。这种结构如图3.15所示，如果电路的机械结构允许探头垂直地接触印刷电路板，则可以得到较好的效果。必须嵌入到机架里面的电路板卡则不能采用这种夹具。

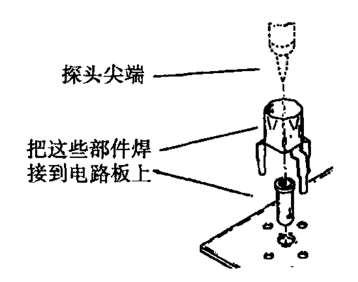


图3.15 Tektronix探头的低自感连接器

有些示波器探头带有连接到探头护套的小夹子，便于护套和地之间的直接连接。

① 可以用曲别针代替刀片，但是刀片可以穿透金属氧化层，降低接触电阻。

3.5.3 嵌入式探测夹具

可拆卸的示波器探头在测试时会对被测电路产生扰动，当探头移走后，电路的工作条件会发生改变。试想一下一个来自于探头的10 pF负载会对高速线路产生怎样的影响①。嵌入式的探测装置可以使电路在任何时候处于同样的工作条件。

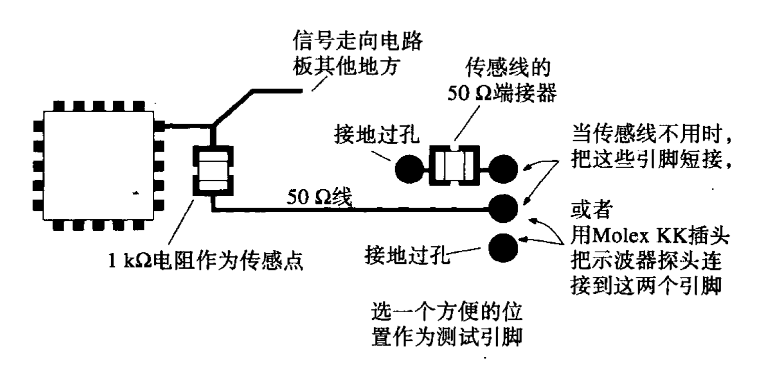
另外，下面介绍的嵌入式探测装置的寄生电容近似为1 pF，远远小于那些10 pF的探头。

在图3.16中所示的嵌入式夹具实现了一个21:1探头的功能，提供了一个方便的测试连接点，并使得电路在任意时刻都具有相同的连接。一个1 kΩ的传感电阻将被测电路连接到50 Ω的测试走线上。50 Ω的测试线连到电路板上方便的测试点上。在图3.16中，提供了当未连接示波器时，将测试点经过50 Ω电阻接地的方法。

有多种将测试点连接到测试仪器的方法。印刷电路上安装BNC连接器（PC-mounted BNC）法就是一种便捷有效的选择，但它们占用了过多的电路板面积。

图3.16示意了一个测试点连接器，中心相距0.1 in，有0.025 in的方形插针。这种零件便宜而且可与多种连接头配合使用。笔者更喜欢使用一种MOLEX/WALDOM KK系列的接插头。RG-174同轴电缆直接压入MOLEX/WALDOM KK接插头的插孔中，然后将接插头插入电路板上的插针。这种连接方式的传感环路电感预期为10 nH。串联一条50 Ω电缆时，所得到的$T_{10\%\sim90\%}$为0.22 ns。如果将MOLEX插针紧靠着1 kΩ电阻放置，与连接器的回路电感串联的有效电阻为1 kΩ，则得到的$T_{10\%\sim90\%}$为0.025 ns。

无论选择什么样的连接方法，当测试走线不用时，或者传感电阻没有去掉时，都要提供一种走线端接的方法，或者提供一种断开连接的方法。图3.16中，当测试信号线不用时，可以通过一个跳线器连到50 Ω的端接电阻上。



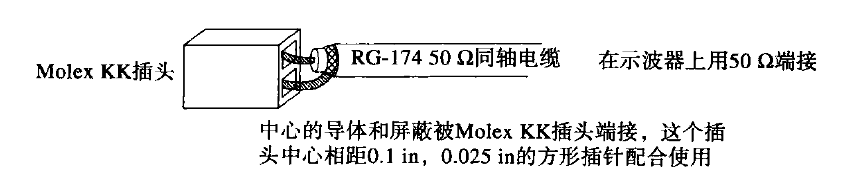


图3.16 嵌入式探头夹具

即使示波器探头移开了，测试信号线的端接仍然会提供一个固定的1050 Ω的电阻性负载。

① 对于3 ns上升沿，10 pF相当于100 Ω的负载。

3.6 避免检测到来自探头外壳电流的信号

示波器探头都有两根导线，一根用于连接测试电路与示波器的垂直放大器（称为传感线），另一根用于连接示波器机壳地和本地电路的数字逻辑地（称为屏蔽线）。通常，我们只需要考虑示波器对传感线电压的响应。这一节里分析示波器对屏蔽线上的信号是如何响应的。

示波器的机壳地和逻辑地之间的任何电压差都可以在屏蔽线中引起电流。在图3.17中，通过屏蔽线电阻 $R_{屏蔽}$的屏蔽线电流产生了压降 $V_{屏蔽}$。探头电缆的中心导体，也就是传感线，没有传导屏蔽线电流，因此它上面并没有压降。

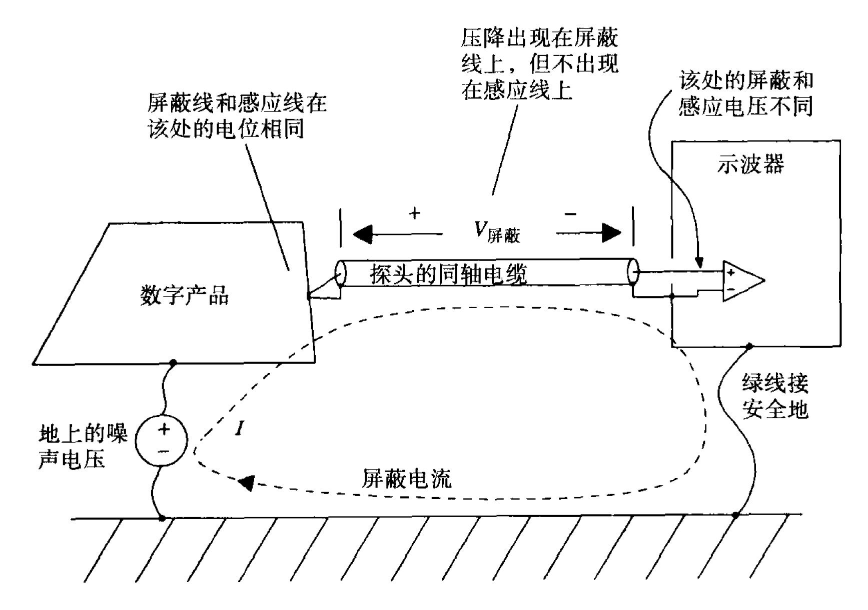


图 3.17 从探头屏蔽线电流检测到的噪声

当传感线和屏蔽线都连接到工作电路的地时，两条线上的不同压降会在示波器的垂直放大器上反映出两者的电压差。我们无从知道这个电压差是由探头电缆远端的实际信号产生的，还是由屏蔽电流产生的。虽然我们希望示波器显示无电压，可它显示的就是屏蔽电压。

示波器对屏蔽电压的响应，就好像它是一个真正的信号一样。

屏蔽电压与屏蔽线电阻成正比，而不是与屏蔽线的电感成正比。这是因为屏蔽层导体和中心导体之间是磁耦合。流过屏蔽环路的电流产生的任何变化的磁场，都共同环绕于屏蔽导体和中心导体，在两个导体上感应出相同的电压。感应电压在两个导线上同时存在，而电阻压降只出现在屏蔽线上。

屏蔽电压很容易观察到：

1. 将示波器的探头触点和地线连接起来。
2. 将探头在工作电路附近移动，而不接触任何东西，此时只能看到来自探头感应回路的磁感应检测电压。
3. 将探头的尖端用铝箔裹上，将探测触点直接同探头的金属接地护套短接，此时磁场检测电压减低到接近于零。
4. 现在将示波器探头连到测试电路的逻辑地，此时应该看到的仅有屏蔽线上的电压。如果屏蔽电压很小，则可以忽略。

屏蔽噪声会给控制大功率设备的数字系统带来麻烦。设备中巨大的60 Hz交流电流会在数字逻辑地上感应出电压，这反过来造成了屏蔽噪声。如果是屏蔽电压带来的麻烦，可以用9种方法来克服它。

(1) 降低屏蔽电阻。如果探头是买来的，那么这一点就比较难办。如果用自制的同轴电缆探头，那么选用粗一些的同轴电缆。从RG-174改到RG-58，或从RG-58改到RG-8。较粗同轴电缆的硬度问题使得这种方法并不现实，但它解决了仪器装备的问题。

(2) 在示波器和逻辑地之间加入旁路阻抗。这使得噪声电流大部分流过旁路阻抗，而少量的电流流过屏蔽线。这种方法通常并不实用，特别是对高频。从测试电路板上选取一个良好的接地点，通过电感足够低的导体连接到示波器的地，以获得明显改善，这几乎是不可能的。

如果旁路导体同探头线一样长，则并不存在任何足够大直径的导体能够使问题得到改善（电感随直径的对数的变化而改变）。如果旁路导体比示波器探头线的长度短得多，倒是有可能会起作用。

(3) 将测试电路板断电，或者部分断电。这种方法仅在测试局部电路时有效。如果你怀疑问题来自屏蔽电流噪声，这是一种好的试验方法。这可以用于确定噪声是由测试电路产生的，还是由于别的干扰源造成的。

(4) 在屏蔽回路中串接大电感。用一个大的高频磁芯，将探头围绕它缠绕5到10圈。这将增大探头屏蔽层的电感，从而减小电流，这种方法在100 kHz~10 MHz范围内效果较好。在100 kHz以下，需要用很大的电感才能使问题得到改善。在10 MHz以上，磁芯的效果会降低。

(5) 重新设计电路板，以降低电磁场辐射。将两层板变成四层板，加入完整地平面。减少电磁场辐射是降低地平面产生噪声电压倾向的首要方法。

(6) 断开示波器的安全地线。断开示波器的安全地线使示波器的交流电源系统的安全特性失效。一旦示波器电源系统的供电部分同机壳相连，示波器的机壳变为接通110 V供电电压，这是非安全电压。通常，如果发生故障，安全地线将大部分交流电源的电流旁路到大地，并触发电路的断路保护开关。它切断电源，很可能在关键时刻保护了你的生命。

尽管如此，你还是应该了解将安全地线断开对高频信号具有什么效果。

如果示波器的机壳和安全地线之间隔离良好，则示波器探头的屏蔽地环路就会被切断，从而使屏蔽电流降低。然而遗憾的是，断开安全地线并不能得到良好的隔离效果。

对大多数示波器而言，在其内部的电源部分，都有一个0.01 μF的电容把机壳同每一根交流电源线相连，这就将其依次连接到地。即使没用这个电容，在电源变压器上也会有足够的寄生电容，从而在机壳和电源线之间形成高频通路。

在频率高于10 MHz时，无论如何，示波器都有足够的对地电容，所以简单地断开安全地线的方法并没有效果。

这种方法对音频还是起作用的，但是不适用于高速数字逻辑电路。

(7) 在示波器探头上使用双重屏蔽。将这个双重屏蔽的外屏蔽层的一端连接到示波器外壳，另一端连接到电路板。示波器的探头线必须全部被这个双重屏蔽包裹起来。将双重屏蔽同示波器探头的接地点接到一起。在高频时，大部分屏蔽电流由于趋肤效应被转移到外屏蔽层。因为探头的内层屏蔽没有电流通过，所以没有压降和噪声电压存在。这种方法听起来有悖常理，但确实起作用。双重屏蔽层可以用铝箔制作，或者剖开一根旧的RG-8电缆的外屏蔽层并用它包

裹住探头线。应尽量减少探头在双重屏蔽地层和探头触点之间的裸露长度，以降低环路中磁感应噪声的耦合。

如果你想自己制作一根21:1双重屏蔽探头，POMONA出售的一种BNC到双重屏蔽的转换适配器可用于此目的。将适配器的BNC插头端插到示波器的BNC插座上。POMONA适配器的另一端有双重屏蔽的插孔，这个插孔可以将外层和中间层地线在内部连接为单一的BNC地线。用普通双重屏蔽插头端接这个双重屏蔽电缆，并把它插到适配器。在双重屏蔽电缆的电路板端，只需将它的外层和中间层焊接起来即可。

(8) 使用1:1探头，而不是10:1探头。10:1探头并不会衰减屏蔽电压。由于10:1探头使实际被测信号发生衰减，因此使用10:1探头使得屏蔽电压看起来相对大了10倍。

(9) 采用差分探头的方案。图3.18给出了实现差分测量的正确方法。探头1连接到信号点，而探头2连接到信号地。两个探头的屏蔽层在G_s点连接到一起，并且不与电路板相接触。用一根独立的接地导线将电路板的地和示波器的地相连。只有当电路板通过其他机制没有合适的方式同真实的地相连时，这根独立的导线才是必要的。

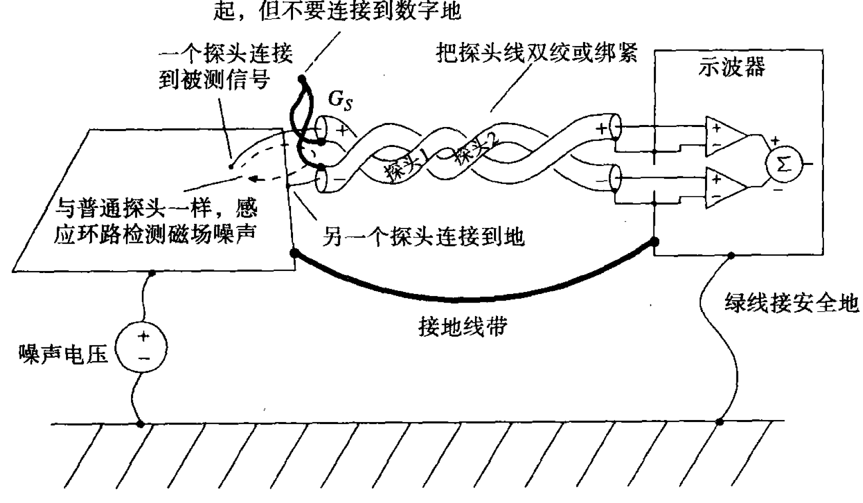


图3.18 采用差分探测消除屏蔽电流噪声

将示波器的输出设置为探头1的信号减去探头2的信号。这个操作需要进行小的调整才能得到比较好的效果。将两个探头暂时连接到同一个测试信号点，然后调整两个探头的增益，使得两路信号完全相抵消。接下来，暂时将两个探头都接到地，观察存在多少残留检测噪声。这个噪声正是我们要克服的，所以值得检查一下是否能抓到它。

当采用差分探头时，由于屏蔽层没有接触任何东西，所以屏蔽电流此时并不存在。这就是差分探头的主要好处。对于具有浮动地的电路，或地线电压高于真正大地时，差分探头可能是惟一的选择。

把两个探头尽量靠近，使得它们之间的磁感应检测回路的尺寸最小。回路中检测到的任何磁场都会在两个探头间产生感应电压。将两个探头线双绞或绑紧，保证它们紧贴一起。

当使用普通示波器探头时，保持接地点贴近于测试点。通过互感方式耦合进两个探头之间传感回路里的耦合噪声与普通单端探头相等。

为了达到差分效果，探头的长度和类型必须一致。两个探头的频率响应或延迟的不均等会导致示波器显示屏上出现共模信号。

有些示波器提供特殊的差分放大模块和具有增益与频率响应特性匹配的探头。通常这些模块都有特别的共模抑制特性，但是一般来说带宽太低，因此对解决高速数字问题用处不大。

差分测量时要小心使用10×探头。要得到有效的共模抑制，与直流增益一样，高频补偿调整一定要匹配得非常好。这种方式在高速信号时几乎不适用。

记忆要点

- 单端示波器探头对屏蔽电压的响应，就好像它是一个真正的信号一样。
- 为了检测是否有屏蔽电流引起的噪声，可以把探头触点用铝箔裹上，然后把探头和地线接到测试电路的地线上。
- 把示波器的两个差分探头都暂时连接到一个共同的信号点，并调整两个探头的增益使之相等，即可最大程度地抵消其信号波形。

3.7 观测一个串行数据传输系统

图3.19举例说明的是一个100 Mbps的数据传输系统。由于码间干扰和附加噪声，在D点输出的信号波形比A点的波形呈现了更多的抖动。这一节主要讲的就是如何正确展现输出波形的抖动特性。

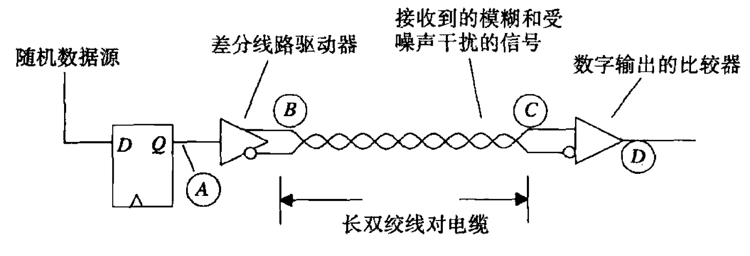


图3.19 典型的数据传输电路

第一步，把信号D连接到示波器通道1。我们选择通道1作为触发通道，并调整示波器，使之在信号的上升沿触发。我们会看到图3.20所示的图案。

注意，波形在触发点处显示出是没有抖动的。这是一个关键的指示：肯定是某个地方出错了。示波器等待信号的正向跳变，然后把数据波形移位到左侧光标处与触发点对齐。第一个脉冲正确展示了信号跳变的最小时间间隔，而围绕后继时钟点的抖动误差是实际的数据-时钟抖动时间的两倍。

图3.21给出了测量的正确显示。图3.21中信号的触发是采用时钟源作为绝对参考的。显然，这里显示出来的抖动是前面抖动值的一半。前面的方法使所有的波形都有位移，所有的上升沿都在同一点处对齐。这种位移会叠加到其他所有的跳变区域当中去。时钟源信号比较稳定，没有抖动，是所有数据信号测量的可靠参考点。

有一个学生问道："为什么不能用图3.20中的技术，然后把结果除以2呢？"回答是：只有当图3.20中的眼图张得足够大时，抖动的测量才得以进行，而我们并不总是这样幸运。有时，如果我们不采用图3.21所示的高级触发技术，眼图根本就无法张开。

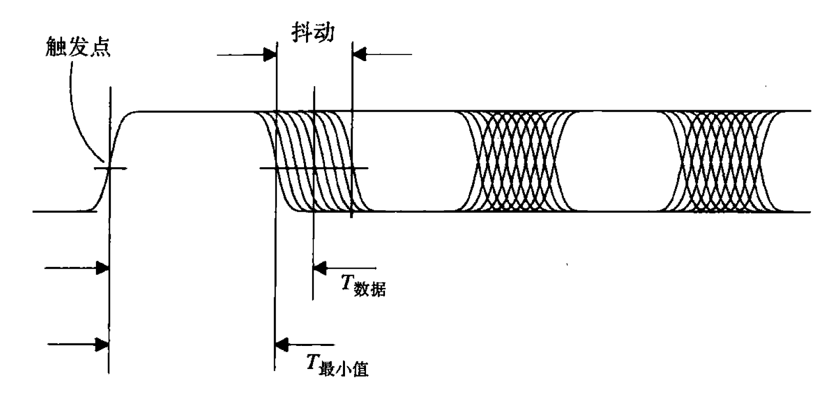


图 3.20 第一次试图进行眼图观测

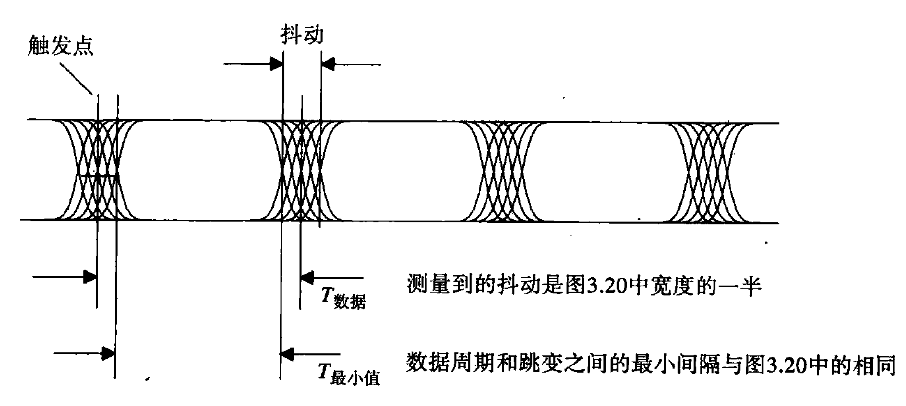


图 3.21 由数据时钟源触发的眼图

当没有源数据时钟时[①]，可以尝试用源数据信号进行触发（如图3.19中的位置B或A）。源端的数据信号几乎没有抖动。

有些示波器，尤其值得注意的是大多数新式的数字采样示波器，其触发能力比较差，尤其是对非周期性的信号，如数据信号波形。尽管垂直输入具备显示高速信号的能力时，触发电路有可能无法触发。当面对这样的触发特性不好的示波器时，应该首先构造一个数字电路，对系统时钟进行分频处理，然后采用这个二次波形进行触发。随着触发稳定性的提高，可能会发现示波器上显示的信号上升时间有所减少。

记忆要点

- 通过时钟触发来观察串行数据流。

3.8 降低系统时钟

高速数字信号通常包含振铃、串扰和其他噪声。在全速时钟速率工作时，这些各式各样的影响会叠加起来。这种叠加使得要找出每种干扰各自的特征变得很困难。降低系统时钟的方法则有助于隔离这些影响。

① 源时钟是由高速串行芯片（如AMD7468）内部产生的。

足够慢的时钟使得所有信号的瞬变值在下一个时钟周期开始之前衰减掉。在时钟周期n处产生的反射和振铃不会在周期$(n+1)$处出现。于是我们可以分别看到每个数字跳变的完全响应。有时，响应时间比你预想的要长得多。比较好的端接通常可以解决这个问题。

记忆要点

- 测试时，足够慢的时钟使得信号的瞬变值在下一个时钟周期开始之前衰减掉。

3.9 观测串扰

串扰问题很难被抓住，因为它们涉及到逻辑电路中按照推测本应该互不相关的若干部分之间的相互作用。这些问题经常间歇地出现，可能与数据码型相关，也可能很少发生。这使其很难观察到。由串扰引起的错误，通常是几个因素的共同作用：

- 由于振铃而引起逻辑电路容限降低
- 符合建立和保持时间要求的容限
- 多根数据线间相互耦合

如果你怀疑存在串扰的问题，这里有几种方法可以用来量化串扰，而不必等到问题发生。

首先，在想要检测的线路上（原始信号）连一个21:1的探头。在把探头连接到原始信号之前，在附近的接地点焊一个传感电阻。打开数字设备电源，测量传感磁场检测到的残余噪声和屏蔽电流产生的噪声。这个噪声应该小于数字信号幅度的2%[①]。如果噪声的幅度大于2%，串扰则会显示不清楚。调整示波器探头的装置，直到检测的噪声小于2%。

接下来，将一个外部的触发信号连接到示波器。这个触发信号应该与你所怀疑的串扰源同步，而且必须在整个观测期都提供该触发信号。使用外部触发方式，再观察一次来自21:1探头的噪声信号。

现在，把21:1探头连接到原始信号。此刻应该能够看到一个合成后的信号，包括原始信号、原始信号引起的振铃、串扰以及测量系统的噪声。

我们的目标是找出串扰，并把它量化。由于其特性，串扰是很难看到的。为了把串扰放大到可以观察到的程度，我们有三条路可以走：关掉原始信号，关掉串扰，或产生人为的串扰。

3.9.1 关掉原始信号

将原始信号在起点处切断，并在该点将其接地。如果逻辑驱动器能够承受如此大的负载，则只在驱动器处将原始信号短接到地线。短接到地线很重要，因为如果原始信号线是开路的，由互感耦合产生的噪声就会消失。

当短路一个逻辑门电路时，所使用的短路器必须是一个宽而平的低感应系数的物体，例如刀片，或一片铜箔。如果用一根0.5 in长的导线作为短路器，那么它的电感足以引入相当大的脉冲。我们希望这个点的输出是零。

如果将输出切断，串扰应该会明显地显示出来。

---

① 不要忘记你现在使用的是21:1探头。示波器将显示2%的1/21，也就是数字信号满幅度的0.1%。

如果测量的是总线，那么现在要改变一下总线的形式。当一根数据线上有信号变化，而其他数据线保持不变时，进行测试。依据总线的布局，一些线路会对原始信号产生正向的干扰，而另外一些线路则产生负的串扰。如果将任何一个数据信号跳变的极性反转，则其串扰的极性也反转。对每根数据线，找出产生正向干扰的信号极性。

最后一步是将每根数据线上都同时加载变化的数据信号，每个信号都可以产生正极性串扰。这时显示了可能的最坏干扰情形。在 32 比特总线上可达到的串扰电平非常惊人。

3.9.2 关掉串扰

准备一个你认为可产生串扰的数据码型。记下两个原始信号的图样，一个是系统正常工作时得到的，另一个是干扰线断开时候的情形。

干扰线可以被简单地切断，或者在源端短路接地。这两种方法都可以采用。只要我们能够将电流降低到零，信号线是否接地并不特别重要。

两张图样的不同之处在于串扰。如果数字示波器有信号处理功能（如Tektronix 11403），可以将两个波形存储起来，然后进行数值的减法运算。

3.9.3 产生人为的串扰

关掉电源或将系统禁用，将原始信号的驱动端短路接地，然后在干扰信号走线上加入已知上升时间的上升沿，并且测量原始信号线上的感应电压，如图 3.22 所示。

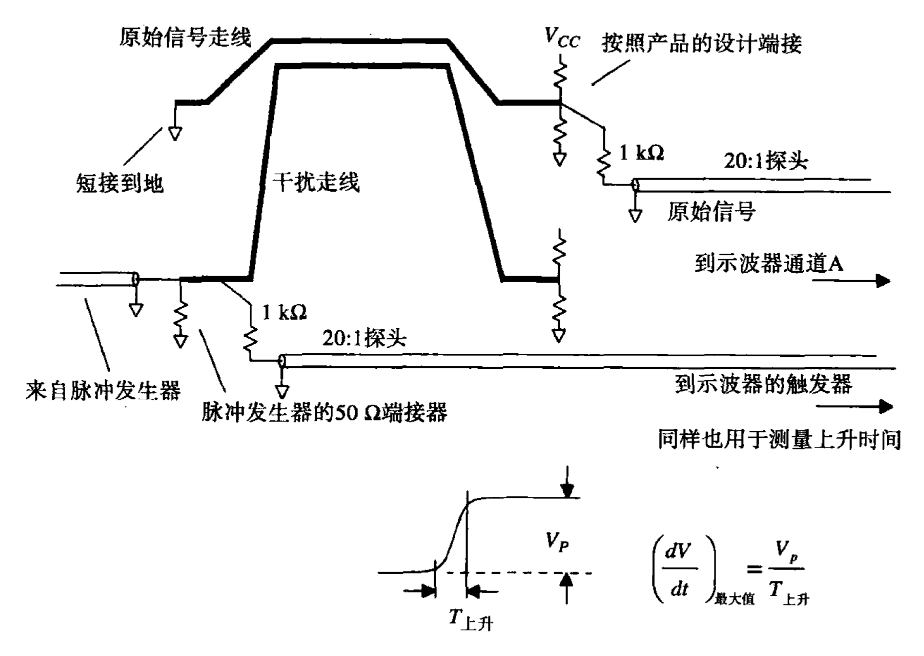


图 3.22 测量两个信号走线之间的串扰

串扰与干扰线上驱动信号的dV/dt成正比。这种技术最适合于还没有装配器件的空电路板。

记忆要点

- 通过暂时改变系统的方法，可以放大串扰信号的可视效果。

3.10 测量工作容限

通常情况下，数字电路或者工作，或者不工作。与模拟电路不同，数字系统很少有临界的或不良的工作状态问题。数字系统一旦正在工作，很难量化其工作性能，以及它剩余多少工作容限。这一节讨论关于量化数字系统工作容限的实用技术。

生产工程师们都习惯于用质量统计控制方法来得到测量质量和维护质量之间的关系。这种应用于生产的理论可以直接应用于数字产品。

这些测量是全局性的，把整个系统的影响都考虑在内。前提是你进行了一个go-nogo（通过/不通过）测试，以显示系统是否工作。该go-nogo测试应该尽量全面，并且可以使这个系统的任何部分的逻辑失效都能产生nogo（不通过）的响应。

在使用go-nogo测试仪进行的每一次测试过程中，使系统处于下文所列出的各种压力条件之一。我们将要测量系统在失效之前到底能够承受多大的压力。这个过程把简单的go-nogo测试转化为产品质量的定量测试。

要确保即使在系统失效时仍然能够继续进行测试。我们希望测试能够报告nogo，自动重启，继续运转，甚至出错后继续工作。这一特性使得在出错区域之内或之外改变压力变得很容易，而且可以确保我们得到了正确的结果。通过设定压力等级，使它每隔几秒就产生一个错误，就可以用逻辑分析仪来捕获错误。一旦错误被定位，设计一个修正错误的方案则很容易。如果go-nogo测试在第一个错误处就挂起，那么将无法确定稳定的错误率，也许就永远不能够排除错误、解决问题。

3.10.1 附加噪声

对于具有高速处理元件的小型电路，可以在电路的每个节点处，加入随机附加噪声。对于这项测试，最好的随机信号源是具有有限偏移的信号，例如正弦波、方波和伪随机二进制码型。

采用串联电阻，在电路的每个节点引入噪声，计算得到的电阻值应该不增加电路的负载。对于TTL，HCMOS和ECL电路，采用1 kΩ的串联电阻是很合适的。

在测试过程中，一次只在一个电路节点引入噪声，以表现出电路的性能特征。如果怀疑是电路布局中的改变引入了更多的振铃（降低附加噪声容限），那么这个实验证据在以后会比较有用。

一旦知道了每个节点的相对灵敏度，就得到了一组用于向每个节点引入噪声电流的校准电阻。把每个电阻都通过开关和同一个噪声源相连①，然后我们改变噪声电压，所有节点都应该在相同的噪声电压时失效。所有不良的节点，在较低噪声电压时就会产生失效。每个产品的失效噪声电平和产品序列号的对应关系，揭示了产品生产过程中的离散性。附加噪声测试很难操作，因为它需要针床测试装置，或在电路板上制作出适当的连接器，以引入噪声。

附加噪声测试适用于数据接收器、时钟恢复环路、所有类型的锁相环、模拟I/O接口以及总线。简而言之，它适用于任何有大量信息通过有限测试点的场合。

---

① 一种比较好的测试方法是每个点都用独立的噪声源。几个独立的噪声源可以由同一个发生器经过同轴延迟线来产生。

3.10.2 宽总线的时序调整

大部分宽的总线系统都同步于一个公共时钟。该时钟沿着总线分布。对于这些系统，设计工程师给出了详细的时序分析，指出了总线发生转换时理论上所要保证的建立时间和保持时间。

为了测试上升时间和保持时间的设计假设，我们需要一种可以改变数据传输时序的方法，要么超前，要么滞后，直到总线失效。通过记录系统在失效前可以接受的时序调整量，可以得到总线定时容限的量化值。

为了进行实验，首先要沿着总线建立起从设备A到设备B的数据传输。要确保有一种方法可以判定系统是否产生错误。最好是系统自己可以报告错误率，或者在错误发生时通过指示灯显示，而且仍可以继续工作。

现在将两个设备之间总线上的时钟线切断，为每个系统分别提供不同的时钟。我们想办法使这两个时钟具有相同的频率，但是相位略有差别。通过相互比较，使其中一个总线时钟相对于另外一个时钟的时序超前（或滞后）。通过该方法可以得到总线的定时容限。

对于这个实验，需要一个特殊的电路来产生两个频率锁定但相位可调的时钟。下面所述的5种方法都可以完成这项任务。

3.10.2.1 通过延迟同轴电缆进行时钟调整

对于高于20 MHz的时钟，可以用几段同轴电缆和普通的开关制作一个同轴电缆延迟选择器的盒子。两路信号取自同一个时钟源，其中一路信号（时钟A）通过该延迟选择器，另一路信号（时钟B）通过固定长度的同轴电缆。所用同轴电缆的阻抗（50 Ω，75 Ω或93 Ω）要与总线原来的阻抗匹配。

通过延迟选择器盒子选择固定长度的同轴电缆，设置到中间值，使输出的两路时钟信号的时序相匹配。对于固定的延迟时间来讲，这很容易做到。

不要试图构造一个精确的二进制延迟选择器，仅仅通过切割出几段长度匹配的同轴电缆来保持延迟线性步进是很困难的。取而代之的做法是用两个多掷开关和长度为1，2，3，…，10，延迟单位为10，20，30，…的同轴电缆。

3.10.2.2 通过脉冲发生器进行时钟调整

一个脉冲发生器如果具有延迟可调，输出触发的功能，则可以用来作为一个比较好的时钟调整器。从同一个时钟源，其中一路信号（时钟A）输出到脉冲发生器的触发输入端，另一路信号（时钟B）通过一个固定长度的同轴电缆直接输出到总线上。同轴电缆的阻抗（50 Ω，75 Ω或93 Ω）与总线原来的阻抗匹配。设置时钟发生器，使之所产生的脉冲宽度为时钟标称周期的一半。

选择同轴电缆的长度，并将脉冲发生器的延时设置到中间值，使输出的两路时钟信号时序相匹配。对于固定的延迟时间来讲，这很容易做到。

大多数脉冲发生器，如果正在输出的脉冲没有结束，则下一个脉冲来临时它并不会再次触发，这使得脉冲延迟被限制在0°~180°之间。调整固定的同轴电缆长度，使其具有90°的延迟，这样，最后的有效延迟调整范围就是 -90°~+90°之间。

3.10.2.3 时钟相位调整的简单电路

图3.23A所示的电路，是一个16进制的反相器，用于产生30~160 ns的延迟。每一级的延

迟时间是5~35 ns，具体数值由可变电阻的值决定①。每一级的延迟时间不应该超过时钟周期的12%，以保证稳定工作。

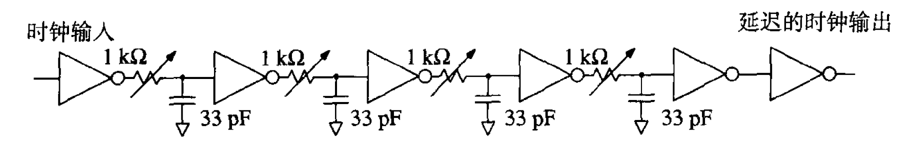


图 3.23A　TTL 或 CMOS 延迟可调网络

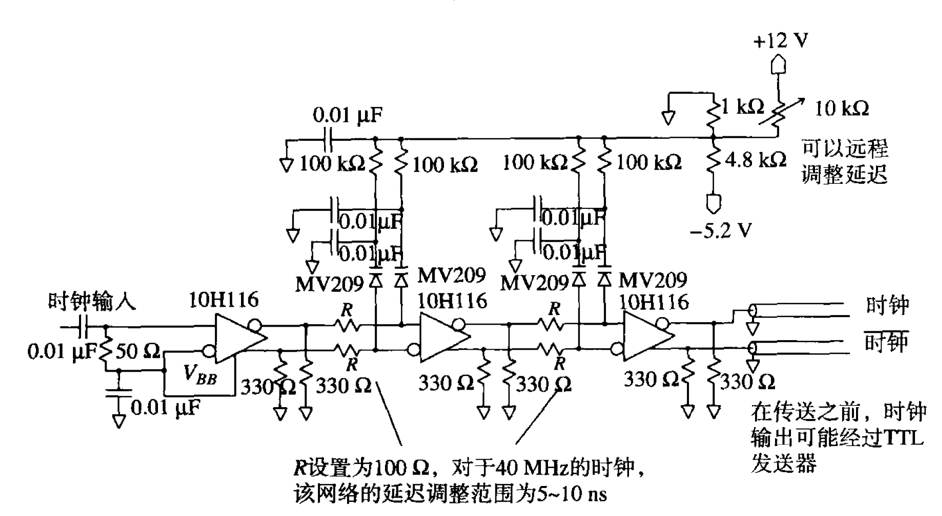


图 3.23B　ECL 远程延迟可调网络

通过调整延迟级数（2或4）并平均地调整每级电路的电阻（最好用排电阻），可以调整电路的占空比，使之到达一个最小值。在信号重新进入到系统之前，在电路的末端最好至少用一个反相器来对信号进行整形。

图3.23A所示电路的缺点是信号必须经过电位器。对于高速系统，这意味着电位器必须非常小，并且在物理位置上离电路很近。图3.23B所示的电路通过使用变容二极管的方法，解决了这个问题。变容二极管指的是其电容会随着偏置电压的变化而变化。图3.23B所示电路的工作频率远远高于图3.23A所示的电路。

图 3.23B 所示电路的每一级电路延迟时间都在 2.5~5 ns 之间。该电路通过变容二极管MV209②组成 RC 网络来调整相移。电路的级联使得延迟时间的可调范围扩大。图 3.23B 是两级电路，其延迟时间是 5~10 ns。

这个电路的设计频率是 40 MHz，如果工作在其他频率，可以重新选择 R 值：

$$R = 100\,\Omega\,\frac{40\text{ MHz}}{F_{\text{时钟}}} \tag{3.28}$$

为了保证更高的稳定性，应该给这个可变延迟电路提供独立的稳压电源，并使电源的温度（温度测试箱之外）保持恒定。

① 假定每个门电路的标称延迟是 5 ns。

② 该二极管的电容变化范围为 14~40 pF，直流控制电压范围从 10 V 到 1 V。

采用两个电路中的任何一个，两路信号都应取自同一个时钟源，其中一路信号（时钟A）通过可调延迟网络，另一路信号（时钟B）通过固定长度的同轴电缆直接连到总线。所用同轴电缆的阻抗要与总线原来的阻抗匹配。选择同轴电缆的长度，使得可调延迟调整到中间值时，输出的两路时钟信号的时序相匹配。

3.10.2.4 采用锁相环的时钟调整

图3.24给出了Cadillac时钟相位调整电路的框图。对于大规模生产测试，可能值得构造这样的电路。对于普通的实验室测试，则太麻烦了。

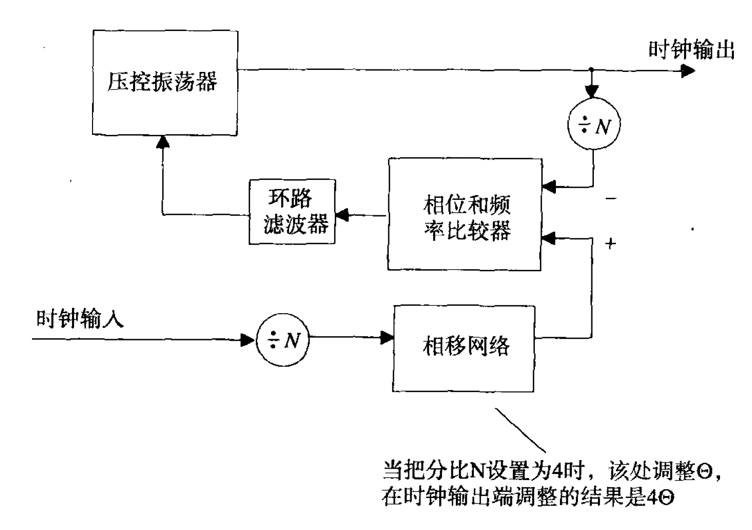


图3.24 采用锁相环实现的可变延迟网络

电路将总线时钟进行N分频，然后通过一个相位-频率比较器把它与一个同样经过N分频的本地振荡器相比较。电路的频率锁定在与总线时钟相同的频率上，但是相位由相移网络决定。

因为相位锁定的频率是时钟振荡器频率的$1/N$，因此如果在相移网络中加入Y度的相移调整，输出的高频时钟则会得到$N \times Y$度的相移。结果是，相移网络仅仅需要在分频后的时钟上产生一个很小的相移。由变容二极管控制的RC移相器可以很方便地做到这一点。

这个电路的相位调整范围可以超过±180°。当系统时钟速率较高，并且经过分频将信号频率降低来产生本地控制信号时，这种较大的相位调整非常有用。大的相位调整对调试允许多个时钟周期抖动的异步电路也很有用，例如通信中的T3同步器和FIFO电路等。

VCO的稳定性和相位检测网络的噪声不敏感特性，在这个电路里面至关重要。如果并不擅长模拟电路的设计，最好在制作这个电路时寻求些帮助。

3.10.2.5 通过电压的变化进行时钟调整

通过改变端接电压，或者通过上拉或下拉电阻给时钟线加入电压的方法，会使时钟接收器的电平转换时间产生一些微小的变化。同样的方法对总线接口也适用。

这种方法的缺点是其可靠调整范围受限于一小段的信号上升时间。

3.10.3 电源

如果电源的调整幅度超过了±10%，则信号的延时会产生一个很小的变化。通过调整电源，甚至可以改变一个非常敏感的系统的失效率。更有可能的是，如果一个系统具有足够的电压容限，则在该范围内就都可以正常工作。

如图3.25所示，图中的曲线描绘了延迟和上升时间与电源电压之间的关系，揭示了CMOS和TTL触发器的电压变化范围。CMOS 74HC174电路对电压的敏感度比TTL74F174大两倍以上。

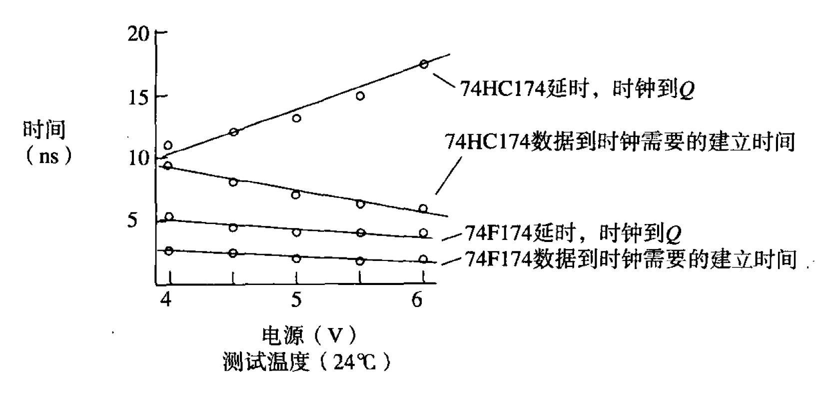


图3.25 延时和建立时间与电源电压的关系

3.10.4 温度

温度变化与电压变化类似，它们都使得延时特性发生小的变化。

在物理实现上，温度变化比电源电压变化要困难一些。工程师们通常会用冷却喷雾罐来降低电路的温度，或用大号的烘干器来升高温度。

但是要提醒大家的是，冷却喷雾罐含有危险的化学成分，这些成分会破坏地球的臭氧保护层。如果不得不使用冷却喷雾罐，那么就想办法制作一个可以将电路装起来的盒子，然后在盒子里面进行喷雾。这样一个小空间需要的剂量会大大降低，而且，它回到室温的速度也会降低。

通过加热或冷却来控制温度，从而能够调节占空比，但用手工方法达到一致的温度变化是需要一定技能的。这就需要将温度计一直放在电路上，以防出现超过电路最大工作温度的变化率。

具有通风口的系统，有一个迫使空气进出整个系统的开口。可以将干燥器的通风管连接到这个开口，或将热风机的吹口对准这个开口处。

许多公司都有大的冷/热炉或冷/热室，用于产品最后阶段的温度测试。在这样的房间里面进行开发工作很不舒服，并且对放在里面的设备的种类和大小也会有所限制。通常，工程师们不喜欢长时间呆在温度舱里面，但它确实提供了一个理想的测试环境。

如图3.26 所示，图中的曲线描绘了延迟和上升时间与温度之间的关系，揭示了CMOS和TTL触发器随温度变化的曲线。CMOS 74HC174 电路对温度的敏感度比TTL74F174 大4倍以上。

3.10.5 数据吞吐量

设计工程师们通常使用测试设备来验证数字逻辑电路的逻辑正确性。他们可能会设计一个测试方案来测试新的数字设备内部的每个单独逻辑功能。如果看到测试结果的每个步骤都是正确的，则可以很自然地得出结论："机器工作正常"。

遗憾的是，实际的系统比这要复杂得多。许多计算机系统可以通过循序渐进的测试，但在实际工作速率，或者达到实际工作的数据吞吐量时，机器却不能工作。只有当读者拥有很多复杂系统的工作经验时，才会有这样的体会，事实也确实如此。

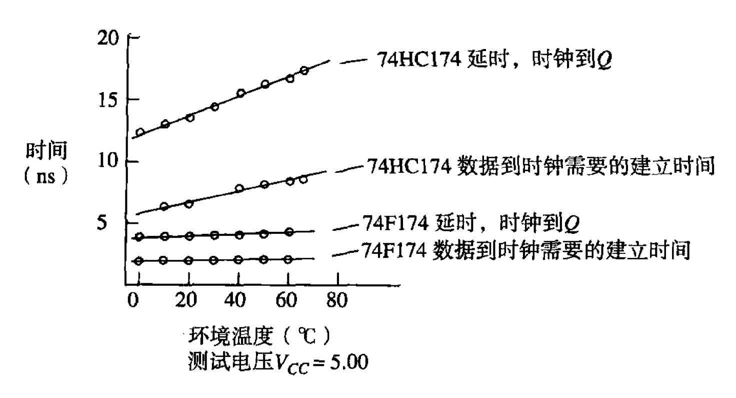


图 3.26 延迟和建立时间与温度的关系曲线

在高利用率时，一个高速数字系统内部的总线和其他部件会产生很多噪声。系统的数据量越大，其产生的噪声也越多。最好的测试计划会逐级递进到较大的数据流量，用大量的数据模型进行测试，重点测试流水线逻辑电路，存储器访问以及其他一些主要逻辑电路。好的数据模型会找出正常工作时令系统出故障的噪声耦合。

记忆要点

- 测量一个系统在go-nogo测试失败前能承受多大的压力测试。这个过程将一个简单的go-nogo测试转化为产品系列的量化值。

3.11 观察亚稳态

如果仔细观察同步触发器电路，其运转是完全可以预知的。只要按照建立和保持时间的规则，*D*触发器的输出端*Q*在每次时钟转换之后都会与输入端一致。

当用*D*触发器去同步数字系统的外部信号时，我们不能保证其始终满足建立时间和保持时间的要求。一个外部的异步信号相对于内部同步时钟而言，可以在任意时刻发生变化。

如何解决这个难题呢？有没有一种方法，使得异步信号可以进入同步系统，而不会产生建立和保持时间的冲突呢？的确，不存在这样的方法。因此我们必须知道在信号打破建立和保持时间规则时会发生什么。

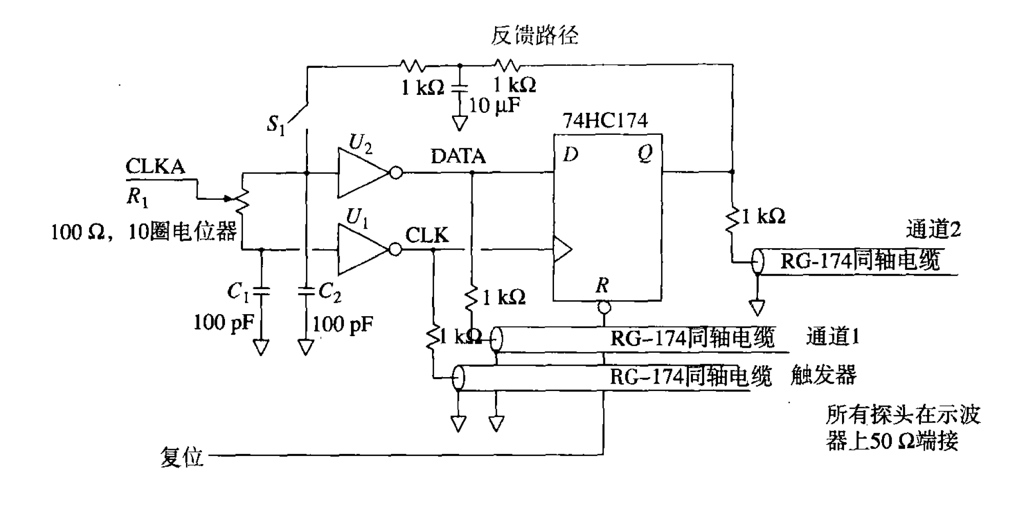
由于建立和保持时间被打破而引起的现象，称为亚稳态（metastable state）。这一节要展示给大家测量亚稳态的仪器设备，对结果的解释，以及处理这个问题的一些规则。

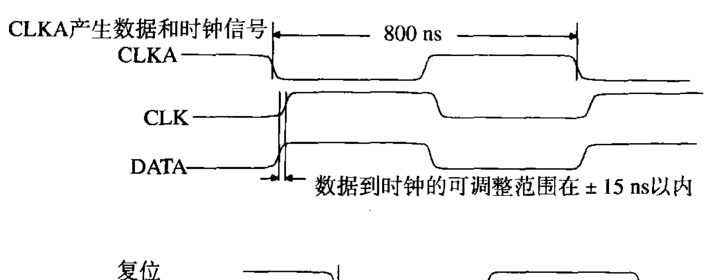
3.11.1 测量亚稳态

图3.27所示的是一个观察*D*触发器亚稳态的电路图。使用这个电路至少需要一个双通道示波器。

CLKA的波形是一个方波，通过R_1与C_1和C_2的两个支路被延迟。如果将R_1的触点向DATA输出方向进行调整，CLK的输出延迟会达到最大值。如果将R_1的触点向CLK输出的方向进行调整，DATA的输出延迟会达到最大值。DATA和CLK之间相对位置的可调整范围在±15 ns之间。

复位的波形在每个时钟上升沿之后产生一个负电平有效的复位脉冲。这个复位信号使触发器在每个周期到来之前是一个固定的状态。可以用经过延迟的时钟信号作为复位信号。





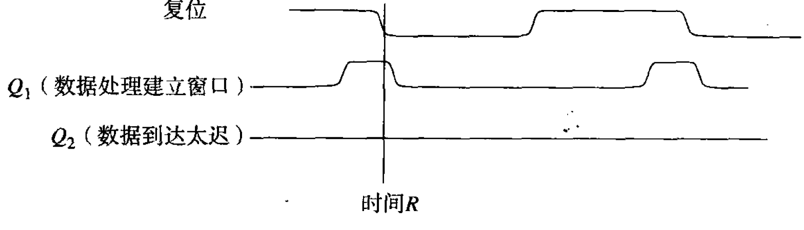


图 3.27　观察亚稳态

图 3.27 中的所有主要信号都用 21:1 的探头通过 1 kΩ 的电阻连接。首先将示波器连接到 DATA 和 CLK 信号。

将反馈回路开关 S_1 打开，并将电位器触点逐渐由数据最小延迟变化到数据最大延迟。将 DATA 和 CLK 之间的时序关系相对于电位器的设置大致画出一个草图。将电位器进行大范围调整，并观察得到的结果。在最小数据延迟时，数据应该在要求的最小上升时间之前到达。在最大数据延迟时，数据应该直到最小保持时间过去之后，才会变化。

计算一下电位器每一匝的变化得到的时延调整。

现在将示波器连接到 CLK 和 Q。把 DATA 同轴电缆用一个 50 Ω 的电阻端接，这样它的响应就不会发生变化。使示波器通过 CLK 信号来触发，调整电位器，得到最小的数据延时。

起初，D 输入端满足建立时间的要求，而 Q 输出的响应波形如同 Q_1，如图 3.27 所示。每个时钟到来时 Q 输出都变成高电平（HI），而每当 R 时刻到来时，Q 输出都被复位到低电平（LO）。不要用时钟的反相信号复位触发器，否则由复位信号产生的电平变化会同亚稳态效果混在一起。

调整触点，使数据延迟，直到把它调到数据所需的最小建立时间窗口之后，在某一点时，Q 输出会突然发生变化。这时，数据到达的时间太晚了，Q 输出不会再转换为 HI，如同图 3.27

所示的Q_2一样。触发器不能在上升沿处锁存D输入的这个点，称为临界转换点(critical switching point)。临界转换点位于触发器生产商标定的最小上升时间和保持时间之间。生产商会将这两个值的标定略加放宽，以保证在一个很大的温度范围之内，这个临界转换点都会落于这个限制之间。

临界转换点之前到达的数据似乎总是可以被锁存，临界转换点之后到达的数据似乎总是锁存不到。这不是我们想要的吗？没错，但我们必须进一步理解亚稳态问题的实质。

图3.28绘出了由该电路得到的值，比较了触发器时钟到Q输出的延迟与测量到的数据建立时间。在这个图中，时间刻度用对数标尺显示了实际数据建立时间与临界转换点时间之间的差。无论何时，当数据在临界转换点3 ns之前提前到达时，时钟到Q延迟总是保持13.5 ns不变。当数据向临界转换边界移动时，Q输出仍然会变成高电平，但是时钟到Q延迟会变长。当数据到达时间非常接近临界转换点时，时钟到Q延迟与数据上升时间与临界转换点之差的对数成正比。

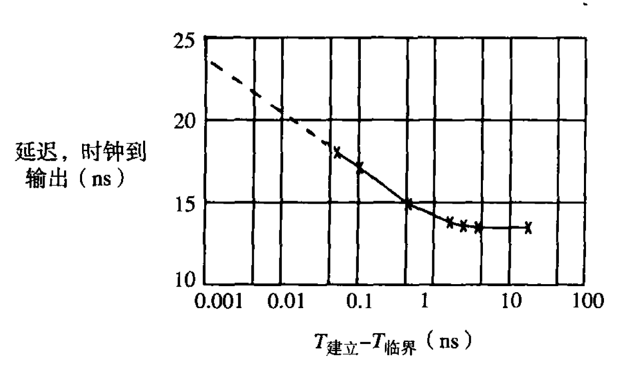


图3.28　74HC174的输出延迟和数据建立时间之间的关系

该时钟到输出延迟的增加值是输入信号建立时间的函数，这种增加是亚稳态特性的实质。你不能在这个点附近工作，所有的触发器都一样，它会使高速同步设计遭到破坏。解决这个问题的最好方法是尽量减少它的发生，但永远无法消除它。

时钟到输出延迟究竟能达到多大呢？这要看数据离临界转换点有多远。实际上可能很长。下一节会解释其原因。

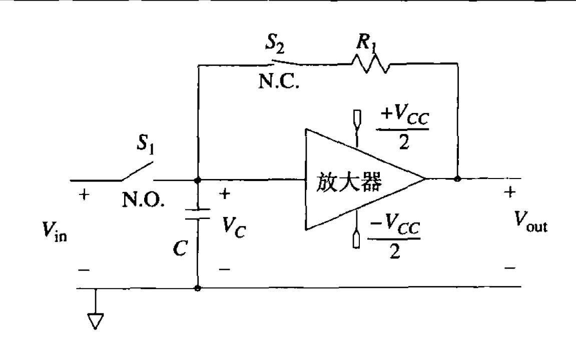
3.11.2　理解亚稳态的特性

图3.29是一个简化的数字触发器原理图。在这个例子中，为放大器提供了对称的正、负电压。正反馈电路把电容C上的任何正电压驱动到电源正电压，或者把电容C上的任何负电压驱动到电源负电压。

当用时钟驱动时，电路会稳定在正电平状态，或负电平状态。所有的触发器都这样工作，或具有类似的工作原理。

图3.29下面的部分是触发器的时序图。在时钟驱动时，开关S_2打开很短一段时间。当S_2打开时，S_1关闭，将电容C充电到输入电压V_{in}。当S_2又一次关闭时，周期结束，通过R_1的正反馈使放大器饱和，达到高电平状态或低电平状态，并保持不变。

芯片生产商通过各种各样的电路使得S_2和S_1的时序很好地配合。但是无论采用什么样的电路，触发器总会出现亚稳态效应。



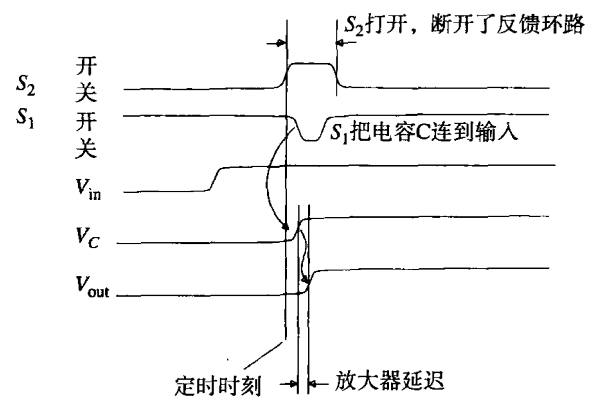


图 3.29 简化的触发器电路

如果输入信号是二进制逻辑信号，则它必然一直处于完全高电平状态，或者完全低电平状态。当S_1关闭时，该触发器放大器一旦进入到某种状态，就会使电路一直保持在某个状态，或者另外一个状态。

如果触发器的时钟与输入信号同时发生变化会怎么样呢？当S_1关闭时，电容C充电，电压随输入信号的变化而变化。当打开S_1时，电容C会保持在开关打开时刻的充电电压。当S_1打开时，如果数据输入正在发生变化，我们可能在电容C上锁存一个接近零的电压。这看起来不是很像二进制。

触发器的建立和保持时间要求当S_1打开时，数据不能发生变化。在同步数字系统内部，我们能够保证这些要求得到满足。而与外部的异步信号进行接口时，则不能阻止信号在时钟沿发生变化。

当开关S_2关闭时，放大器从一个状态转变到另外一个状态所需要的时间取决于电压V_c。从那一刻起，放大器电压的变化按指数函数变化，输出电压等于：

$$V_{out}(t) = V_{in}e^{KT} \tag{3.29}$$

K是一个时间常数，与放大器带宽和反馈器件值有关。

如果输入电压在采样时刻碰巧接近于零，那么输出从一个电源端或另一个电源端断开可能会花费很长时间。这个变化过程称为亚稳态。

因为随后的逻辑转换需要达到90%以满足电压容限，因此在断定锁存操作完成之前必须等待放大器的响应完成。

如果输入电压距离零电平很接近，亚稳态延迟时间可能会很长。如果亚稳态时间为T秒，则输入电压和零电平之间应该相差多少呢？

将式（3.29）变换一下，设为在T时刻达到电源电压：

$$\left|V_{\text{in}}e^{KT}\right| = \frac{V_{CC}}{2} \tag{3.30}$$

$$\left|V_{\text{in}}\right| = \frac{V_{CC}}{2e^{KT}} \tag{3.31}$$

其中，V_{in} = 输入电压与零电平之差

T = 亚稳态延迟时间

K = 取决于放大器和开关的时间常数

V_{CC} = 电源电压

式（3.31）在采样点处建立了输入电压和判决时间（resolution time）T之间的关系。判决时间指的是从触发器得到响应必须等待多长的时间。

用输入信号的上升时间，可以将电压V_{in}转换为时间偏移量。对于接近零电平的信号，其波形与上升沿变化率的斜率成线性关系。如果输入信号的转换在时刻T_w以内，其输入电压将会在V_{in}以内：

$$T_W = V_{\text{in}}\frac{T_{10\%\sim90\%}}{V_{CC}} \tag{3.32}$$

式（3.33）把结果都转换到时域当中，给出了输入信号到达时刻和等待响应时间之间的关系。

将式（3.31）中的V_{in}代入式（3.32），得到：

$$\left|T_w\right| = \frac{T_{10\%\sim90\%}}{2}e^{-KT} \tag{3.33}$$

如果数据信号的上升沿在亚稳态窗口$\pm T_w$之外到达，输出延时会小于T秒。如果数据信号的上升沿在亚稳态窗口$\pm T_w$之内到达，输出数据的延时会大于T秒。

所有的触发器都会表现出亚稳态的特性，其亚稳态窗口可以表述为：

$$\left|T_w\right| = Ce^{-KT} \tag{3.34}$$

常数C和K是所用的特定触发器的属性，而T是判决时间。

例 3.4 亚稳态的错误率

如图3.30所示，采用Actel ACT-1门阵列实现的电路，当输入电压变化时，其输出产生脉冲的概率有多大？简单应用同步逻辑理论，它永远也不会发生。但现在我们会更好地理解这个问题了。

首先检查最坏情况下的建立时间：

T_{PD} = 9.3 ns（时钟到Q_1，建立时间很好）

T_{PD} = 9.3 ns（反相器－异或门之和）

$T_{SU} = \dfrac{5.0\text{ ns}}{23.6\text{ ns}}$（$D_2$的建立时间）

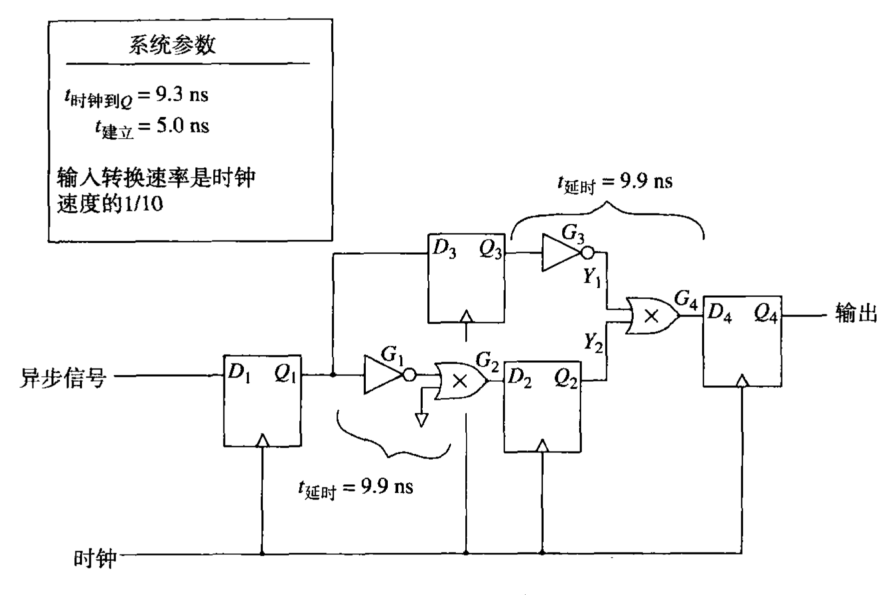


图 3.30　亚稳态电路分析

任何小于42 MHz的时钟（23.6 ns）都能满足传播时间和建立时间。Y_1和Y_2始终匹配，输出Q_4永远也不会变成高电平。

电路惟一发生错误的可能是亚稳态使得Q_1转换推迟，错过了D_2的建立时间窗口（因为经过G_1和G_2的传播延时），但Q_1并没有错过D_3。

如果实际时钟F的速率小于42 MHz，我们可以算出Q_1不错过D_2建立时间窗口的亚稳态延时预算。允许额外分配给亚稳态的为：

$$T_r = \frac{1}{F} - 23.6\ \text{ns} \tag{3.35}$$

这个T_r延时称为允许的判决时间。

Q_1需要比T_r更长的时间来达到稳定，这个亚稳态窗口是：

$$T_w = Ce^{-KT_r} \tag{3.36}$$

落在$\pm T_w$内，且在总的周期时间$1/F$之外的概率是：

$$\text{Prob（失效）} = 2T_wF = 2FCe^{-KT_r} \tag{3.37}$$

Actel在1989年出版的“ACT-1 Family Gate Arrays Product Guide”列出了常数C和K。这里我们对这两个常数进行调整，使之符合我们的单位体系：Hz和s。

$$C = 0.5 \times 10^9 \text{（采样开关上升时间常数）}$$
$$K = 4.6052 \times 10^9 \text{（放大器时间响应常数）}$$

以小时为单位的平均失效间隔时间（Mean Time Between Failures，MTBF），可以通过失效概率和输入信号转换率R来计算得到。因为亚稳态仅仅在输入信号变化时发生，如果输入信号变化较快，则失效的概率也较大。

$$\text{MTBF} = \frac{0.000\,277}{\text{Prob（失效）} \times R} \tag{3.38}$$

其中，MTBF = 平均失效间隔时间，h

　　　　R = 输入信号转换率，Hz

Prob（失效）= 在任意单个输入信号转换时的失效概率

图3.31给出了MTBF与频率的关系图。这个图假定输入信号的转换频率为时钟频率的1/10。在35 MHz时，失效概率是4×10^{-12}。如果电路每秒处理350万次输入，则每19小时发生一次失效（大约每天一次）。

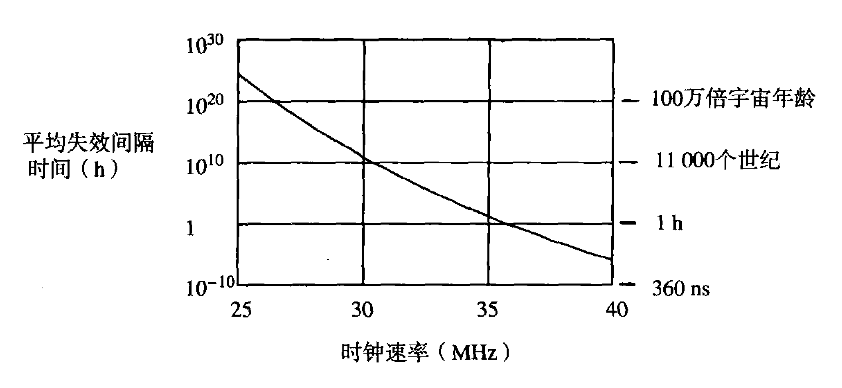


图3.31　图3.30所示电路的MTBF和时钟速率之间的关系图

3.11.3　长判决时间的证据

根据图3.28所示的数据，我们必须调整图3.27所示的电位器，使电平的临界转换时间在10 ps以内，使产生的时钟到输出的延时大于20 ns。实际操作起来不太容易。

幸运的是，我们还有另外一种方法进行精确的延时调整。我们可以搭建一个反馈网络来检测亚稳态输出，控制时钟到D输入的偏移来产生非常长的判决时间。

反馈放大器使亚稳态得到放大，我们可以清晰地观察到它。

这个电路如图3.27的上方所示。它由T型RCR低通滤波器组成，可以监视Q输出电压，将它反馈到数据缓冲器U_2。

当DATA信号的上升沿到达太早时，Q输出会在每个周期都变为高电平。这使得Q输出的平均电压升高。T型滤波器通过向节点U_2注入正电流，稍微抬高了该点处延迟的信号CLKA。在CLKA的下降沿，现在的电压比正常情况高，致使U_2变为高电平的时间比正常情况稍晚一些，从而有效地延迟了数据信号的上升沿。

总的来讲，就是调整DATA信号沿的位置，控制范围是±100 ps。一旦电位器的调整使得数据信号的临界转换时间在100 ps之内，控制回路就开始起作用。这样，电位器的调整敏感度就会下降，更易于使用。

通过调整电位器来产生最大延时，就得到了图3.32所示的结果。第一个波形是输入信号DATA，第二个波形是输入信号CLK，而第三个由点组成的信号是输出信号Q。由于示波器的采样作用，输入波形不是连续的，每个波形都是由一个个点组成的，因此看上去是散开的点。

有时，输出信号Q在24 ns以后变成高电平，有时则会变成低电平。其他时刻，它会等待较长的时间，然后变成高电平。

时钟到输出的最小延时是24 ns。不要忘记，对于质量比较好的输入信号，它的正常延时应该是13 ns（如图3.28所示）。这个长延时表明DATA的时序仍然被电路的反馈环路保持在

临界转换时间信号变化点处的几皮秒之内。在这个限制之内，实际的DATA转换时刻随机地向前或向后滑。这种随机性主要由触发器内部的温度噪声，以及进入到电路当中的外部噪声引起。在临界转换时刻附近，对数据信号的采样以相等的概率得到时间轴上的每一个点。

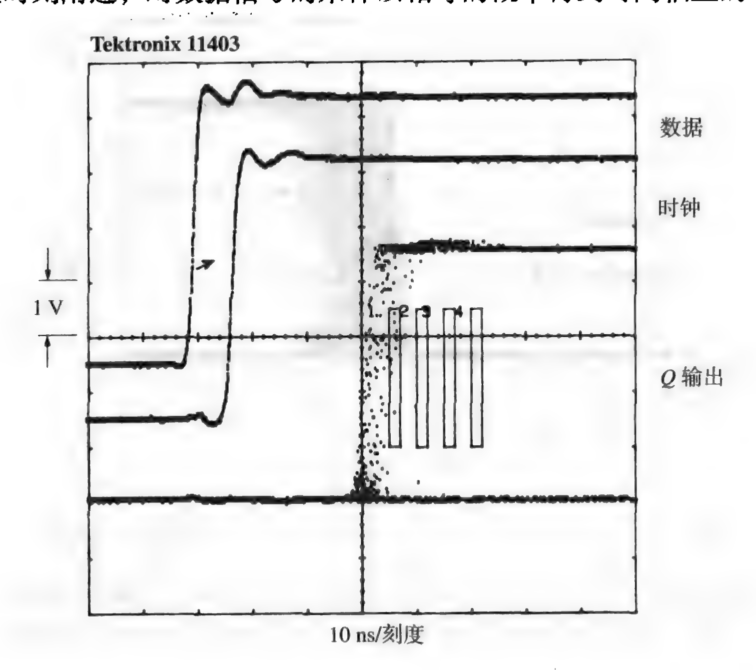


图 3.32　74HC174（CMOS）中的亚稳态波形（3 s 点累计效果图）

如果数字采样示波器以点累计方式工作，显示器上的采样点一直保留在那里。示波器会一直累计采样点，直到水平方向上每512个位置处出现20个点。DATA和CLK信号被分别记录，然后叠加在示波器显示器的图像上。图像的积累时间是3 s。

最右边的点表明时钟到 Q 的偶发延时的最少数值为 30 ns。这是怎么一回事呢？

我们看一下式（3.34），如果DATA窗口宽度超过了一个给定判决时间，DATA窗口随判决时间指数减小。如果DATA到达时间均匀分布在临界转换时刻附近，我们会看到长判决时间的指数衰减。也就是说，对于判决时间的每一个给定的增长，超过判决时间的数值会降低一个固定的百分比。

可以用Tektronix示波器的时标计数（mask-counting）特性来验证我们的假设。图3.32中的4个方框定义了4个时标计数区域。示波器会对落入每个区域的点进行计数。时标被平均分成5 ns的间隔（时钟之后的35 ns，40 ns，45 ns和50 ns）。

在这个例子中，时标1和2分别收到13个和1个点。在时标3和4中则没有收到。我们认为每个时标中点的数量呈指数降低，但此时没有足够多的点来对这个假设进行验证。

图3.33使用了与图3.32相同的上升时间，但时间累计是30分钟。时标计数器是：

时标 1	30 ns	4685
时标 2	35 ns	445
时标 3	40 ns	42
时标 4	45 ns	4

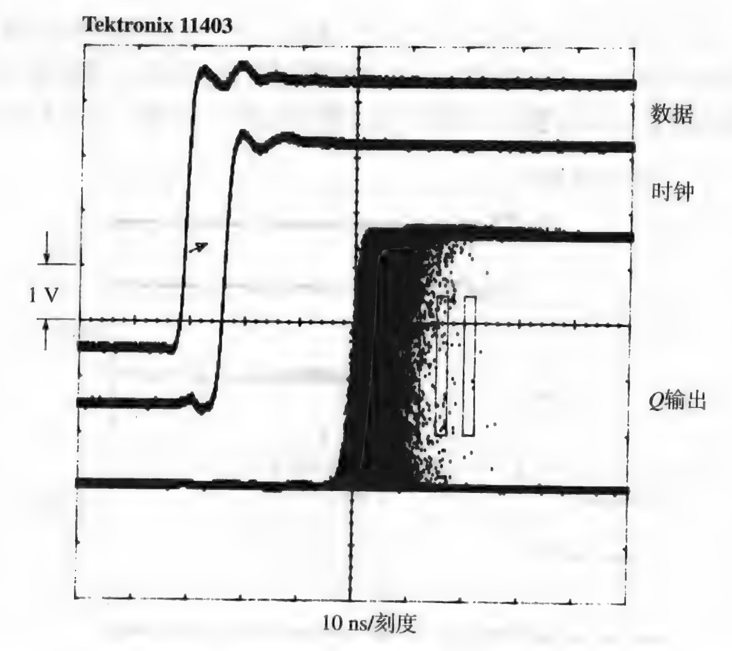


图 3.33　74HC174（CMOS）中的亚稳态波形（30 min 点累计）

各个区域中的衰减常数是10。在得到4个点的最后一个区域中，时钟到输出的延时是45 ns。如果我们等待 50 个小时（是图 3.33 的 100 多倍），大概可以在 55 ns 的区域得到 4 个点。

图 3.34 使用 74F174 触发器进行了相同的实验。它的延迟时间比 74HC174 明显要短，但效果相同。注意 74F174 的输出，它比 74HC174 具有更小的缓冲能力，先上升到一定程度，然后才会变成高或者低。对于接在 Q 输出后面对边沿敏感的电路，这种毛刺很容易使其触发。

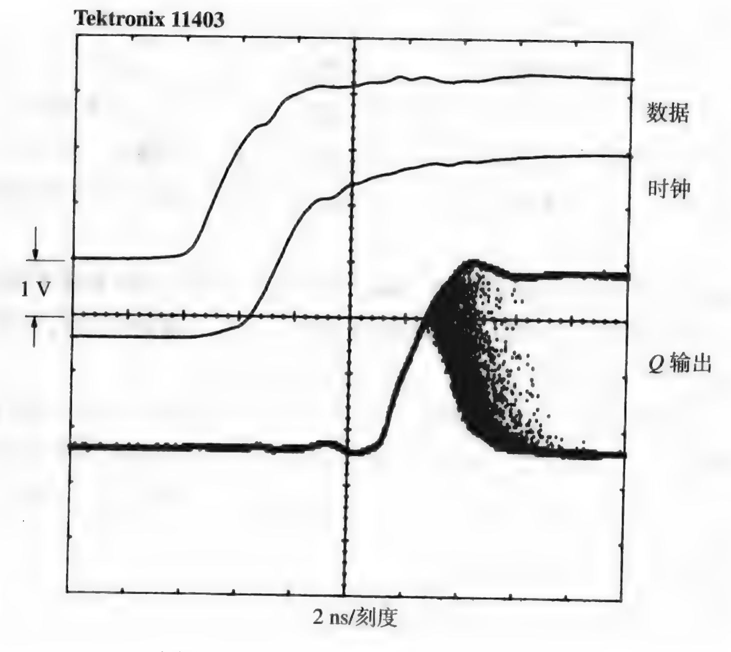


图 3.34　74F174 的亚稳态 10 s 点累计

3.11.4 亚稳态问题的解决方法

如果遇到了亚稳态问题，下面的建议可能会有帮助：

1. 采样快速触发器，这种触发器可能有较窄的亚稳态时间窗。
2. 将两个（或多个）触发器串联，用同一个时钟驱动。N个触发器发生错误的概率是P^N，其中P是一个触发器发生亚稳态错误的概率。标准的方法是采用至少两个触发器（有时采用3个）进行同步串联。
3. 使用能克服亚稳态的触发器。这些器件内部的触发器电压低且速度快，具有很大的K值，输出驱动同普通触发器是一样的，具有很好的亚稳态性能。
4. 尽量降低采样频率（如果可能）。较宽的时钟周期使得触发器有充分的时间进行反应，使得采样到亚稳态的机率减少。如果时钟速率降低，失效率会比指数速率下降得还要快。
5. 如果输入信号的变化很慢，一些触发器的亚稳态性能会变差。采用边沿速度快的输入信号可以克服这个问题。

记忆要点

- 所有触发器都有亚稳态特性。
- 触发器输出延迟大于T秒的概率随着时间T的增长呈指数下降。

第4章 传 输 线

在高频条件下，与普通的点对点布线相比，传输线有3个方面的优势：

- 畸变更少
- 电磁辐射（EMI）更小
- 串扰更少

作为这些优异特性的代价，传输线比普通的点对点布线需要更多的驱动功率。对于高速电路，付出额外的功率对于提高信号性能来说是值得的。

在研究传输线的优点之前，让我们考察一个案例，该案例突出显示了普通点对点布线（导线绕接技术）的缺点。

4.1 普通点对点布线的缺点

最近，硅谷有一家著名的公司，我们称之为NEWCO公司，曾经制造了他们的第一台高速处理机的巨大原型机。他们决定使用点对点布线，以避免制做印刷电路板的费用和时间。原型机是在16 in × 20 in的电路板上通过导线绕接技术而构建的。这一个原型机包含600多个门电路和2000个不同的信号网络。下面是有关信号网络的一些统计数据：

网络的数目	2000
网络的平均长度	4 in（末端接的）
引线在接地平面上方的平均高度	0.2 in
线径（AWG30）	0.01 in 直径
信号上升时间	2.0 ns
转折频率（见式（1.1））	250 MHz（=0.5/2.0 ns）

下面三个小节要检验NEWCO的点对点布线将如何工作。

4.1.1 点对点布线的信号畸变

在NEWCO的设计中，上升时间为2.0 ns，其电气长度为（见式（1.3））：

$$l=\frac{\text{上升时间(ps)}}{\text{传播延迟(ps/in)}}=\frac{2000\ \text{ps}}{85\ \text{ps/in}}=23.5\ \text{in} \tag{4.1}$$

区分集总系统和分布系统的临界尺寸是：

$$l/6 = 3.9\ \text{in} \tag{4.2}$$

NEWCO认为，因为导线的平均长度基本上在这一界限之内，所以电路只会有很少的振铃。但是，他们错了。

NEWCO 认识到，当电路大于 1/6 时，将表现为分布状态。他们知道，分布电路如果不端接，就会振铃[1]。这个问题将在 4.3 节中讨论。因为他们的电路（大部分）是集总的，所以错误地认为不会振铃。

集总参数电路可能振铃，也可能不振铃，这取决于电路的 Q 值。电路的 Q 值显示出电路中信号衰减消逝的快慢。在低 Q 值电路中，信号衰减得很快，而在高 Q 值电路中，信号却来回振荡，经过几个振铃周期后才慢慢地消逝。Q 值在技术上被定义为总存储能量与每个振荡周期所衰耗能量之比。从这个定义引出一个近似公式[2]，将特定电路的最大过冲电压用 Q 值的一个函数来表示：

$$\frac{V_{过冲}}{V_{阶跃}} = e^{-\left[\frac{\pi}{(4Q^2-1)^{1/2}}\right]} \tag{4.3}$$

其中，$V_{过冲}$ = 超出稳态输出电平的输出上升量，V

$V_{阶跃}$ = 预期的稳态电平，V

Q = 谐振参数（这里假设 $Q > 0.5$）

图 4.1 中的理想二阶电路以时间常数 $2L/R$ 衰减，完全符合式（4.3）。

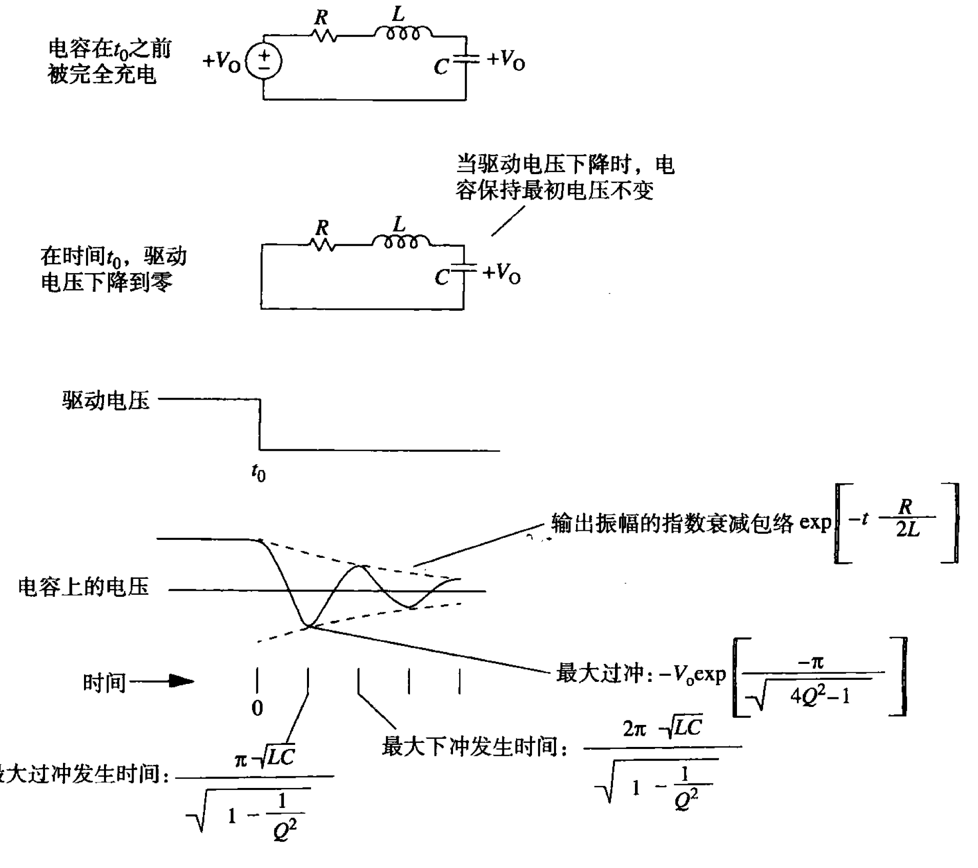


图 4.1　通过 Q 值方法计算过冲和振铃

---

① 在一个信号线上的振铃包含过冲（超过信号限度）和下冲（达到限度后继续下降，直到稳定）。

② 这个近似值公式源自一个描述 RLC 低通滤波器的二次线性微分方程的解。首先找出解的导数曲线在哪一点通过零点（一个极点），然后求这一点的值。边界条件为 $F(0) = 0$，$F(\infty) = 1.00$，$F'(0) = 0$。

根据经验，在一个理想阶跃的输入响应中，Q值为1的数字电路显示出16%的过冲，Q值为2的数字电路则显示出44%的过冲。任何Q值低于1/2的电路都不会过冲或振铃。一个电路上产生的振铃是电路本身的固有谐振频率和驱动器上升时间之间关系的一个函数。我们也将研究这个问题。

一旦我们知道了电路的电感，计算一个数字电路的Q值是很容易的。这提示我们关注点对点布线的基本问题：高电感。

当一个高电感的引线工作于大电容负载的情况下时，会形成一个高Q值的电路。

我们可以采用附录C中列出的关于一个位于接地平面之上的圆柱体导线计算公式，来算出NEWCO系统中一个典型网络的电感L：

$$L = X\left(5.08\times10^{-9}\right)\times\left(\ln\left(\frac{4H}{D}\right)\right) = 89\ \text{nH} \tag{4.4}$$

其中，L = 回路电感，H

D = 绕接线的直径，0.01 in

H = 线路在接地平面上的高度，0.2 in

X = 线的长度，4 in

采用式（3.12），可以计算出由驱动器的源端电阻、导线的串联电感和接收器的负载电容组成的RLC电路的Q值：

$R = 30\ \Omega$（一个TTL驱动器的输出电阻）

$L = 89$ nH（平均接线电感）

$C = 15$ pF（典型负载）

$$Q \approx \frac{(L/C)^{1/2}}{R_S} = \frac{(89\ \text{nH}/15\ \text{pF})^{1/2}}{30\ \Omega} = 2.6 \tag{4.5}$$

Q值为2.6意味着，对于一个理想的阶跃输入，将得到不小的振铃。由式（4.3），预期最坏情况的过冲电压为：

$V_{阶跃} = 3.7$ V（TTL阶跃输出）

$Q = 2.6$（来自式（4.5））

$$过冲 = V_{阶跃}\exp\left(\frac{-\pi}{(4Q^2-1)^{1/2}}\right) = 3.7e^{-0.616} = 2.0\ \text{V} \tag{4.6}$$

只有当NEWCO的逻辑驱动器在振铃频率以上传输有效能量时，这个最坏情况的过冲才会发生。采用式（4.7），可以找出振铃频率：

$$F_{振铃} = \frac{1}{2\pi(LC)^{1/2}} = \frac{1}{2\pi[(89\ \text{nH})\times(15\ \text{pF})]^{1/2}} = 138\ \text{MHz} \tag{4.7}$$

频谱宽度的衡量标准是转折频率，按照式（1.1）的定义，NEWCO的逻辑门电路转折频率（250 MHz）远远高于振铃频率（138 MHz），因而存在大量的电能，可以引起振铃过程。转折频率如果正好等于138 MHz，振铃就将减小大约一半。转折频率更低的逻辑门电路产生的振铃还会更小。

如果完全在时域中考虑，我们可以断定，当上升时间等于振铃周期的一半时，最坏情况下的振铃被减少一半。上升时间越长，引起的振铃越小。相反，当上升时间远远小于振铃周期的一半时，将引起最坏情况下的振铃。

我们可以从Q值的分析中发现更多的论据。我们知道，NEWCO的电路一般在138 MHz频率振铃，最大过冲为2.0 V。根据线性电路理论可以知道，最坏的过冲总是发生在阶跃边沿后振铃周期的二分之一处，因此能预知最大过冲将会发生在每个逻辑转换后的3.6 ns处。

在NEWCO的原型机中，振铃是一个大问题。

4.1.2 点对点布线的EMI

EMI（ElectroMagnetic Interference）代表电磁干扰。开放电流的环路，比如在导线绕接产品中，将会立刻被标上大大的红色EMI警示。传输快速变化电流的大电流环路会产生瞬变的磁场。来自这些环路的磁场直接辐射到FCC技术人员的检测天线中，他们将拒绝给你的数字产品颁发合格证明。关于FCC测试规定的更多信息，可以参阅本书后面的参考资料。

传输线极大地减少了EMI。它通过限制信号返回电流的流动路径来达到这一目的。对于普通的导线，电流从一个逻辑驱动器的信号线流出，然后以某种方式沿着电源线返回。这两个路径之间的距离，或者说它们之间的总环路面积，也许是几个平方英寸。依照FCC测试规程，由此而产生的磁场直接与信号电流环路的总面积成正比。

传输线结构保证了信号返回电流紧贴着信号输出路径。产生的实现电流环路面积非常小，由输出和返回电流路径产生的磁场相互抵消，极大地减少了EMI问题。正确的接地路径技术在第5章中讨论。

参考图4.2，一个印刷电路板上的信号走线位于完整接地平面上方0.005 in处，其电流环路面积比位于接地平面上方0.2 in的开放导线小40倍。对于相同的信号上升时间，这样一个印刷电路板的每条走线辐射的电磁能量比NEWCO原型机的每条导线小32 dB。

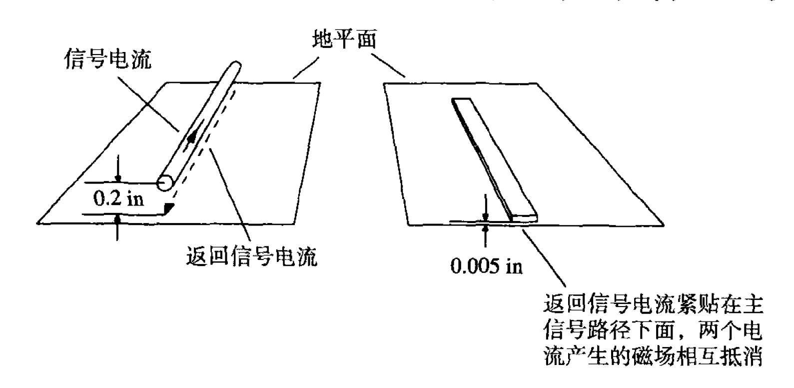


图4.2 EMI与导线到地平面的距离成正比

4.1.3 点对点布线中的串扰

如图4.3所示，由于变化磁场的作用而产生串扰。由流经环路A的电流产生的一些磁力线穿过了环路B。因此，环路A中的电流变化改变了由环路B所包围的磁通量。环路B中磁通量的变化感应产生了环路B上的噪声电压，称为串扰。环路A中的电流变化与环路B中的电压成比例，其比例常数称为环路A和B之间的互感，用符号L_M表示。

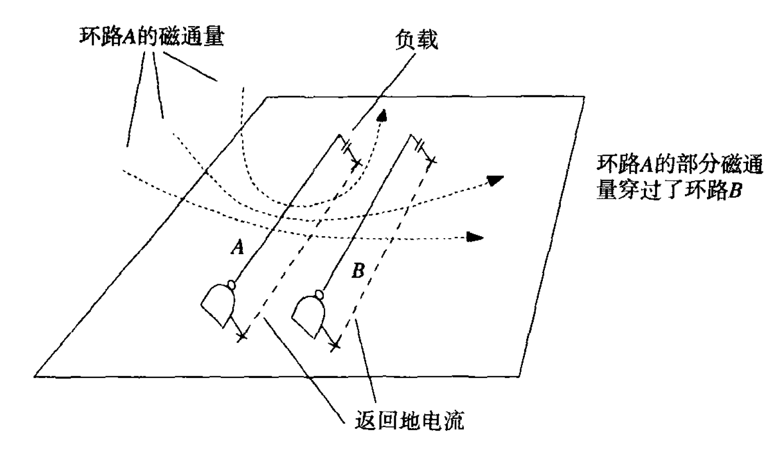


图 4.3 导线绕接系统中的串扰

在高速条件下的导线绕接系统中，串扰是一个主要的问题。让我们来计算NEWCO会有多大的串扰。假设有两个相邻的环路，每个4 in长，0.2 in高，平行间距0.1 in。

采用附录C中关于两个平行线互感的公式来计算互感值。可以用上面式（4.4）中的电感值作为传输导线的电感。

$h = 0.2$（距地平面的高度）

$s = 0.1$（两线之间的距离）

$L = 89$ nH（一条导线的电感）

$$L_M = L\left[\frac{1}{1+(s/h)^2}\right] = 71 \text{ nH} \tag{4.8}$$

其中，L_M = 两线之间的互感

这一数值与单个网络的自感相当。这就是说，两个网络将会高度地耦合，预计会出现大量的串扰。

串扰计算的下一步是找出驱动环路的最大dI/dt，并乘以互感值得到串扰电压值。在此，我们最好的推测是负载电容上接收信号的实际上升时间是3.6 ns（这是最大过冲所需的时间）。把这个数值代入到式（2.42）中：

$$\Delta V = 3.7 \text{ V}$$

$$T_{10\%\sim90\%} = 3.6 \text{ ns（估算）}$$

$$C = 15 \text{ pF（负载电容）}$$

$$\frac{dI}{dt}(\max) = \frac{1.52\times\Delta V}{T_{10\%\sim90\%}{}^2}\ C = \frac{(1.52)\times(3.7)}{(3.6\times10^{-9})^2}\times15\times10^{-12} = 6.5\times10^{6}\ \text{A/s} \tag{4.9}$$

计算得出串扰为12%（0.46 V）

$$\text{串扰} = \frac{dI}{dt}(\max)\,L_M = (6.5\times10^{6})\times(71\times10^{-9}) = 0.46 \text{ V} \tag{4.10}$$

你感到惊讶吗？仅 4 in 的相邻导线就产生了 460 mV 的串扰。在 0.1 in 的半径内，一个好的技术人员能轻易地将 10 或 20 根导线绑在一起。来自每根导线的串扰会线性地叠加。来自 10 根邻近导线的串扰将达到 50%，足以引起严重的差错。

在构造高速总线时，采用大捆的平行导线从一处连到另一处的做法是很可怕的。技术人员为了能看清楚写在每个芯片背面的引脚号，他们喜欢把芯片之间的导线归拢到一起。这个习惯使串扰问题更加恶化。直接的点对点连线，把导线下压，以尽可能地贴近接地平面，比集中或捆绑导线要好得多。

当项目终止的时候，NEWCO 放弃了它的原型机（具有 128 位的总线结构），甚至从来没有让它完全运行过。他们浪费了好几个星期的宝贵设计时间，而且没能在印刷电路布局之前验证设计中的关键问题。

记忆要点

- 如果不端接，分布电路肯定会振铃。如果集总参数电路的 Q 值太高，同样也可能振铃。
- 点对点布线存在大的电感。该电感与一个大的电容负载一起工作时，会形成一个高 Q 值的电路。
- 在大的电流环路中，电流快速变化时会产生瞬变的磁场。减少电流环路的面积将降低 EMI。
- 直接的点对点连线，把导线下压，以尽可能地贴近接地平面，比集中或捆绑导线要好得多。
- 具有大量连线的系统应该特别注意串扰。

4.2　无限均匀传输线

传输线有许多异乎寻常的特性而成为许多学术研究的课题。这里只研究那些与高速数字信号在铜介质上的分布规律有关的基本现象。本书后面列出了许多很好的参考书籍，提供了关于传输线的更多信息。

我们将研究的传输线类型包括：同轴电缆、双绞线、微带线和带状线 4 种结构（见图 4.4）。

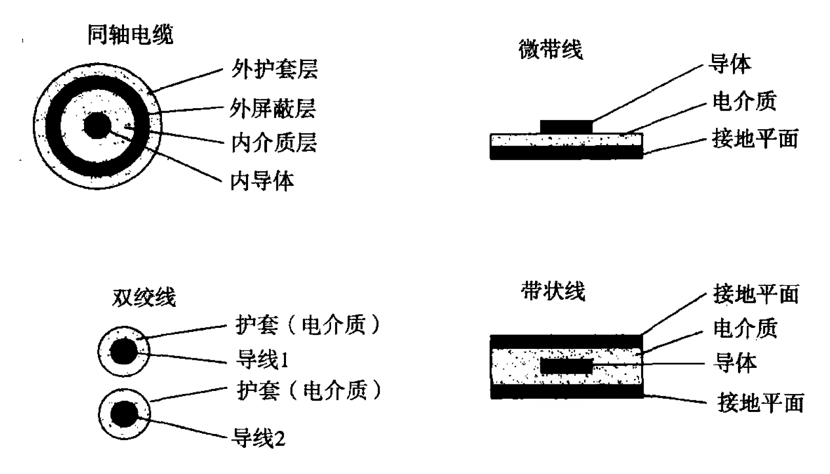


图 4.4　常用传输线的几何截面图

4.2.1 理想的无畸变、无损耗传输线

理想的传输线由两个理想导体组成。这些导体电阻为零，在其截面上均匀一致，而且长度无限延伸。图4.4举例说明了4种常用的形式。其中既有平衡类型的传输线结构（双绞线），也有单端类型。单端类型又称为非平衡类型的传输线结构（同轴、微带和带状线）。在一个平衡传输线中，信号电流沿着一根导线流出，然后从另一根导线返回。在单端类型传输线中，信号电流沿着信号导线流出后沿接地导体返回。单端类型传输线的接地线通常比信号线大，而且可能被许多信号线共享。

信号电压加在理想传输线的一端，以恒定的速度持续地传播，没有畸变或衰减。我们把任何具有以下3个特性的传输线称为理想传输线：

- 长度是无限的（从这里开始，沿一个方向无限向前延伸）
- 线上传播的信号在行进中没有畸变
- 线上传播的信号在行进中不被衰减

理想传输线上任何一点的电压都是输入波形的理想复制，只是沿着传输线向前有一定的延迟。该传输线单位长度延迟的时间量称为它的传播延迟（propagation delay），在本书中以皮秒/英寸（ps/in）为单位表示。传播速度（propagation velocity）和传输速度（transmission velocity）两者都是指传播延迟的倒数。速度的单位采用英寸/皮秒（in/ps）比较方便。一些参考资料以百分比形式来表示传输速度，其中真空中的光速为100%。真空中的光速等于0.0118 in/ps，或者表示为84.7 ps/in的时间延迟。66%的相对速度引起的单位长度延迟更长，其每英寸的延迟时间等于：

$$\text{延迟}\ (\text{ps/in}) = \frac{84.7\ \text{ps/in}}{\text{百分比速率}} = \frac{84.7}{0.66} = 128\ \text{ps/in} \tag{4.11}$$

任何传输线的传播延迟都与其单位长度的串联电感和单位长度的并联电容有关。这不是什么令人惊奇的事情：传输线的每一段都会有一个寄生串联电感（导体总是如此）。所有的邻近导体间同样也存在一些互容。在传输线中，这些因素与长度成正比，而且它们之间的良好平衡可以达到信号的无畸变传播。

让我们来测量RG-58/U同轴电缆的电容和电感，如图4.5所示。首先截取一段10 in的RG-58/U同轴电缆。使用一个高品质的阻抗测量计，测量它的电容。正确的数值应是26 pF，因此得到2.6 pF/in。

然后，将一段同样的10 in电缆的一端短接，并测量（从另一端）它的电感。这里的正确数值是64 nH，得到6.4 nH/in。

使用一个非常灵敏的四端欧姆表，可以发现这个电缆中心的导体也有一个0.009 Ω的串联电阻，或表示为0.9 mΩ/in。理想传输线的电阻应该是零，但对于我们的目的来说，此时10 in的RG-58/U同轴电缆线段已经足够接近理想的情况。

电磁波理论[①]认为传播延迟应该等于：

$$\text{延迟}\ (\text{ps/in}) = 10^{+12}[(L/\text{in})(C/\text{in})]^{1/2} \tag{4.12}$$

① 见S. R. Seshadri, *Fundamentals of Transmission Line and Electromagnetic Fields*, Addsion-Wesly, Reading, Mass., 1971.

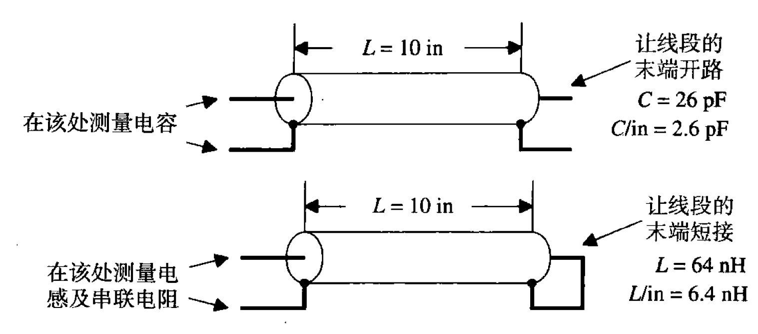


图 4.5 传输线固有电感和电容的测量

如果电感和电容并不是以英寸为单位来表示的，那么它们乘积的平方根相应地应该等于以秒为单位的单位距离上的时间延迟。式（4.12）以 ps/in 计算时间延迟，以方便与印刷电路板相关的计算工作。

如果已知单位长度的电容和传播延迟，就能确定该传输线的输入阻抗。通过在传输线的一端施加一个阶跃电压，而后确定必须要有多大的电流流入传输线之内，用以维持产生的波形均匀一致地传播，即可得到该传输线的输入阻抗。

如图 4.6 所示，设想一个 V 伏的阶跃电压沿着传输线传播。图 4.6 中显示，从电缆开始的地方依次到前方电缆上的 X 和 Y 点位置处的电压波形是一个时间的函数。在 t_0 时刻，阶跃电压通过 X 点，在 t_1 时刻，阶跃电压通过 Y 点。在时间间隔 T 的区间内，点 X 到 Y 的电容充电至电压 V。

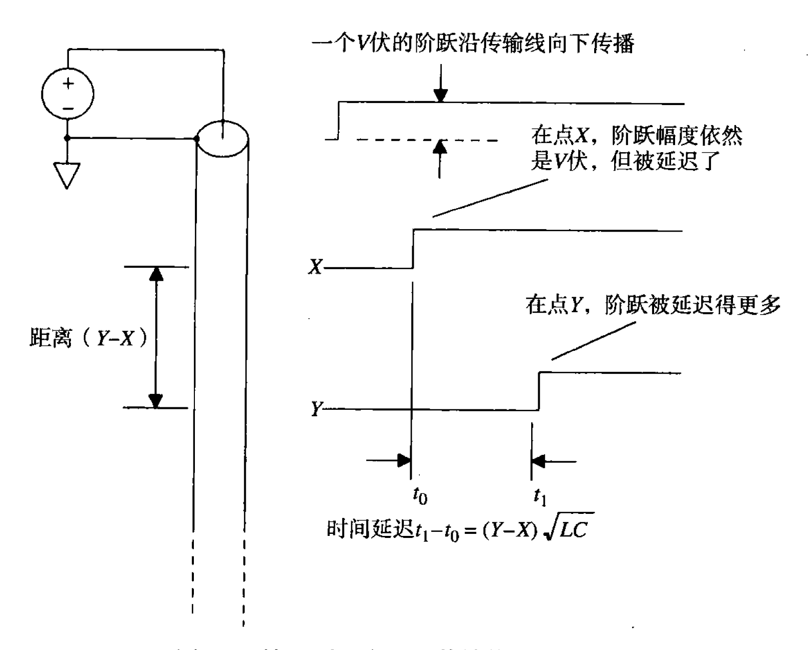


图 4.6 输入到一个理想传输线的电压阶跃

把点 X 到 Y 之间的电容充电到电压 V 需要多少电流呢？首先，计算电容 C：

$$C_{XY} = (C/\text{in})(Y-X) \tag{4.13}$$

总计的充电电荷量（肯定来自信号源）等于：

$$充电电荷量 = C_{XY}V = (C/\text{in})(Y-X)V \tag{4.14}$$

C_{XY}充电所必须的时间间隔（以秒为单位）等于两个点的距离乘以每单位长度的传播延迟（秒/单位长度）：

$$T = (Y-X)((L/\text{in})(C/\text{in}))^{1/2} \tag{4.15}$$

平均电流必定等于每单位时间 T 所供给的充电电荷：

$$I = \frac{充电电荷量}{T} \tag{4.16}$$

分别用式（4.14）和式（4.15）替换充电电荷量和 T：

$$I = \frac{(C/\text{in})(Y-X)V}{(Y-X)((L/\text{in})(C/\text{in}))^{1/2}} \tag{4.17}$$

这里得出了为维持一个V伏阶跃边沿的传播所必需的输入电流。化简并求解比率V/I，式（4.18）显示了传输线的输入阻抗，称为 Z_0，或称为特性阻抗（characteristic impedance）：

$$Z_0 = \frac{V}{I} = \left(\frac{L/\text{in}}{C/\text{in}}\right)^{1/2} \tag{4.18}$$

注意这个比值，即输入阻抗，是一个常数。它没有虚部，而且也不是一个频率的函数。这个固定的比值是传输线物理结构的一个函数。通常特性阻抗的范围从 10 Ω（双层屏蔽电缆的内层和外层屏蔽之间）到 300 Ω（平衡结构的电视天线连接电缆）。

一段 RG-58/U 的特性阻抗为

$$Z_0 = \left(\frac{6.4\ \text{nH}}{2.6\ \text{pF}}\right)^{1/2} = 50\ \Omega \tag{4.19}$$

RG-58/U 的特性阻抗数值在“Belden Wire and Cable Master Catalog 885”中列出。

印刷电路板中使用的特性阻抗典型值从50~75 Ω不等。图4.7表示出了在环氧树脂FR-4板基上做出这些阻抗所需的粗略走线尺寸。附录C包含了特性阻抗的精确计算公式。我们用符号Z_0来表示理想传输线的特性阻抗。

我们把一个信号加到理想传输线上，该信号来自一个有固定输出阻抗的驱动电路。其结果如图4.8所示。该图同时也显示了驱动同一信号进入一个电阻器和进入一个电容器的结果。在所有的例子中，信号都是一个单元阶跃，而且驱动电路的输出阻抗都为 R_s。

阻性负载R_L成了一个简单的分压器。这个分压器使得A点的输出电压减小，成为实际驱动电压固定的一部分。如果负载的阻抗超过驱动器的阻抗，则驱动信号的大部分电压出现在A点。

理想的传输线有一个阻性的输入阻抗，其特性完全如同一个电阻负载。在B点出现的电压（实际沿电缆向下传播）是空载时驱动电压 V_0 固定的一部分，式（4.20）称为这个传输线的输入接收公式：

$$V_{接收} = V_0 \frac{Z_0}{R_S + Z_0} \tag{4.20}$$

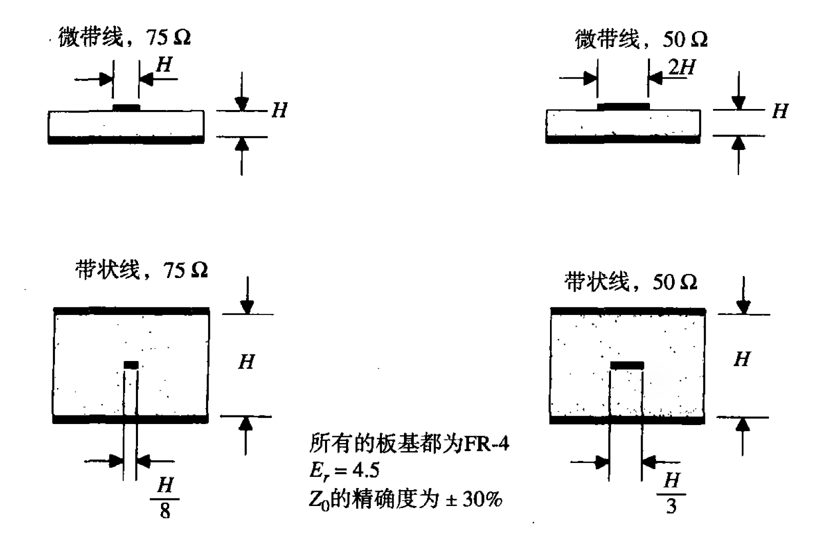


图 4.7　产生 50 Ω 和 75Ω 传输线所需走线的近似几何结构截面图

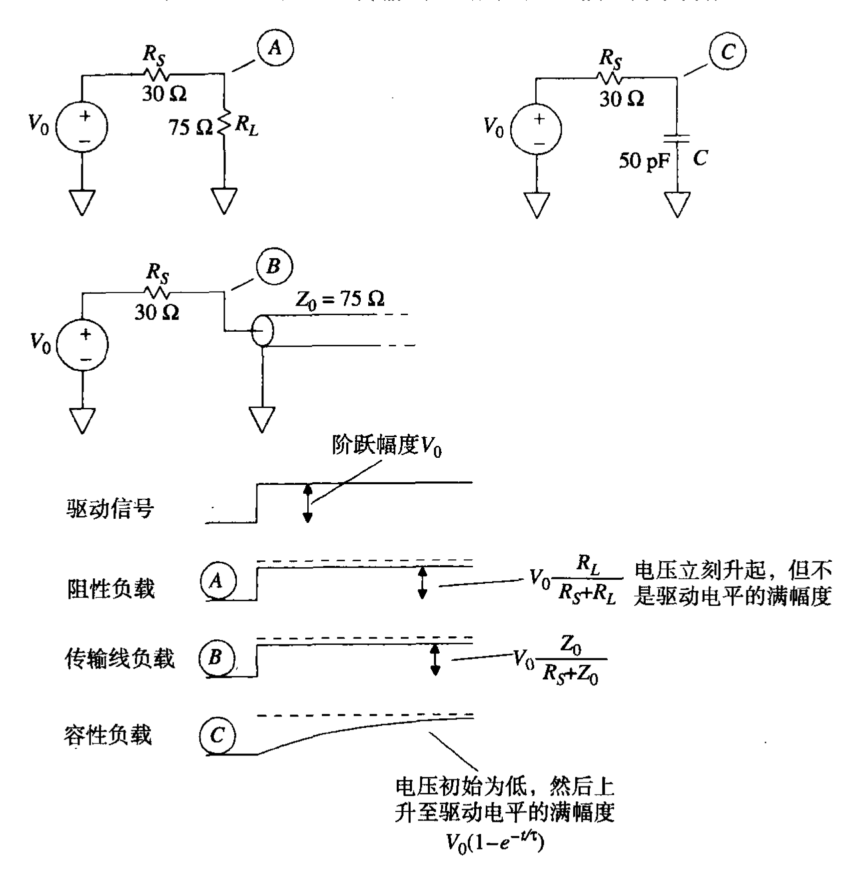


图 4.8　理想传输线与一个电容器的区别

理想传输线的响应与电容器不同。电容器的瞬时阻抗相当低，开始先衰减驱动信号，然后，随着时间推移，流过电阻 R_s 的电流对电容器充电，输出电压在 C 点上升，逐渐逼近它的最终数值。其最终数值等于驱动电压。

存在这样的情况，当一个信号源的源端阻抗过高时，所驱动的传输线对于驱动电路来说像加载了一个电容一样。4.4节将说明这一效应。目前应该记住，对于一个理想的无限传输线，其输入应看成是阻性的，而不是容性的。

4.2.2 有损耗的传输线

理想传输线的电阻应该为零。实际传输线总是有一些小的串联电阻。实际传输线的非零电阻会引起传播信号的衰减（损耗）和畸变。这一节讲述应该如何估算传输线电阻，以及如何推算它的损耗。

对于长的电缆，串联电阻以欧姆/千英尺（Ω/1000 ft）为单位计量。对于双绞线电缆的情况，这个电阻包含输出线和返回线两者的串联电阻。对于同轴电缆，电阻应包含中心导线和外部屏蔽层的电阻。为了正确计算衰减，内部导线电阻和同轴屏蔽电阻必须要相加，因为两者有同等的电流流过。

这里有8个经验法则，用于计算圆铜芯导线的电阻：

1. 24号标准电缆（AWG24，美国线规24），直径为0.02 in。电阻为25 Ω/1000 ft（室温）。
2. 在室温下，AWG24双绞线电缆的总串联电阻为50 Ω/1000 ft（1000 ft的输出线和1000 ft的返回线）。
3. RG-58/U同轴电缆使用的标准线芯为AWG20，其电阻为10.8 Ω/1000 ft（室温）。
4. 美国线规系统采用的是电缆线芯直径的对数值。号值越大，电缆线芯直径越小。
5. AWG号值每增加3个点，相应电缆的电阻增加一倍。
6. AWG号值每增加3个点，电缆的横截面积减少一半。
7. 直径与面积的平方根成正比，AWG号值每增加6个点，线芯直径减少一半。
8. 温度每增加1℃，铜的电阻增加0.39%。温度范围超过70℃，变化将是31%。

以下是AWG大小和线芯（英寸为单位）的简单转换关系式：

$$\text{AWG} = (-10) - 20\log_{10}(\text{以英寸为单位的直径}) \tag{4.21}$$

$$\text{英寸为单位的直径} = 10^{-(\text{AWG}+10)/20} \tag{4.22}$$

$$R/\text{千英尺} = \frac{0.01\ \Omega}{(\text{直径})^2} \quad (25℃) \tag{4.23}$$

$$R/\text{千英尺} = 10^{(\text{AWG}-10)/10} \quad (25℃) \tag{4.24}$$

印刷电路走线的电阻是覆铜厚度和走线线宽的函数。走线覆铜厚度由电镀重量决定，电镀重量的典型值为1 oz或2 oz，分别对应于0.00135或0.0027 in的覆铜厚度[①]。每英寸印刷电路走线的电阻可以通过它的厚度和宽度来计算：

$$R = \frac{0.658\ 66\times10^{-6}}{WT}\ \Omega/\text{in} \tag{4.25}$$

其中，R = 走线的串联电阻，Ω/in

W = 走线的宽度，in

T = 走线的厚度，in

① 电镀重量指的是在每平方英尺平坦表面上沉积铜的盎司数。

如果已知覆铜的电镀重量，可以直接使用：

$$R = \frac{0.000487}{(W)(oz)}\ \Omega/\text{in} \tag{4.26}$$

其中，R = 走线的串联电阻，Ω/in

W = 走线的宽度，in

oz = 电镀铜的厚度，oz

电缆的串联电阻把衰减（损耗）和畸变加入了理想传输线模型。信号衰减意味着当信号沿着电缆前进时会越来越小。信号畸变意味着当不同频率的信号传播时，其衰减（和相移）的程度不同。距离电缆起点 X 英寸的点上的信号衰减、相移和频率的相互关系可以由式（4.27）得到。这个公式只适用于无限延伸的传输线。截断或端接的传输线不再遵循式（4.27）。4.3 节会讨论截断和端接的影响。

$$H_X(w) = e^{-X[(R+jwL)(G+jwC)]^{1/2}} \tag{4.27}$$

其中，R = 走线的串联电阻，Ω/in

L = 走线的串联电感，H/in

C = 走线的并联电容，F/in

G = 走线的并联电导，S/in[①]

$H(w)$ = 在频率 $w = 2\pi f$ 条件下传输线的振幅和相位响应的复合函数

X = 电缆的长度，in

对于大多数数字传输情况，项 G 几乎为零。这一项是作为长电缆中由于信号导体间的潮湿或绝缘不良而导致的电流泄漏效应的模型。处理介电损耗的情况时它也同样出现。

对于印刷电路、扁平电缆或者频率在 1 GHz 以下室内安装的同轴电缆，我们可以有把握假定 G 为零。

假设 G 为零时，简化了式（4.27）的形式：

$$H_X(w) = e^{-X((R+jwL)(jwC))1/2} \tag{4.28}$$

把式（4.28）的指数分为实部和虚部，实部控制衰减，而虚部控制相移：

$$H_X(w) = e^{-X\,\mathrm{Re}((R+jwL)(jwC))^{1/2}}\,e^{-Xj\,\mathrm{Im}((R+jwL)(jwC))^{1/2}} \tag{4.29}$$

$$\text{在频率 } w \text{ 上的衰减} = e^{-X\,\mathrm{Re}((R+jwL)(jwC))^{1/2}} \tag{4.30}$$

$$\text{在频率 } w \text{ 上的相移} = e^{-Xj\,\mathrm{Im}((R+jwL)(jwC))^{1/2}} \tag{4.31}$$

项 $-\mathrm{Re}((R+jwL)(jwC))^{1/2}$ 为单位长度的信号振幅的对数，与传输线衰减的分贝值成正比。

项 $-\mathrm{Im}((R+jwL)(jwC))^{1/2}$ 为单位长度传输线的相移（弧度）。把衰减和相移项合并到一起，构成了传输线的传播因数（propagation coefficient）。

传输线的串联电阻扰乱了特性阻抗。式（4.32）将传输线的特性阻抗描述为频率的函数：

$$Z_0(w) = \left(\frac{R+jwL}{jwC}\right)^{1/2} \tag{4.32}$$

① 原著中单位为 mhos/in，即姆欧 /in，姆欧即 ohm（欧姆）的倒数，同 S（西门子）。——译者注

特性阻抗是频率的一个强函数。在低频时，R 超过 wL 的情况下，由式（4.32）得到的特性阻抗与频率的平方根成反比。在高频时，wL 超过 R 的情况下，特性阻抗变得平坦而趋近一个常数。这两种工作状态在实际的传输线中通常都会有。依据我们选择的传输线工作频率的不同，其特性或者是一个 RC 传输线（低频），或者是一个低损耗传输线（高频）。具体情况可以由式（4.32）中的感性项和阻性项量值的相对大小来分辨：

RC 传输线情况

$$w \ll R/L \qquad （同时 R \gg wL） \tag{4.33}$$

低损耗传输线情况：

$$w \gg R/L \qquad （同时 R \ll wL） \tag{4.34}$$

正如其在高速数字工程中的重要位置一样，我们首先要研究低损耗传输线。

4.2.2.1 低耗损传输线

当 w 上升到大于 R/L 时，项 $((R+jwL)(jwC))^{1/2}$ 的相位角接近 $+\pi/2$。当这种情况发生时，虚部实际上等于 $w(LC)^{1/2}$，而实部稳定在 $\frac{1}{2}(R(C/L)^{1/2})$。

图4.9显示了RG-58/U同轴电缆的结果。图中绘出了传播因数的实部和虚部相对于频率的变化。曲线采用对数坐标轴，突出显示了曲线中 w^0，$w^{1/2}$ 和 w^1 的相互关系。在频率 R/L 以下，实部（对数衰减）和虚部（相位角）与 $w^{1/2}$ 成正比。在频率 R/L 以上，虚部（相位）随频率线性增加，而实部（衰减）保持固定不变。

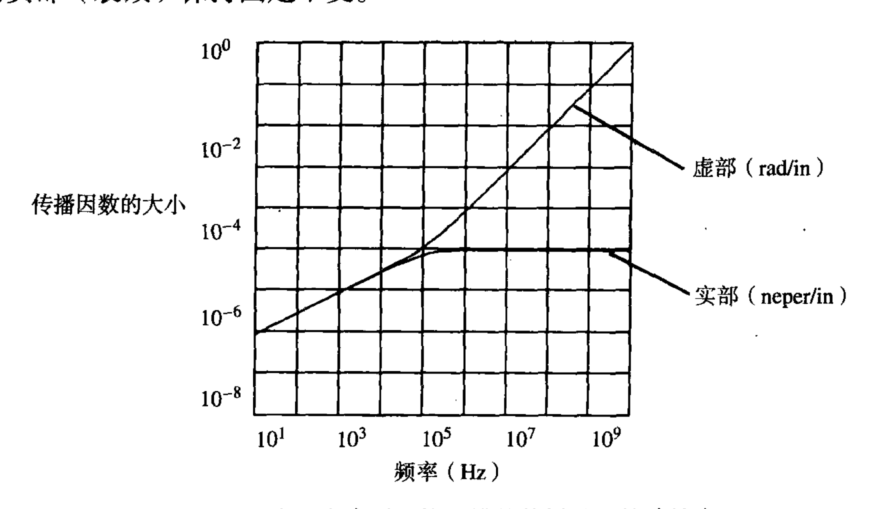


图4.9 具有固定串联阻抗电缆的传播（无趋肤效应）

相位的线性变化和衰减固定的特征暗示着：对于在 R/L 以上的频率，传输线可以看成仅仅是一个简单的时间延时元件。延时与距离成正比。双倍距离产生双倍的延时。

该延时元件的增益总是小于1（我们讨论的是有损耗的电路）。以dB为单位，损耗与距离成正比。双倍的距离产生双倍的dB损耗。1 neper（奈培，衰耗单位）等于8.69 dB的衰耗。

频率在 R/L 以上，特性阻抗保持为常数 $(L/C)^{1/2}$。在高频条件下，特性阻抗是一个实数，如同一个普通的电阻。

对于工作在低损耗范围的传输线，一个比较好的模型是：

$$\text{特性阻抗}, Z_0 = (L/C)^{1/2} \tag{4.35}$$

$$X\text{英寸的衰减} = e^{-\left[\frac{RX}{2(L/C)^{1/2}}\right]} \tag{4.36}$$

$$\text{每英寸的衰耗} = 4.34\left[\frac{R}{(L/C)^{1/2}}\right]\text{dB} \tag{4.37}$$

$$\text{每英寸的延迟}, T_p = (LC)^{1/2}\ (\text{s/in}) \tag{4.38}$$

从式（4.35）和式（4.38）可以推导出下面便于使用的关系式：

$$L = Z_0 T_p \tag{4.39}$$

$$C = \frac{T_p}{Z_0} \tag{4.40}$$

其中，L = 电感，H/in

C = 电容，F/in

T_p = 传播延迟，s/in

Z_0 = 特性阻抗，Ω

普通的数字逻辑门电路只能容忍非常小的信号衰减。对于接收信号的幅值，任何微小的衰减都可能占掉一大块接收数据噪声容限。因此，板卡上的数字信号传输网络被设计成具有极低的衰耗。低损耗意味着低电阻。我们用式（4.42）来确定多大的电阻值是可以接受的。

首先设定由式（4.37）给出损耗等于一个额定的较小值0.2 dB（2%的损耗）：

$$(X)4.34\left[\frac{R}{(L/C)^{1/2}}\right] = 0.2 \tag{4.41}$$

其中，X = 传输线长度，in

R = 传输线阻抗，Ω/in

L = 传输线电感，H/in

C = 传输线电容，F/in

重新整理式（4.41），把总的线路电阻RX移到左边，显示允许的最大总电阻。由式（4.42）得出结论：对于低损耗情况下，总的线路电阻RX是传输线特性阻抗很小的一部分。

$$RX = 0.046(L/C)^{1/2} \tag{4.42}$$

其中，RX = 总的线路阻抗，Ω

L = 传输线电感，H/in

C = 传输线电容，F/in

记住，这些方程式只适用于无限长、无端接的传输线。必须在线路的一端驱动，在距驱动器某一距离的X处观察。同样要注意电阻R，即线路的DC电阻，在这些公式中以常数出现。4.2.3节将讨论与其相关的趋肤效应，它会导致高频时电阻R增大很多。还有，这里假设损耗小于0.2 dB，所以信号衰减只有2%。

4.2.2.2 *RC*传输线

如果频率低于*R/L*将会发生什么呢？图4.9显示，频率低于*R/L*，衰减变小（接收信号变大）。同时，相位与频率的平方根成正比，与低损耗情况下相位和频率成线性变化不同。这个非线性相位关系导致信号畸变，因为信号的不同部分其相移的变化量不同。式（4.32）同时也显示，特性阻抗在频率低于*R/L*时，上升非常快。

工作在该区域的传输线称为*RC*传输线。描述这种线路特征的偏微分方程称为传播方程（diffusion equations），这种线路有时又称为扩散（diffusion line）。

例4.1 *RC*传输线

在你的房间中，也许就有*RC*传输线。从电话交换局到你的电话机之间的线一般使用AWG24线。这些导线通过双绞结构产生下面的*L*，*C*和*R*值：

$$Z_0(w)=\left(\frac{R+jwL}{jwC}\right)^{1/2}=|648|\angle-45^\circ \tag{4.43}$$

其中，$R=0.0042\ \Omega/\text{in}$

$L=10\ \text{nH/in}$

$C=1\ \text{pF/in}$

$w=10\,000\ \text{rad/s}$（1600 Hz），语音信号的标称频率

在1600 Hz，即电话线上语音频带的中心频率，我们发现线路的特性阻抗值是648 Ω，相位角是–45°。你考虑过这和电话公司按照惯例使用600 Ω端接电话线的关系吗？

在超大规模电路中，多晶硅或者其他相对高阻抗材质的互连长线（0.2 in），在数字频率上经常表现出*RC*传输线的特征。另外，非常长的导线工作在低频时，例如最初的越洋电话电缆，就工作在这个区域。

那些希望工作在*RC*区域以达到非常低的损耗的工程师们，必须把信号频带限制在*R/L*以下。换句话说，数字转折频率，如式（1.1）的定义，必须在*R/L*之下。

在典型的短距离数字运用中，因为数字信号的上升时间很短，导致数字转折频率位于*R/L*界线之上。

这些短的上升时间迫使我们要适应在低损耗工作域中具有的更高但却是固定的衰减。如果设计的宽带电路工作在低损耗区域，要确保其工作频率低至*RC*区域之内。因此，我们不必更多地研究*RC*传输线。

4.2.3 趋肤效应

对于每个电气参数，必须考虑其数值有效时的频率范围。传输线的串联电阻也不例外。与其他参数一样，它也是频率的函数。图4.10画出了RG-58/U的等效串联电阻与频率的函数曲线。图中采用对数坐标轴。图4.10以相同的坐标轴绘出了感抗*wL*的曲线。

当频率低于$w=R/L$时，电阻超过感抗，电缆表现为一个*RC*传输线（特性阻抗随频率变化，非线性的相位延时）。当频率高于$w=R/L$时，电缆是一个低损耗传输线（特性阻抗为常数，线性的相位延时）。

当频率高于10^5 Hz时，串联电阻开始增大。这导致更多的衰减（更大的损耗），但相位保持线性。这种电阻的增加称为趋肤效应（skin effect）。

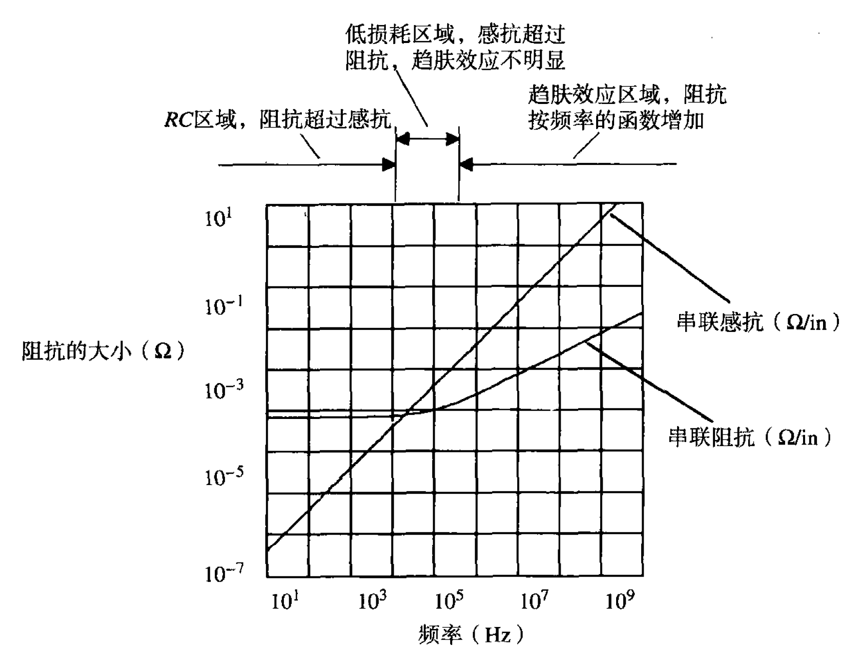


图4.10 RG-58/U同轴电缆的串联阻抗以及串联感抗与频率的关系

传播因数的实部和虚部$((R+jwL)(jwC))^{1/2}$在图4.11中绘出，损耗单位为奈培（neper），相位单位为rad（弧度）。1奈培等于8.69 dB的损耗。图中显示了*RC*区域、固定衰减区域和趋肤效应区域（在此区域中，衰减增加但相位呈线性）。如图所示，相对于*RC*区域和趋肤效应区域，低损耗区域非常窄。

是什么导致了趋肤效应，它与导体外表层有什么关系呢?

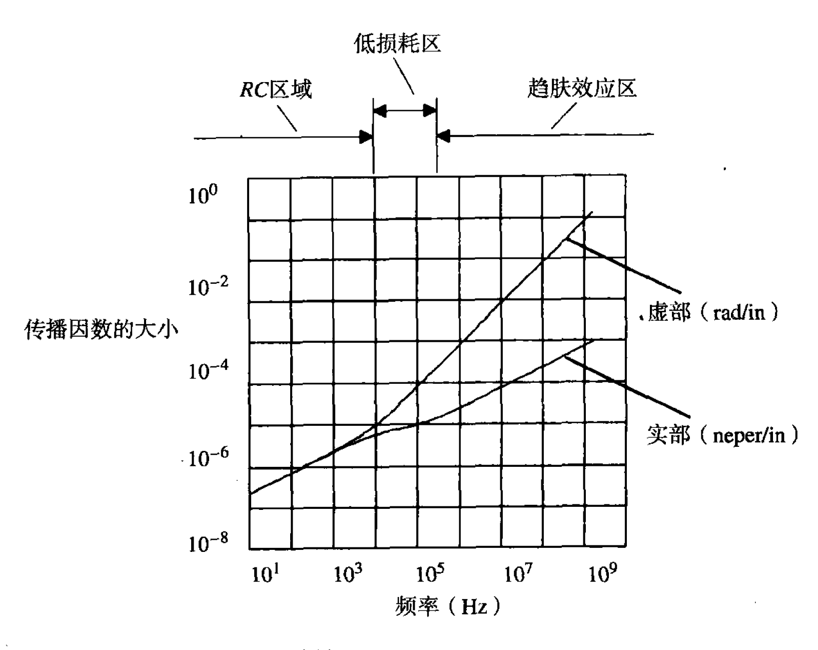
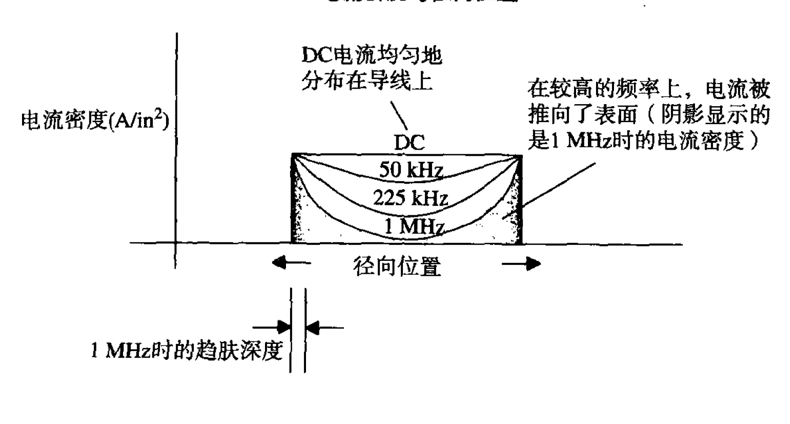


图4.11 包含趋肤效应的RG-58/U同轴电缆的传播因数

4.2.3.1 趋肤效应的机理

在低频时，电流在导体内部的分布密度是均匀的。从导线的截面图看，中心和边缘区域电流的流量是相同的。

在高频时，导线表面的电流密度变大，而中心区域几乎没有电流流过。电流分布的变化如图 4.12 所示。低频时电流均匀地填满整个导线，高频时电流只从接近导线表面的地方流过。



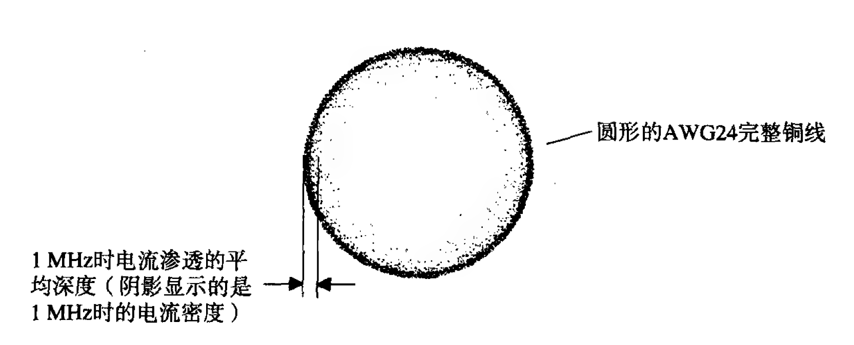


图 4.12 圆形导线的电流分布

为了形象地证明高频条件下电流的分布，首先假设导线被纵向切成多层同心的长管，就像树桩上的年轮。

自然对称的形状可以阻止电流在环间流动，所以切割不会带来什么影响。所有电流绝对平行于导线的中心轴。

现在，导线被切成许多环，我们可以分别考虑每个环的电感。靠近中心的环，像长而薄的管道，比外部的环有更大的电感。我们知道，在高频条件下，电流将从电感更低的通路流过。因此，高频条件下可以预计从外环通路流过的电流比内环更多。实际上正是如此。在高频条件下，绝大多数的电流聚集在靠近导体的外表面。

趋肤效应的作用力甚至比仅仅基于各个环管电感的预测作用更显著，实际上，环管间的互感也迫使电流紧贴着导线的外表面流过。

电流渗透的平均深度，称为趋肤深度（skin depth）。在高频条件下，趋肤深度是相当薄的。随着向内部的接近，在趋肤效应作用下，导体内部电流密度按指数规律下降，平均电流深度（趋肤深度）是频率 w（单 rad/s）、导体的磁介系数 μ、电阻系数 p 的函数：

$$趋肤深度=\left(\frac{2p}{w\mu}\right)^{1/2} \tag{4.44}$$

由于大多数电流在导体表面附近的一个薄的管道中流动，可以想象这个导体的视在电阻（apparent resistance）会大大增加。增加的大小是趋肤深度的函数。导体的视在电阻与电流流经的深度（趋肤深度）成反比。式（4.44）表明，趋肤深度与频率的平方根成反比。综合这些因素，导体的 AC 电阻与频率的平方根成正比增长。

趋肤深度是材料的一个属性，随导体材料的整体电导率的不同而变化。它不是导体形状的函数[①]。图 4.13 绘出了铜的趋肤深度与频率的函数曲线。图 4.13 中的第二条曲线给出了 AWG24 圆形铜导线的电阻相对于频率的变化。当频率足够低时，趋肤深度等于或大于导线的半径，我们只考虑导线总的DC阻抗（电流分布在整个导体内）。当趋肤深度小于导线半径时，每英寸的电阻与频率的平方根成正比增长。式（4.45）给出了趋肤深度在有限范围内的电阻。

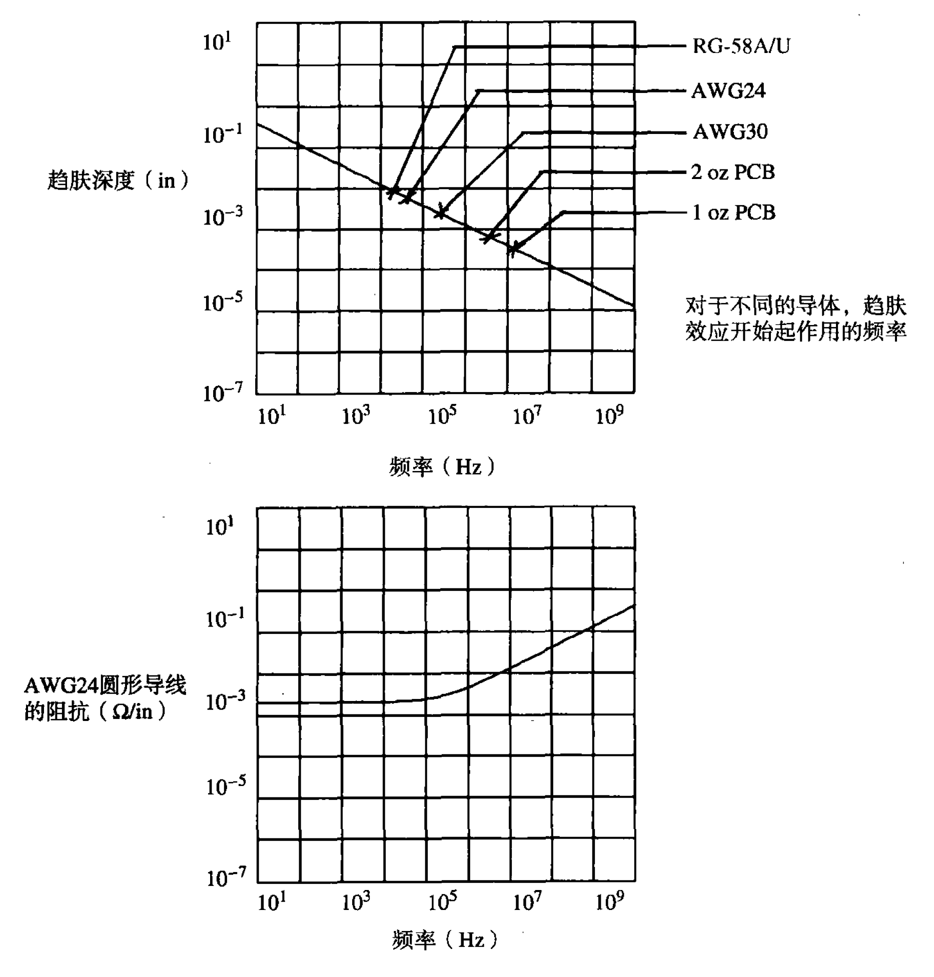


图 4.13　铜的趋肤效应与频率

$$R_{AC}(f)=\frac{(2.61\times10^{-7})\times(f\rho_r)^{1/2}}{\pi D} \tag{4.45}$$

---

① 频率在 10 GHz 以上，表面的光洁度起一定的作用。

其中，D = 线路直径，in

R_{AC} = AC 阻抗，Ω/in

p_r = 相对电阻系数（相对于铜），铜 =1.00

f = 频率，Hz

在实践中，运用式（4.45）存在的问题是，低频时得出的电阻值为零。我们知道，直流时导线电阻是一个非零值。式（4.46）试图将 AC 和 DC 电阻模型合并到一个公式中。对于该复合模型，没有一个封闭型的解；式（4.46）仅仅是一个有用的近似。

$$R(f) = \left\{(R_{DC})^2 + \left[R_{AC}(f)\right]^2\right\}^{1/2} \tag{4.46}$$

这一方程式更好地模拟了物理现实：低频时电阻保持常数，高频时电阻随频率的平方根成正比增长。电阻开始增长时的频率，等于趋肤深度开始小于导体厚度时的频率。对于圆形导体，临界深度等于导体的半径。对于扁平的矩形导体，例如印刷电路板走线，临界深度为导体厚度的一半。

对于方形导体，采用式（4.45）和式（4.46）时，用方形导体的周长替代 πD，以英寸为单位。表 4.1 列出了各种导体中趋肤效应开始起作用时的频率。

表 4.1　导体的趋肤效应频率

圆导体	半径	趋肤效应频率（kHz）
RG-58/U	0.017	21
AWG 24	0.010	65
AWG 30	0.005	260
印刷电路走线	**覆铜重量（oz）**	**趋肤效应频率（MHz）**
宽度 0.010	2	3.5
宽度 0.005	2	3.5
宽度 0.010	1	14.0
宽度 0.005	1	14.0

如果趋肤效应是一种表面化现象，那么增大表面面积应该对趋肤效应有所帮助。Litz 电缆（绞合线）正是这样做的。一段 Litz 电缆由多股导线构成，每股导线彼此之间都是绝缘的，以特定的绞合方式编织到一起。这一绞合保证了每股导线都受到同样大小的磁力作用，使得每股导线中流过的电流相等。多股导线使总表面积增大，降低了趋肤效应的电阻。Litz 电缆用于巨型超导电磁线圈以及频率可达 1 MHz 的电机转子中。超过这个频率，使每股导线中的电流保持均衡就变得几乎不可能了。

4.2.3.2　趋肤效应区的频率响应

用式（4.46）替代式（4.28）中的 R，可以预测出工作在趋肤效应区的传输线的衰减和相移。

以 dB 为单位的传输损耗与电阻成正比，见式（4.37）。电阻与频率的平方根成正比。所以，衰减的分贝数必然与频率的平方根成正比。这一结果清楚地显示在 RG-174/U 衰减曲线中，见图 4.14。

介绍传输线理论的文章常常重点关注图4.14中的中心区域，位于RC区和趋肤效应区之间。在这个中心区域，电缆衰减随频率的变化是平坦的，不存在相位失真，而且特性阻抗也是平坦

的。在这个区域，电缆（除了固定衰减外）看起来是理想状态。在实际情况中，即使这个理想的工作区域存在，也是在很窄的范围以内。

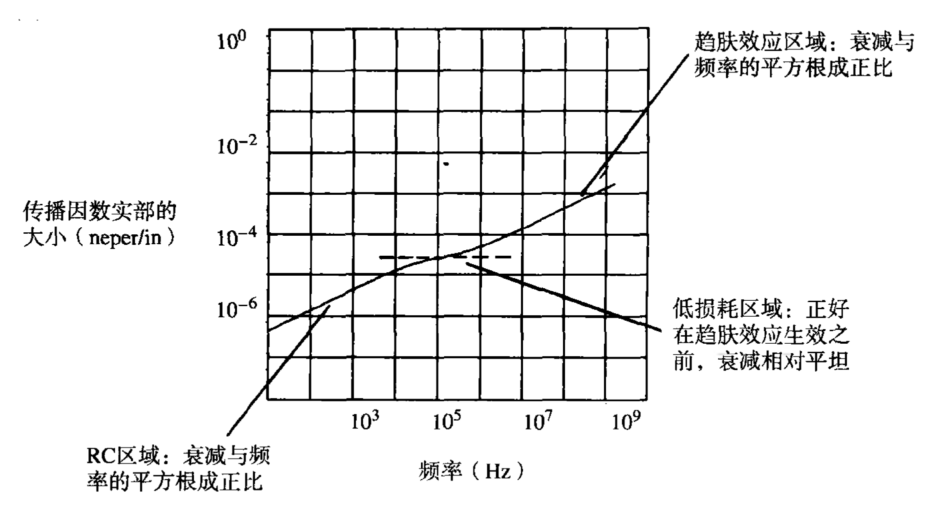


图 4.14 RG-174/U 的衰减系数呈现的趋肤效应

在趋肤效应区，电缆的长度减少一半会使它的频率响应有4倍的改善。这是因为衰减与电阻（频率的平方根）和长度之积成正比。当我们减少一半的长度，衰减也将减少一半。当我们把频率增加4倍时，衰减则增加两倍。

对于普通的数字传输线，总电阻限制在式（4.42）的条件之内就仍然可以使用，但阻抗呈现出随频率而变化的特性。以数字转折频率点的趋肤效应电阻①代入式（4.42），会得到一个保守的精确结果。坚持这一准则，我们的传输电路总是会工作得很好，实际通过的上升沿将不会失真。

长距离的数字传输系统，采用的数据接收器比通常的TTL电路具有更大的电压容限，可以容忍大于0.2 dB的损耗。损耗预算越大，可以使电路的工作距离越长。

采用式（4.30）直接计算出数字转折频率处的预期损耗①。在式（4.30）中加入趋肤效应电阻式（4.46）作为R项。

在数字转折频率处限定损耗不超过0.5 dB，可以使每个上升沿的95%的幅值都能通过。如果能够容忍一定程度的上升时间劣化，那么当计算0.5 dB损耗的限定时，可以使用其转折频率值来算出到达接收器时所希望的信号上升时间。

长距离通信的另一个技巧是使数据编码具有相同数量的1和0，然后让它通过一个交流耦合的网络。这个交流耦合的网络去除了数字信号中由驱动器产生的任何直流偏置分量。其结果是波形的高电平和低电平偏移相等。这个信号的接收器应该具有一个精确的过零判决门限。这一方法能够容忍更大数量的衰减（在最大的转换速率下，即时钟速率的一半，可以达到3 dB或更多）。

限制了连续1或0的最大数目的传输编码还能够容忍更大一些的衰减。图4.15举例说明了对于一个编码长度受限的系统，最坏情形下的码型。在A点，数据发送器开始传输一长串连续

① 参见式（1.1）对数字转折频率的定义。

的1。在B点，该长电缆的有限频率响应已经上升到一个最大值。在C点，这个小的数据脉冲通过，该数据脉冲的有效频率是$F_{CLK}/2$，而整个长数据码型的有效频率为$F_{CLK}/4N$。如果这个电缆在$F_{CLK}/2$处的频率响应幅值是在$F_{CLK}/4N$处幅值的一半，那么C点脉冲决不可能越过零点门限，而接收器也无法检测到它。

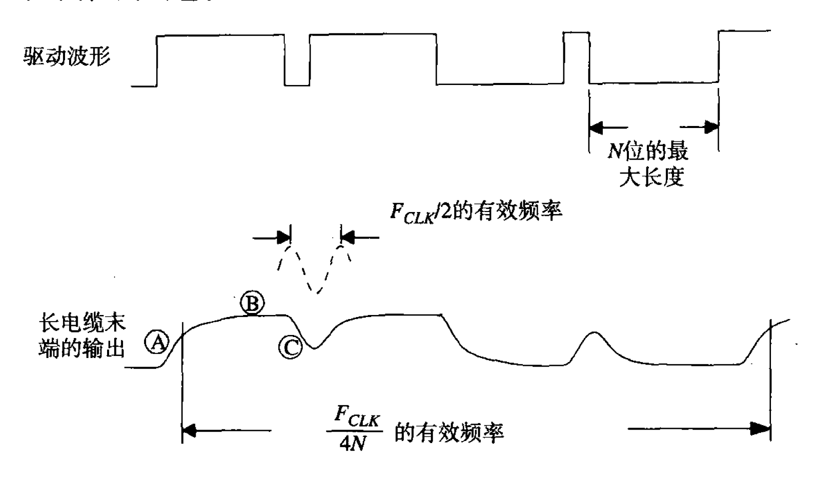


图4.15 长度受限编码在最坏情形下的数据码型

一个良好的习惯做法是，保证电缆足够短，以使一个编码长度受限系统相应的频率响应之比大于7:10：

$$\frac{\left|H(2\pi_{F_{CLK}}/2)\right|}{\left|H(2\pi_{F_{CLK}}/4N)\right|}>0.7 \tag{4.47}$$

超出这个距离限制，就需要采用模拟信号的均衡方式。

4.2.3.3 趋肤效应区内的传输线阻抗

一旦越过临界频率R/L，wL项随w呈线性增长，而$R(w)$项因趋肤效应项也会与$w^{1/2}$成正比增长。$R(w)$项相对于wL值一直很小，因此由式（4.32）给出的阻抗值仍然固定在（L/C）$^{1/2}$。传输线的输入阻抗受趋肤效应的影响并不大。

4.2.4 邻近效应

邻近效应（proximity effect）是一种物理现象，会使相邻导线中的反方向电流产生相互吸引（见图4.16）。邻近效应是由磁场的变化引起的，因此它仅干扰高频电流的流动。静态磁场的恒定电流不会对邻近效应做出响应。

邻近效应明显不同于安培（Ampere）发现的电流方向相反的相邻导线之间相互排斥的现象。当安培力将两个导线的原子晶格结构推开时，邻近效应仅仅使两导线内侧的电流密度增大。邻近效应对导线施加的不是纯粹的机械力。

如同趋肤效应一样，邻近效应重新分配了电流的密度，在高频条件下产生了很大的有效电阻。与趋肤效应不同的是，邻近效应不会随频率增加而继续恶化。邻近效应在相当低的频率就达到了平衡。

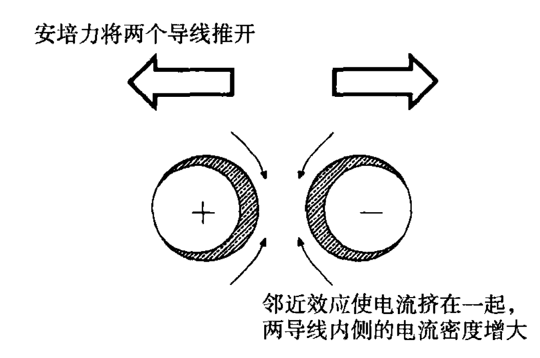


图 4.16 高频电流方向相反的两个圆形导线之间的邻近效应

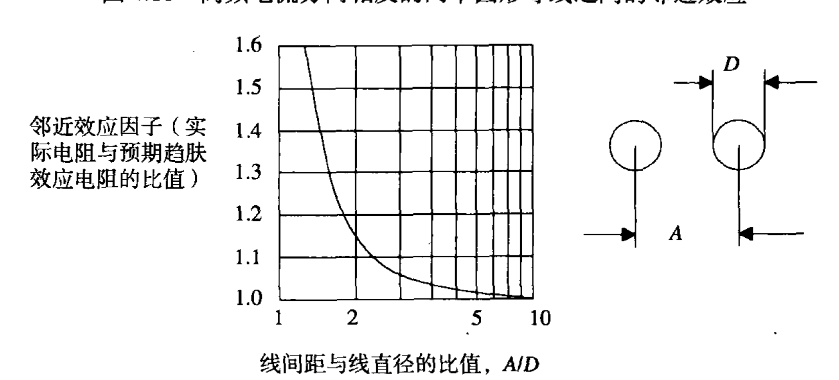


图 4.17 平行圆形导线的邻近效应因子（引自 Frederick Terman, *Radio Engineer's Handbook*, McGraw-Hill, New York, 1943, p.36.）

邻近效应必须乘以导线的 AC 趋肤效应电阻，见式（4.45）。

邻近效应在平衡点的量值由两线中心间距与线直径的比值来决定。图4.17画出了邻近效应R_{AC}/R_{DC}的幅值与线间距/线直径比值的关系曲线。当两线几乎接触到一起时的邻近效应最值得注意。

同样是由于邻近效应引力的原因，流入地平面的信号返回电流也紧贴在向着信号导线的一侧。一般而言，电流总是按照环路电感最小的方式来流动。换句话说，如果有所选择，自然总是会选择一种使环绕导体的磁场存储能量最小化的电流密度分配方式。

4.2.5 介电损耗

把一块环氧树脂印刷电路板材料（两面都没有覆铜）放到微波炉中，全功率加热 1 分钟。它会被微波显著地加热。同样地，用 Pyrex 的盘子（耐热玻璃）来做，它同样也被加热。

事实上，几乎任何绝缘材料都能被微波炉加热。在交变电场环境中被绝缘材料吸收的热量，与这种材料的介电损耗系数（dielectric loss factor）成正比。

当绝缘材料作为传输线的绝缘介质时，介电损耗会转化为信号衰耗。介电损耗越高，导致的衰耗越大。

介电损耗是频率的函数。当数字设备的频率低于 1 GHz时，通常作为印刷电路板材料的环氧树脂（FR-4），其介电损耗可以忽略。在高频条件下，FR-4 的介电损耗变得很大。对于高频电路，设计者应该选用陶瓷基板材料，如氧化铝。在千兆赫兹的情况下，这类材料的介电损耗系数更好。

对于FR-4材料，模拟电路的设计者更关心其在低频条件下的介电损耗。当构造一个高Q值的电路，使振荡信号幅值在多个周期内没有衰减时，这个损耗问题就变得非常严重。数字电路一般要避免高Q值的电路结构，因此对于这个介电损耗并不太敏感。

对于低于1 GHz的数字电路板应用，可以忽略介电损耗。

在长电缆中，介电损耗变得更有意义。典型的PVC绝缘的电话电缆，在10 MHz条件下有一个重要的介电损耗。这个介电损耗随频率的增大而增大，通常与趋肤效应损耗一起处理，成为一个总的dB损耗模型，该模型与f^y成正比，其中的y略大于1/2。

记忆要点

- 一个无限长的传输线，其输入阻抗看上去应该是阻性的，而不是容性的。
- 传输线的电感和电容的简单关系式为：

$$L = Z_0 T_p \tag{4.48}$$

$$C = \frac{T_p}{Z_0} \tag{4.49}$$

- 对于普通的数字应用，导线总电阻通常是传输线阻抗的很小一部分。
- 趋肤效应严重限制了长传输线的频率响应。
- 对于短线数字应用，传输线衰减的dB值与频率的平方根成正比（趋肤效应）。
- 邻近效应对于传输线衰减只有很小的影响。
- 低于1 GHz的数字应用，可以忽略介电损耗。

4.3 源端及负载阻抗的影响

现在，分析不利的方面，式（4.29）描述的无限传输线的损耗和相移，是一个理论上的最好情形。实际上，连接到一条真正的（有限长度的）传输线上的任何源端及负载阻抗的组合都将会降低它的性能。这种降低也许是微不足道的，也可能是破坏性的，取决于传输线所采用的特定源端和负载阻抗。

在信号传输问题中，必须首先确定传输电缆传送信号的能力。对于数字信号，要通过检查在转折频率[①]上的信号传输损耗$H_X(w)$小于零点几个分贝，来认定电缆有充分的传送能力，然后再考虑源端和负载阻抗的影响。

本节将讨论应该如何估算一个特定的源端和负载阻抗组合的影响，同时也将讨论对于源端和负载元件，如何选择一个好的实用的值。

4.3.1 传输线上的反射

如图4.18所示，当一个信号施加在传输线一端时，全部源端电压的一部分沿线路向下传播。该部分是频率的一个函数，即输入接收函数（input acceptance function），记为$A(w)$，$A(w)$的值由源端阻抗Z_S和由式（4.32）给出的传输线阻抗，以及输入接收式（4.50）决定：

① 参见式（1.1）对转折频率的定义。

$$A(w)=\frac{Z_0(w)}{Z_S(w)+Z_0(w)} \tag{4.50}$$

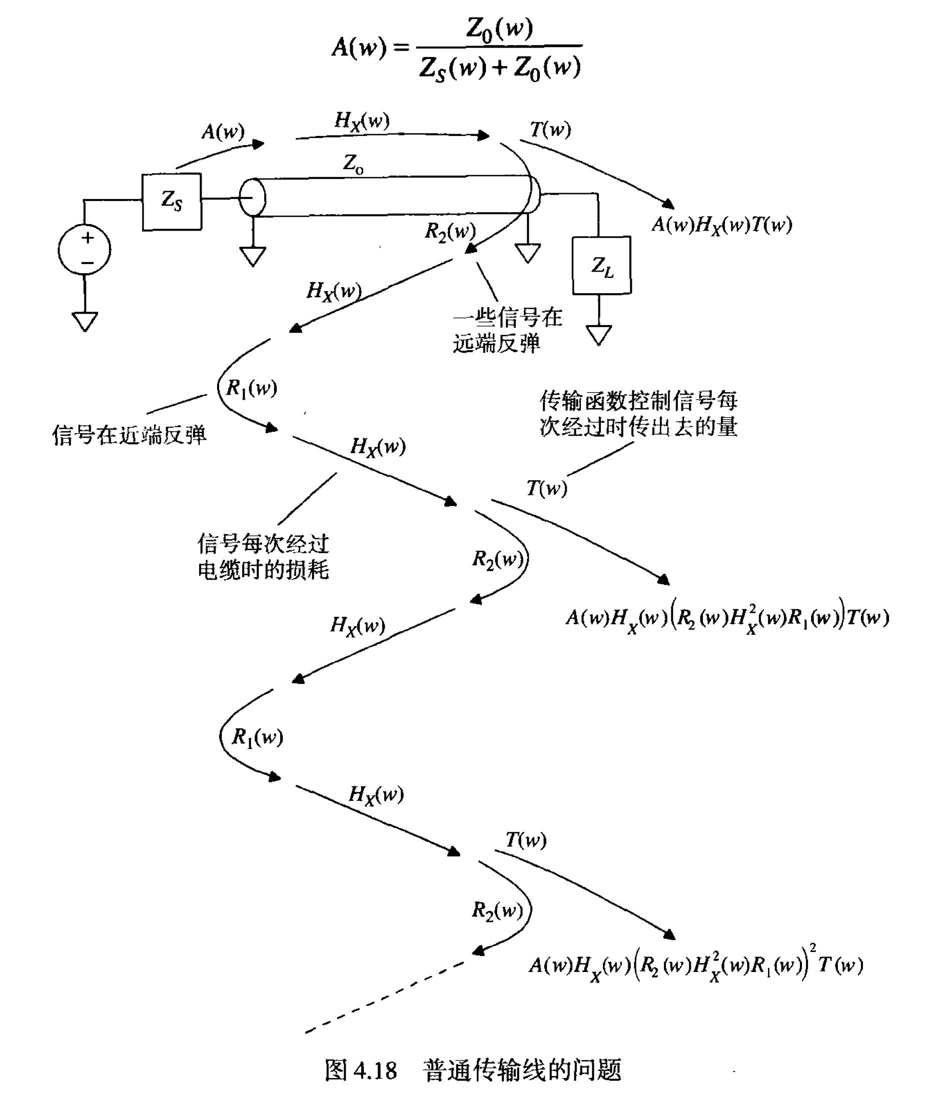


图4.18 普通传输线的问题

随着信号的传播，它受到传播函数$H_X(w)$的衰减。该式与式（4.30）相似，但由于趋肤效应，$R(w)$项现在是一个频率的函数：

$$H_X(w)=e^{-X((R(w)+jwL)(jwC))^{1/2}} \tag{4.51}$$

在电缆的远端，出现的是一个信号衰减后的部分振幅。这个部分也是一个频率的函数，并且称为$T(w)$，即输出传输函数（output transmission function）。$T(w)$的值由负载阻抗Z_L和式（4.32）给出的传输线阻抗以及输出传输式（4.52）决定。这个$T(w)$的取值范围是0~2。

$$T(w)=\frac{2Z_L(w)}{Z_L(w)+Z_0(w)} \tag{4.52}$$

当传播信号的$T(w)$部分出现在电缆远端的时候，一个反射信号也沿着电缆向源端反向传播。随着信号的反射，这个信号与输入信号叠加。然后，两信号同时向相反的方向传播，互不干扰。

反射回源端的那部分传播信号记为$R_2(w)$，即远端反射函数。

$$R_2(w)=\frac{Z_L(w)-Z_0(w)}{Z_L(w)+Z_0(w)} \tag{4.53}$$

当反射信号传播回源端时，再一次被$H_X(w)$衰减，并被源端阻抗第二次反射，源端的反射系数是$R_1(w)$。

$$R_1(w)=\frac{Z_S(w)-Z_0(w)}{Z_S(w)+Z_0(w)} \tag{4.54}$$

从源端被反射之后，信号第三次被$H_X(s)$衰减，然后它的一部分通过传输函数$T(w)$再一次出现在远端。这个信号的一部分同样也被反射回源端，进入了一个无止境的循环。

在电缆中出现的原始信号通过$A(w)$，$H_X(w)$和$T(w)$衰减：

$$S_0(w)=A(w)H_X(w)T(w) \tag{4.55}$$

被负载和源端反射之后出现的二次信号按照以下方程式被衰减：

$$S_1(w)=A(w)H_X(w)\left(R_2(w)H_X{}^2(s)R_1(w)\right)T(w) \tag{4.56}$$

后续出现的信号的特性如下：

$$S_n(w)=A(w)H_X(w)\left(R_2(w)H_X{}^2(s)R_1(w)\right)^n T(w) \tag{4.57}$$

最后，所有的信号$n=[0，1，\cdots\cdots，\infty]$都出现，这些信号的总和是：

$$S_\infty(w)=\sum_{n=0}^{\infty}S_n(w) \tag{4.58}$$

幸好，这个无限求和是一个封闭形式的等式：

$$S_\infty(w)=\frac{A(w)H_X(w)T(w)}{1-R_2(w)H_X{}^2(w)R_1(w)} \tag{4.59}$$

式（4.59）是图4.18中所示的传输系统从源端到负载的频率响应。

图4.19表示的是一种假设。在这个例子中，总的线路电阻值仅为1.2 Ω，与50 Ω的高频特性阻抗$(L/C)^{1/2}$相比，粗略计算时可以忽略其DC电阻，设定$Z_0(w)=50\ \Omega$，这一简化使得整个反射函数都为实数，易于手工计算处理。精确的分析通常采用计算机进行，那就应该采用精确的公式。

图4.19中的4个反射系数为：

$A(w)=0.847$（输入接收函数）

$R_2(w)=0.200$（远端反射系数）

$R_1(w)=-0.695$（近端反射系数）

$T(w)=1.2$（远端传输函数）

在长度为15 in时，传播常数的大小为+0.940。

与$H_X(w)$相关的相位延迟等于2700 ps。

注意，这里我们忽略了RC工作区域和趋肤效应的影响，假设$H_X(w)$是一个常数。只有当需要列举一个容易理解的例子时，这种忽略才是合理的。一个好的计算机模型包括两者的影响。在我们的例子中，$H_X(w)$非常接近于单位1，以致于它的数值变化对结果影响很小。

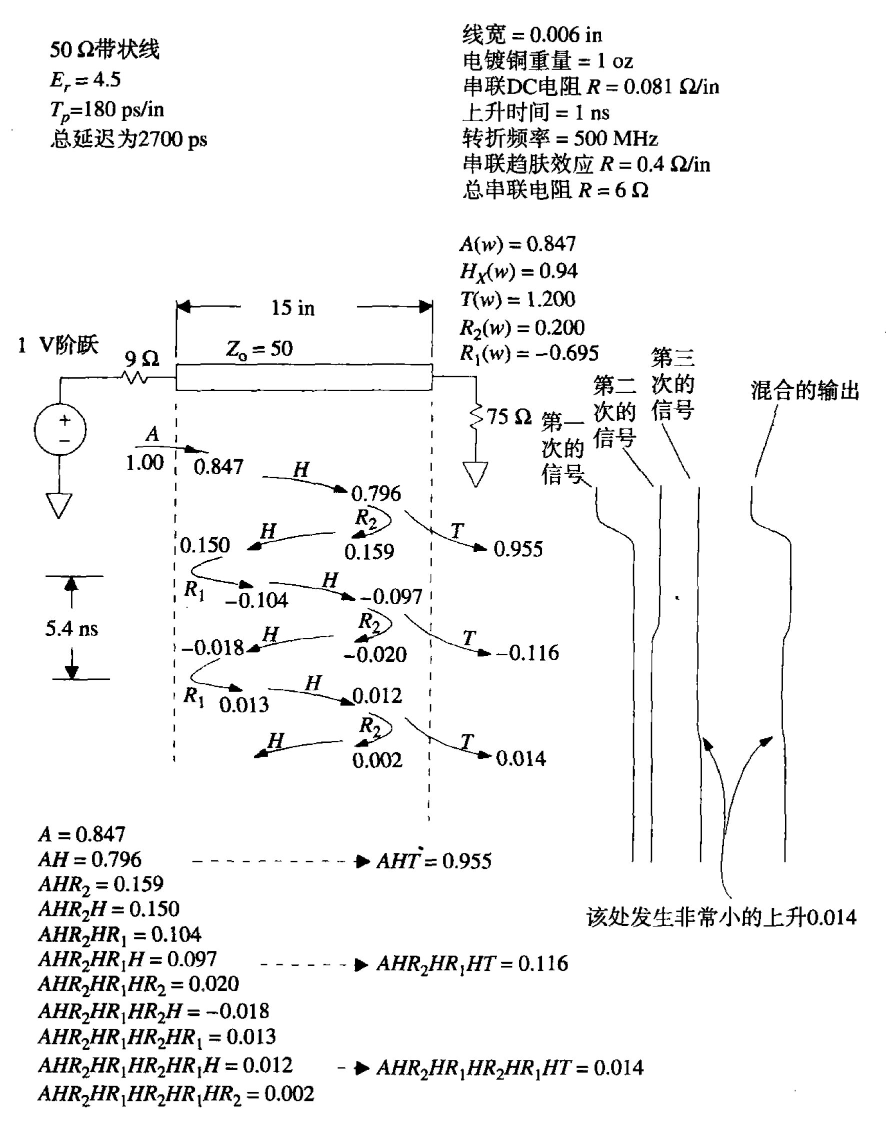


图4.19 传输线反射图

图中从左边到右边，显示了信号沿着电缆前进的情形。垂直的时间轴从顶部的零时刻开始，直到图的底部。假定该电压信号发生器在零时刻产生一个1 V的阶跃。

输入信号的脉冲前沿从电缆的左边行进到右边。信号受控于输入接收函数，因此初始的振幅为0.847 V。2700 ps后它到达远端，稍微变小，在远端的振幅为$A(w)H(w)$ = 0.796 V。

乘以$T(w)$后，初次在电缆上出现的信号的振幅为0.955。在每一段，随着信号的来回反射，图4.19采用了适当的反射系数来按比例绘制反弹信号。对每一个出现的信号，都可以用传输系数来换算。

在图4.19中的右边，是按比例画出的各次信号的波形，每个波形按到达的时间排列。在最右边是所有波形的混合。

最终，波形衰减为它的稳态值0.893 V，这个值等于系统$S_\infty(0)$的直流响应。

如果输入信号的上升时间足够慢，所有的混合部分会互相错开叠加（mush），结果是不会出现任何的振铃。只有当上升时间与往返的延迟相当（或小于）的时候，才会有可能出现过冲和振铃。

现在让我们来考虑控制传输线反射的各种方法。首先，合并式（4.52）和式（4.53），得到T和R_2系数的关系式：

$$T(w)=R_2(w)+1 \tag{4.60}$$

代入并化简式（4.59）：

$$S_{\infty}(w)=\frac{H_X(w)A(w)(R_2(w)+1)}{1-R_2(w)R_1(w)H_X{}^2(w)} \tag{4.61}$$

假定电缆参数$H_X(w)$是固定的，我们有两个可控制的参数：源端阻抗和负载阻抗。源端阻抗控制式（4.61）中的$A(w)$和$R_1(w)$项，负载阻抗只控制$R_2(w)$项。对于良好的数字传输，我们通常要求至少在数字转折频率[①]以下是平坦的频率响应。

为了确保式（4.61）中得到一个平坦的频率响应，工程师们长期以来已经确定了3种普遍使用的方法，末端端接（end termination），串联端接（series termination）和短线（short line）。

4.3.2 末端端接

这种方法设定$R_2(w)$为零。式（4.61）化简后的结果是：

$$S_{\text{末端端接}}=H_X(w)A(w) \tag{4.62}$$

实际上，这消除了第一次反射。在图4.18中，信号的能量进入电缆，传播到远端后流出，没有反射。因为不存在延迟了的初始信号，所以破坏频率响应的可能性很小。

使$R_2(w)=0$的方法很简单。只要使负载阻抗Z_L等于电缆特性阻抗Z_0，在这些条件下，反射系数R_2为零，见式（4.53）。

对于工作在RC模式下的非常长的电缆，要找到一个能够在很宽的频率范围与特性阻抗相匹配的端接网络，是一项艰难的挑战。

4.3.3 源端端接

这种方法设定$R_1(w)$为零。式（4.61）化简后的结果是：

$$S_{\text{源端端接}}=H_X(w)A(w)(R_2(w)) \tag{4.63}$$

实际上，这消除了第二次反射，而不是第一次。在图4.18中，信号能量进入电缆并传播到远端，而后退出电缆。反射能量返回到源端，但在该点不再反射（$R_1=0$）。不再有能量第二次反射回负载端。

使$R_1(w)=0$的方法很容易。只要使源端阻抗Z_s等于电缆的特性阻抗Z_0，在这些条件下反射系数R_1为零，见式（4.54）。

把Z_S设置为等于Z_0，则接收函数变为1/2。通常的补偿方式是，在线路远端，使线路未端接（$Z_L=\infty$），这个措施使$T(w)=2$，而且$R(w)=1$。这样使线路末端的电压加倍，来补偿输入端电压的减半。由于$R_2(w)=1$，所以这种方式的缺点就是相当大的信号反射回输入端。

---

① 参见式（1.1）对转折频率的定义。

由于这个大的反射，在源端和开路末端之间连接的中间电路上将看到一个混合的信号。先是信号的一半传播向远端，随后（到达远端并返回的一个来回之后）由阶跃的另外一半将电压提升至信号的满幅值。

4.3.4　短线

这种方法使用非常短的线，以致于$H_X(w)$实际上为1，因而不存在明显的衰减或相位延迟。这一结果使式（4.61）化简为：

$$S_{短线}(w)=\frac{A(w)\left[R_2(w)+1\right]}{1-R_2(w)R_1(w)} \tag{4.64}$$

用式（4.50），式（4.53）和式（4.54）分别取代$A(w)$，$R_2(w)$和$R_1(w)$：

$$S_{短线}(w)=\frac{\dfrac{Z_0}{Z_S+Z_0}\cdot\dfrac{2Z_L}{Z_L+Z_0}}{1-\dfrac{Z_L-Z_0}{Z_L+Z_0}\cdot\dfrac{Z_S-Z_0}{Z_S+Z_0}} \tag{4.65}$$

分子和分母都乘以(Z_L+Z_0)，合并同类项：

$$S_{短线}(w)=\frac{Z_0\times 2Z_L}{2Z_LZ_0+2Z_0Z_S} \tag{4.66}$$

分子和分母都除以$2Z_0$:

$$S_{短线}(w)=\frac{Z_L}{Z_L+Z_S} \tag{4.67}$$

该线路正如我们所期望的：除了Z_L和Z_S别的什么也没有。在该例子中，我们得到一个由负载阻抗Z_L和源端阻抗Z_S构成的简单阻抗分配网络。

这些假定要想成立，该线路必须是作为一个集总电路元件。它必须小于上升沿电气有效长度的1/6。

短传输线的条件：

$$长度<\frac{1}{6}\frac{T_{上升}}{(LC)^{1/2}} \tag{4.68}$$

其中，$T_{上升}$ = 上升时间，s
　　L = 线路电感，H/in
　　C = 电容，F/in
　　长度 = 最大线路长度，in

4.3.5　不良端接传输线的建立时间

关于图4.18，输入信号的一部分在去往负载的途中，在传输线内来来回回地反射。在每个来回中，反射信号的振幅以R_1R_2为系数减小。随着时间的推移，信号大小以指数规律下降。

如果R_1R_2的乘积足够小，第二次反射以及后续反射将非常小，几乎没有什么影响。初始脉冲刚一出现在电缆远端，电缆马上就达到了它的稳态。

如果乘积R_1R_2比较大，电缆可能需要几个来回后才能达到稳态。一个完整来回所需的时间等于电缆长度乘以它的传播延迟。

$$T = 2(\text{长度})(LC)^{1/2} \tag{4.69}$$

在此期间，信号振幅按R_1R_2减小。该变化过程的一个适当的高级模型为：

$$\text{信号大小}(t) = |R_1(w)R_2(w)|^{(t/T)} \tag{4.70}$$

乘积R_1R_2的数值总是小于单位1，所以随着时间的增加，上述方程式的结果总是衰减的。我们可以使用式（4.70）粗略计算出一个电缆稳定在终值的容许偏差ε以内时所用的时间。

$$\begin{aligned}\text{在}\varepsilon\text{以内的建立时间} &= T\frac{\ln(\varepsilon)}{\ln(|R_1(w)R_2(w)|)} \\ &= 2(\text{长度})(LC)^{1/2}\frac{\ln(\varepsilon)}{\ln(|R_1(w)R_2(w)|)}\end{aligned} \tag{4.71}$$

式（4.70）很适合用来考虑有关欠阻尼背板（underdamped backplanes）线路或较长的未端接线路中的问题。在这些情况中，时钟系统可能需要在数据锁存之前先等待线路停止振铃。通常在高频时反射比较严重，所以在式（4.70）中往往采用角频率$w = 2\pi F_{knee}$①。

式（4.70）可以让我们牢记有关减少R_1，减少R_2，或者确保线路足够短的所有重要意义。

记忆要点

- 任何连接到一条传输线的源端及负载阻抗的实际组合都将会降低它的性能。
- 一个传输线系统的频率响应是：

$$S_\infty(w) = \frac{A(w)H_X(w)T(w)}{1 - R_2(w)H_X^2(w)R_1(w)} \tag{4.72}$$

- 只有当往返的延迟超过了信号的上升时间时，过冲和振铃才会发生。
- 消除反射可以通过减小R_2（末端端接），减小R_1（串联端接），或者确保线路足够短（使$H_X = 1$）来实现。

4.4 传输线的特殊实例

4.4.1 未端接线路

源端阻抗和负载阻抗都与传输线的特性阻抗不匹配的时候，该线路称为未端接（unterminated）线路。通常，未端接线路的负载阻抗高于传输线的特性阻抗，而源端阻抗或高或低。未端接线路的不同表现取决于源端阻抗是远远大于还是远远小于线路阻抗。我们将分别考虑这两种情况。

这两种情况中的负载阻抗都非常高，因而$R_2(w) \approx 1$，见式（4.53），$T(w) \approx 2$，见式（4.52）。两种情况的不同之处在于$R_1(w)$的符号以及$A(w)$的大小。

① 参见式（1.1）对转折频率的定义。

4.4.1.1 低源端阻抗时的未端接线路

这种情况出现在一个阻性的低阻抗输出电路（如ECL，或一个大功率的TTL总线驱动器）驱动一条传输线的时候。

我们可以概述一下这种传输线的单位阶跃响应，不需要借助详细的反射图。这种情况下的输入接收函数$A(w)$接近于单位1，见式（4.50），而传输函数$T(w)$近似为+2，见式（4.52）。其乘积，即最初的阶跃输出，将接近于+2.0 V。

因为反射系数$R_1(w)$（见式（4.54））接近于-1，乘积R_1R_2也几乎为-1。线路中总是存在一些损耗，因此R_1R_2的乘积略小于单位1。

R_1R_2为负号意味着线路上相继出现的反射信号有着相反的符号。随着阶跃输入的响应逐渐减弱，它将在终值附近来回地振荡。在极性相同的反射信号连续两次出现的时间间隔内，发生了两个完整的信号往返过程（4次线路传输），因此振荡周期等于4倍的线路延迟时间。衰减时间依照式（4.71）来计算。

我们现在知道了，这个阶跃响应开始于一个近乎100%的过冲，其振荡持续时间等于4倍的线路延迟时间，以一个已知的时间常数衰减。由于没有直流负载阻抗，其终值等于输入阶跃的大小。图4.20描述了这个阶跃响应。

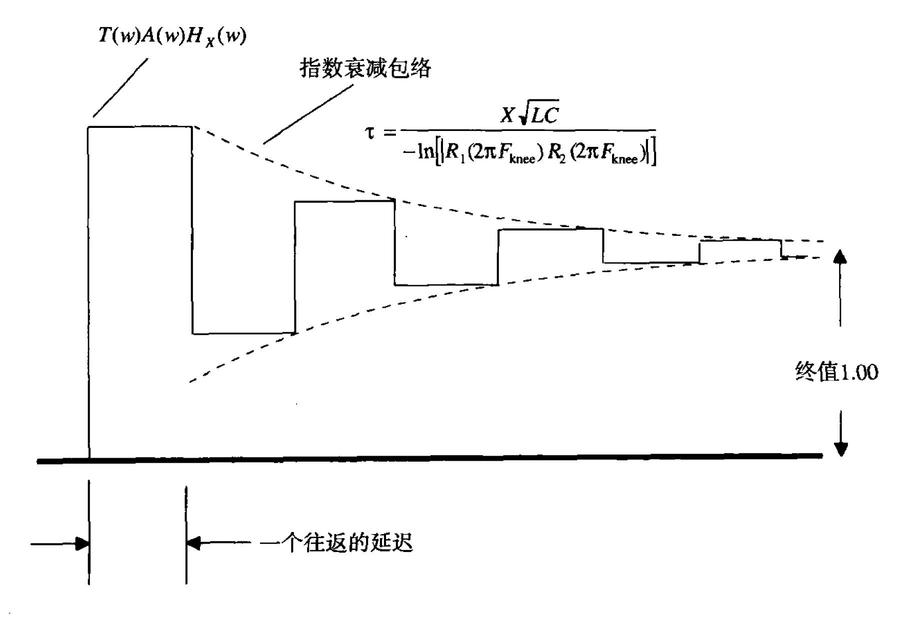


图4.20 估算一个低源端阻抗未端接线路的阶跃响应

如果信号的上升时间比一次往返的延迟还短，在输出信号上可以清楚地看到这一过冲。这会引起大量的电流流入大多数TTL和CMOS逻辑输入级的输入保护二极管。这个额外电流通过芯片的接地引脚返回，引起内部参考地和外部地平面之间的地弹（ground bounce）。在极端的情况，低阻抗线路的过冲可能破坏输入保护电路。

4.4.1.2 高源端阻抗时的未端接线路

这种情况出现在一个阻性的高阻抗输出电路（如一个无缓冲的CMOS输出）驱动一条传输线的时候。

我们可以概述一下这种传输线的单位阶跃响应，不需要借助详细的反射图。这种情况下的输入接收函数$A(w)$非常低，见式（4.50），而传递函数$T(w)$近似为+2，见式（4.52）。其乘积，即最初的阶跃输出，将会很小。

因为反射系数$R_1(w)$接近于+1，见式（4.54），乘积R_1R_2也几乎为+1。线路中总是存在一些损耗，因此R_1R_2的乘积略小于单位1。

R_1R_2为正表明线路上相继出现的反射信号有着相同的符号。那么输出波形一定是单调地增加，直至它的终值。相继出现的反射信号的衰减时间（等于输出信号的建立时间）由式（4.71）给出。

现在我们知道这一阶跃响应开始于极小值，在一个已知的时间常数内建立完成。因为没有直流负载阻抗，其终值等于输入阶跃的大小。图4.21描述了这一阶跃响应。它看起来像一个RC滤波器的响应。

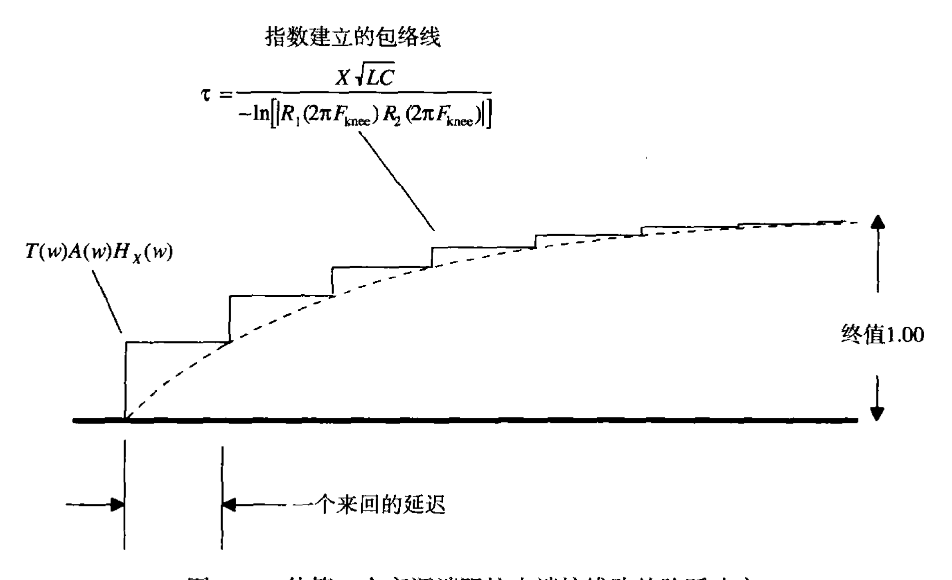


图4.21 估算一个高源端阻抗未端接线路的阶跃响应

这个阶跃响应的时间常数接近于源端阻抗和线路总电容的乘积。这样的一个估算将该线路作为一个集总元件，对于短线这是适合的。

由高阻抗驱动的未端接线路与RC滤波器响应之间的这种一致性，导致了一种流行的错误说法：传输线的输入看起来像一个容性负载。

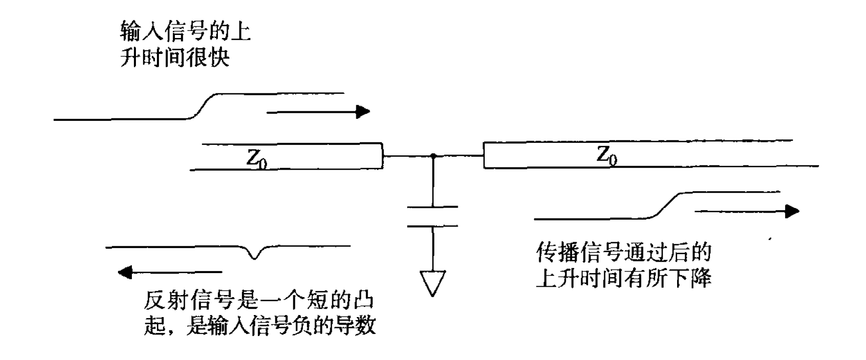
4.4.2 连接在线路中间的容性负载

图4.22说明了一条长线中间挂了一个电容的情形。一个从左边进入的信号遇到电容后一分为二，一部分信号后向反射，另一部分经过电容继续向前传播。

这个问题棘手的方面在于反射系数是频率的一个函数。我们将分别来估算反射信号的大小以及对传播信号的影响。

4.4.2.1 容性负载上的信号反射

像其他反射问题一样，我们试着用反射方程式（4.53）来分析。这个方程需要我们指定线路和端接的阻抗，目前用传输线阻抗Z_0作为端接阻抗。



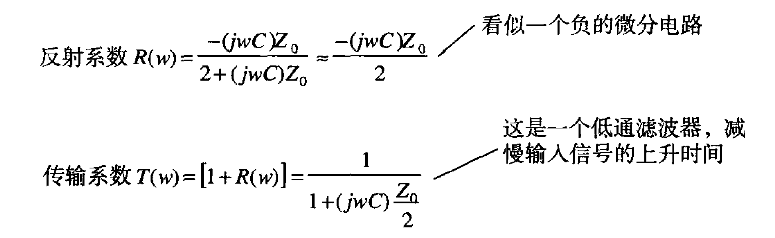


图 4.22 传输线中间的容性负载

图4.22中传输线的左边部分终止于这个电容，其总的端接负载等于电容的电抗与其余线路输入阻抗的并联值。如果不知道右边线路的端接情况，可以对输入阻抗进行一些假设。那么，如何计算出总的端接负载呢？

为了解决这种进退两难的困境，首先假设我们正在处理的是一条低损耗的线路（不是 *RC* 情形），进一步假设右边线路是末端端接的，因此它的输入阻抗等于 $Z_0=(L/C)^{1/2}$，与频率无关。同样地，我们还可以假设右边的线路非常长，从而使得远端反射回来的信号由于到达太迟而不会影响由电容 C 引起的直接反射。无论是哪种情况，我们都将假定右端的输入阻抗等于 Z_0。

现在我们可以用电容 C 和 Z_0 的并联结果替换式（4.53）中的 Z_L 项。化简并重新整理各项，得到容性负载反射系数的结论：

$$R_C(w)=\frac{-jwCZ_0}{2+jwCZ_0} \tag{4.73}$$

当频率高于 $f_{max}=(CZ_0\pi)^{-1}$ 时，几乎是完全反射。不要将传输线使用在该频率以上。当频率在 f_{max} 以下时，反射系数则有所区别，它实际上返回一个脉冲，等于输入阶跃的导数。微分常数等于 $-C(Z_0/2)$。

如果数字转折频率①是在 f_{max} 以下，那么可以估算反射脉冲的峰值振幅：

$$P=C\frac{Z_0}{2}\cdot\frac{-(\Delta V)}{T_{上升}} \tag{4.74}$$

其中，ΔV = 输入电压阶跃的大小

P = 反射脉冲振幅，V

$T_{上升}$ = 输入信号的 10%~90% 上升时间，s

① 参见式（1.1）对转折频率的定义。

C = 负载电容，F

Z_0 = 高频线路阻抗，$(L/C)^{1/2}$

4.4.2.2 信号通过一个容性负载

假设两边的线路都很长，因而在短时间内，从电容看过去，其有效阻抗都等于$Z_0=(L/C)^{1/2}$。这个假设使得我们能很快地计算出传输系数：

$$T_C(w) = 1 + R_C(w) = \frac{1}{1 + jwC(Z_0/2)} \tag{4.75}$$

这是一个时间常数为$C(Z_0/2)$的低通滤波器的方程，这个阶跃响应的10%~90%上升时间应该为时间常数的2.2倍，或者是：

$$T_{10\%\sim90\%}(\text{阶跃响应}) = 2.2C\frac{Z_0}{2} \tag{4.76}$$

容性负载使通过它的传播信号的上升时间劣化，采用式（3.1）可以算出传播信号的上升时间。它综合了输入的上升时间和电容上升时间，以算出输出的上升时间。

如果符合以下条件之一，则本节（以及4.4.2.1节）的近似值成立：

1. 传输线在两个方向都端接。
2. 传输线的长度大于上升沿的有效长度（在两个方向）。

当低阻抗驱动器与负载电容连接靠得太近时，从电容端来看，有效驱动阻抗将降低，最终的结果是反射更小，以及上升时间的畸变更小。

4.4.3 等间隔的容性负载

图4.23中的情形，经常出现在大的总线结构中，尤其是在包含大的单排存储模块（SIMM）阵列的存储卡上。容性负载的值相等而且间隔均匀地排列。

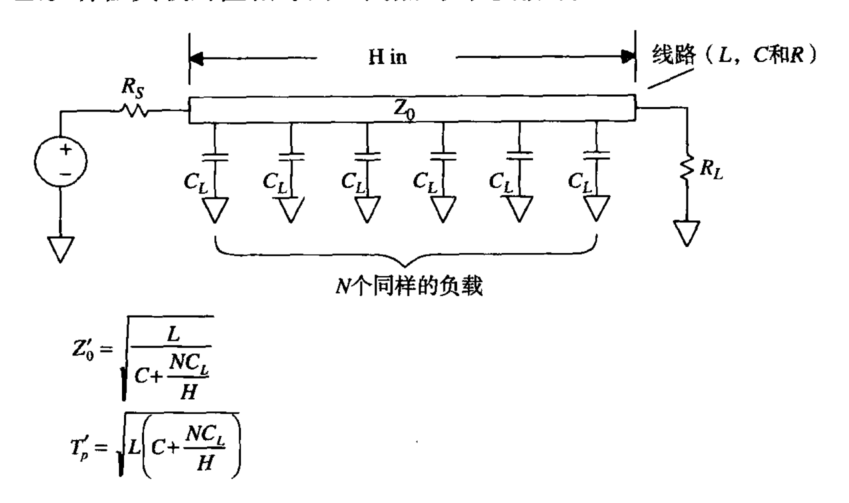


图4.23 均匀排列的容性负载

如果上升沿的长度超过了负载间的距离，则可以推导出这个电路特性的一个简化的近似表达式。这个近似表达式将会告诉我们两件事：

1. 线路的有效阻抗被减小。

2. 线路的传播延迟增加。

这两项都严重地影响了高速信号总线的性能。

4.4.3.1 均匀负载总线的有效阻抗

由于上升沿的有效长度与负载间隔相当（或稍短），按照式（4.73），信号将来回地反弹。对于非常轻的负载（小电容），只需分别把每个负载的反射累加起来，就可以计算出总的反射脉冲高度。这些反射信号的总和是一个最坏的运行情况，因为反射脉冲不会在同一时间全部到达线上任何一点。

第二次和第三次的反射衰减严重，因而通常不值得进行计算。

对于上升沿长度大于负载间隔的情况，每个电容的影响平均地分布在上升沿的边上，如果我们采用两倍数量的电容，而电容的值减小一半，或者是将电容的容量以相等的比率（pF/in）均匀地分布到线路上，产生的效果将没有什么不同。

电容均匀地分布是理解这个电路的关键。

构造一个新的传输线模型，每英寸具有的电感和阻抗与原传输线相同，但有一个新的电容，总负载电容除以总线长度的英寸数，得到每英寸的负载电容。然后用这个电容值加上传输线原有的每英寸电容，得出新模型的电容：

$$C' = C_{线} + \frac{NC_{负载}}{长度} \tag{4.77}$$

其中，$C_{负载}$ = 负载电容，pF

N = 负载数量

长度 = 总线长度，in

$C_{线}$ = 传输线的电容，pF/in

C' = 新模型的有效电容，pF/in

现在，利用这个模型，可以重新计算有效传输线阻抗 Z'：

$$Z_0' \approx \left(\frac{L}{C'}\right)^{1/2} \tag{4.78}$$

4.4.3.2 一个均匀负载总线的传播延迟

$$有效延迟 = (LC')^{1/2}\text{ps/in} \tag{4.79}$$

其中，C' = 新模型的有效电容，pF/in

L = 原有电感，pH/in

均匀负载总线的有效特性阻抗非常低，这使得驱动电路很难在总线上传递一个满幅值的信号，甚至改为一个低阻抗驱动电路时仍然存在时间延迟的问题。这个问题是由传输线结构的分布电感引起的，而且无法避免。

例 4.2 均匀负载的总线

Sam 将用 SIMM 模块构造一个大的存储电路板，他计划用 16 个 SIMM 组成一个大存储器阵列，如图 4.24 所示。所有 16 个 SIMM 的地址线并联在一个驱动端，记为门电路 A，这里是每条线的临界参数：

$C_{负载} = 50\ \text{pF}$

$N = 16$

长度 = 8 in

$C_{线} = 2.9\ \text{pF/in}$

$L = 7250\ \text{pH/in}$

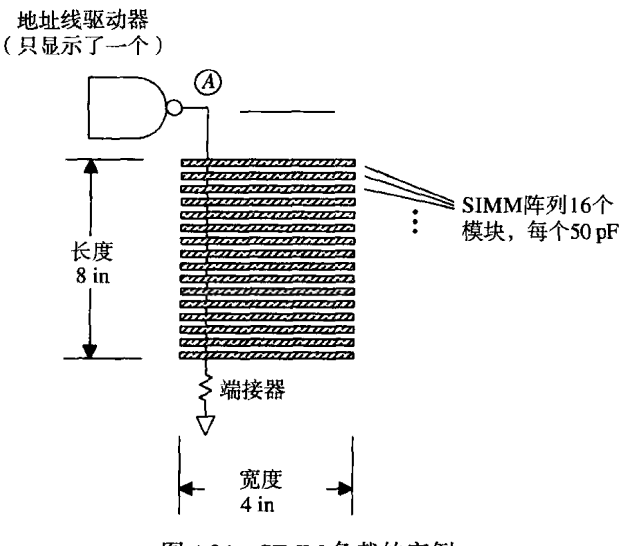


图 4.24 SIMM 负载的实例

首先，计算沿线的有效电容：

$$C' = C_{线} + \frac{NC_{负载}}{长度} = 102.9\ \text{pF/in} \tag{4.80}$$

用新的电容值重新计算 Z_0 和传播延迟：

$$Z_0 = \left(\frac{L}{C'}\right)^{1/2} = 8.4\ \Omega \tag{4.81}$$

$$延迟/\text{in} = (LC')^{1/2} = 864\ \text{ps/in} \tag{4.82}$$

总的线路延迟是：

$$延迟 = (长度) \times (延迟/\text{in}) = 6900\ \text{ps} \tag{4.83}$$

在第一个 SIMM 之后 6.9 ns，最后一个 SIMM 才接收到地址数据，这个偏移将降低存储器的定时裕量，不仅如此，端接值和驱动阻抗都不得不非常低。

可能的解决办法都涉及将SIMM地址总线分为多条总线，每条总线上只有少数几个负载。

做为一个检验，Sam应该使用与图1.6中类似的电路来测量总的线路电容（$C' \times$ 长度）。Sam可能需要使用比图 1.6 中更小的电阻，以提供驱动 SIMM 输入端在其跳变范围所需的电流。

4.4.4 直角弯曲

在图4.25所示的直角弯曲传输线中，传输线的有效宽度增大了。宽度的增加产生了不需要的额外寄生电容。直角弯曲看起来就像附在传输线上的一个容性负载。

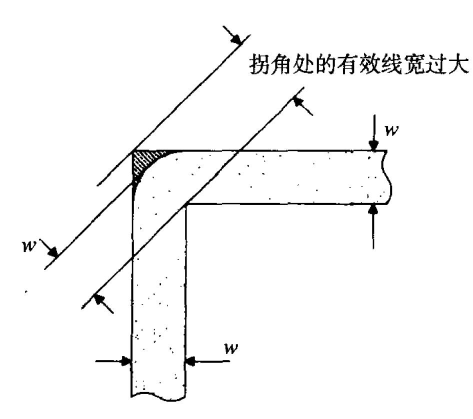


图 4.25 传输线的直角弯曲

我们可以把直角弯曲的外沿做成圆角，从而使传输线的宽度保持固定。这样可以改善信号通过这个圆角时的信号反射以及信号上升时间的劣化。对于 10 GHz 以下的信号，更简单的方法是按照图 4.26 所示将拐角斜切①。斜切角可能比圆角更容易实现，具体情况取决于所用的布线软件。

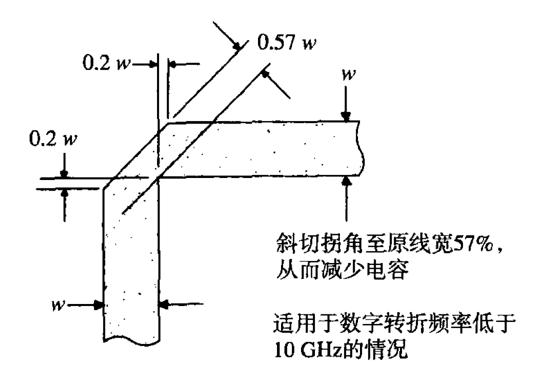


图 4.26 PCB 走线采用斜切角以减少容性负载

图 4.25 所示的阴影部分的负载电容可以近似等于：

$$C \approx \frac{61we_r^{1/2}}{Z_0} \tag{4.84}$$

其中，w =线宽，in

e_r = 相对电导率，相对于空气

Z_0 = 高频特性阻抗，Ω

C = 拐角的负载电容，pF

我们可以采用式（4.76）来计算这个集总负载的 10%~90% 上升时间常数：

$$T_{10\%\sim90\%} = 2.2\left[\frac{61we_r^{1/2}}{Z_0}\right]\frac{Z_0}{2} = 67w(e_r)^{1/2}\ \text{ps} \tag{4.85}$$

这个上升时间值的确很小。对于那些上升时间小于 100 ps，并且具有较大线宽的电路（比如在微波工程领域常用到的）而言，这也许会是个严重的问题。

① T. C. Edwards, *Foundations for Microstrip Circuit Design*, John Wiley and soul, New York, New York, 1983.

无需担心 45° 的拐角，事实上它们运行良好。在第 7 章我们将讨论通孔的影响。

4.4.5 延迟线

当传输线采用蛇形线时，可以作为有效的延迟线。这种方法有助于解决高速触发器的保持时间问题，或者其他与信号时序有关的问题。与外部延迟器件相比，印刷电路延迟线要便宜得多。

图 4.27 显示了输入和输出的信号波形，相关的数字延迟是 4.9 ns，线路结构外形如图 4.28 所示。输入信号上升时间是 638 ps，而输出信号上升时间是 888 ps。延迟线通常会使输入信号的上升沿展宽。在这样的电路结构中，缩小蛇形线环节间的走线间距会增大它们的交叉耦合，导致更大的上升沿展宽。这种特殊的设计可以产生 560 ps 的展宽（这里指的是一个理想信号驱动下的阶跃响应 10%~90% 上升时间）。

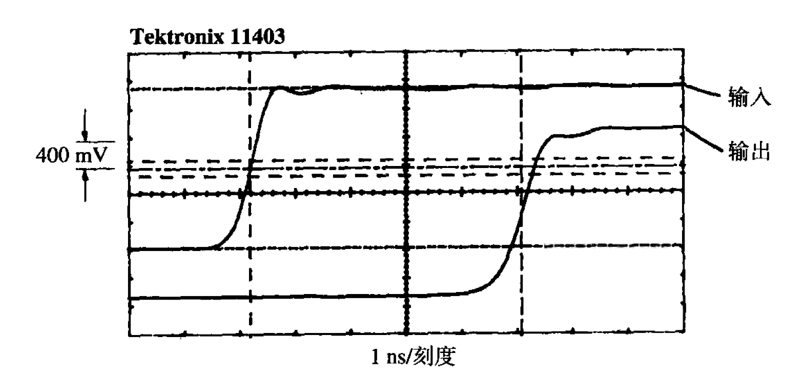


图 4.27 采用印刷线路板实现的延迟线

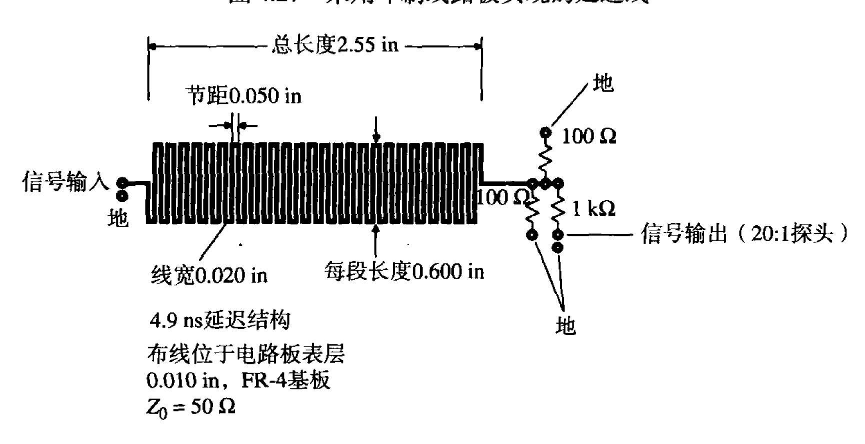


图 4.28 延迟线结构

在将这个设计缩小以置于更薄的 FR-4 基板上时，线宽要和基板厚度成比例地缩小，这使得阻抗值保持为常数。也可以使线间距和基板厚度成比例地缩小，这使得线间的交叉耦合不变，从而维持了原先的上升时间。如果使线宽和厚度都减小，而线间距保持不变，则产生较少的线间耦合以及一个更好的上升时间。

FR-4 环氧树脂电路板材料的介电常数会随着温度的变化而变化。在 0℃~70℃的温度范围内，其最大变化范围可以达到 20%。介电常数的这一变化导致 FR-4 电路板走线的延迟变化，在整个温度变化范围内可以达到 10%。在 FR-4 中，温度越高，信号走线的延迟越大。

记忆要点

- 容性负载使得通过信号的上升时间产生劣化，并使脉冲反射回源端。
- 均匀分布的容性负载使得传输线的有效阻抗降低，并使它的响应变慢。
- 印刷电路走线可以作为一个有效的小延迟线。

4.5 线路阻抗和传播延迟

传输线阻抗是导体的几何结构和导体间材料的介电常数的函数。

对于印刷电路板而言，最重要的数据是线宽与对地高度的比值。对于同轴电缆而言，最重要的数据是中心导体直径与屏蔽外壳直径的比值。对于双绞线而言，最重要的数据是线径与线间距的比值。

对于所有的情况，阻抗都与介电常数的平方根成反比，而传播延迟仅仅是介电常数的函数。

图4.29到图4.35举例说明了利用附录C的公式计算传输线参数的方法。这些计算公式按照传输线的种类进行了划分：同轴电缆、双绞线、微带线、带状线。

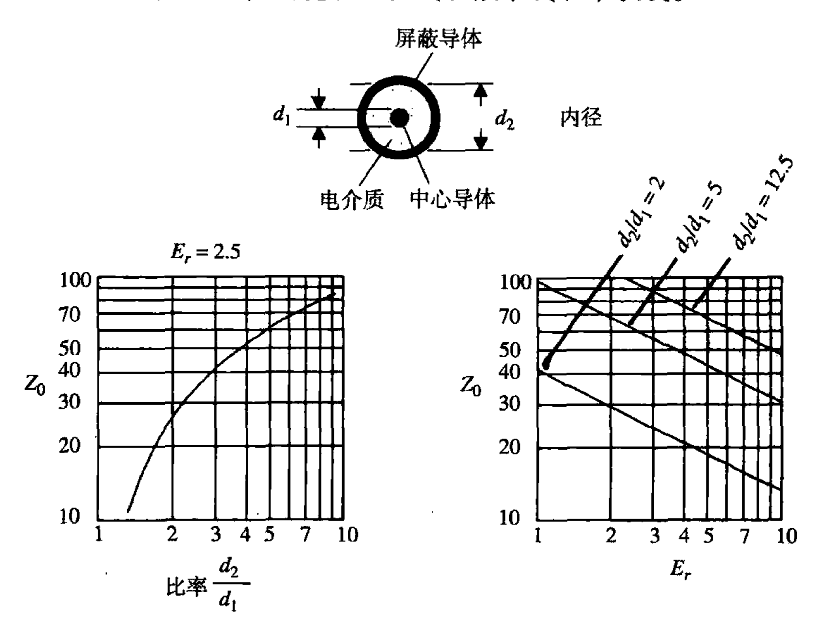


图4.29 同轴电缆的特性阻抗与几何结构及介电常数的关系

附录C中列出的微带线和带状线公式，是作者能够找到的最为可靠的公式。它们来自于微波理论，并提供了原始参考的出处，以便于读者进一步研究。每个公式的精度以及参数的适用范围都列在了微带线和带状线的公式当中。这些公式与其他广为人知的公式集（如Motorola MECL System Design Handbook）形成了对照。Motorola在20世纪70年代推广了这一公式集，以配合它的ECL逻辑系列。这里我们将这个公式集作为“简单公式集”。

简单公式集的好处在于能够用一个手持式计算器毫不费力地完成计算。如果布线对地高度大于0.020 in，这个简单公式集对于超过75 Ω的线路阻抗，仍能够计算出比较合理的结果。在这些公式刚刚出现的时候，布线对地高度的标准是0.020 in。

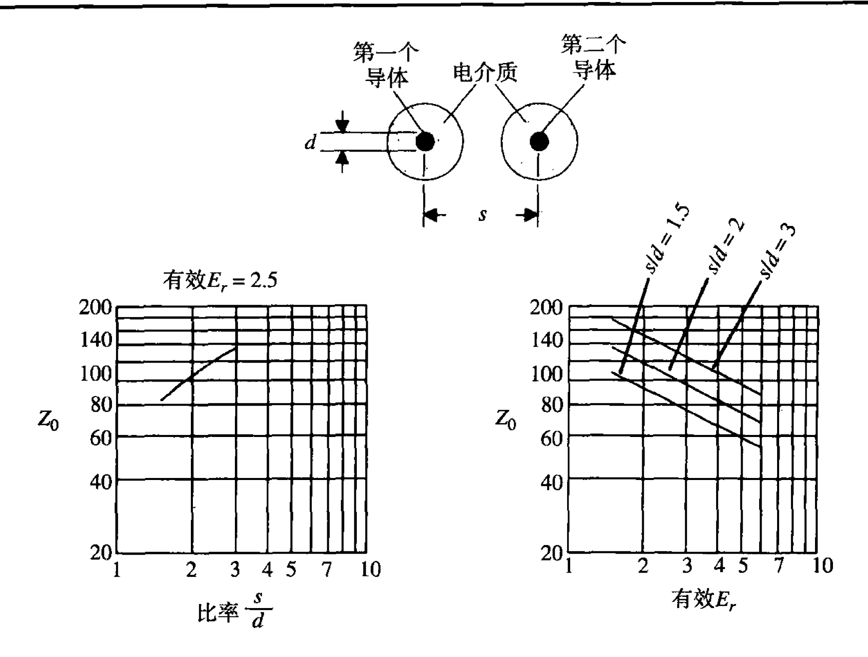


图 4.30 双绞线的特性阻抗与几何结构及介电常数的关系

现在的电路布线对地高度一般为0.005 in，或者更小。在这么低的高度上，走线厚度的影响变得非常明显。附录C的公式集预先估计了走线厚度的影响。用这些公式，我们就可以预测覆铜重量由1 oz变为2 oz时对最终阻抗产生的影响。

简单公式集最显著的缺陷出现在低走线阻抗的情况下。当布线的宽度与它的高度之比超过7时，简单公式失效了，给出了相反的结果。结果如图4.32所示。如果需要实现低阻抗的时钟分配布线（可能是20 Ω），简单公式集就没有什么用处了。

4.5.1 传输线参数的控制

很明显，要精确地控制传输线的阻抗，需要精确控制它的物理结构以及介电常数。

4.5.1.1 控制阻抗的精确度

根据式（4.53）可以知道，10%的传输线阻抗误差会产生5%的反射。这对我们很有帮助。如果知道了失配反射的百分比预算值，将这个百分比乘以2，就可以得到在线路特性阻抗和端接电阻之间所容许的失配范围。例如，一个10%的反射预算，留给线路特性阻抗10%的容许误差范围，再加上端接电阻的容许误差范围10%，通常会得出更精确的端接电阻值（例如2%），从而为阻抗的变化留出更多的容许误差。

对于同轴电缆和双绞线，设计人员要考虑到任何可能出现的阻抗误差。印刷电路板的情况就不一样了。通过指定印刷板的各种工艺参数，设计者几乎可以任意控制布线阻抗的变化。

不要规定过于苛刻的容许误差。因为为了达到苛刻的指标，需要进行特定的测试，降低了产量，还会出现其他的生产难题（见4.5.1.4节），这样会耗费额外的费用。

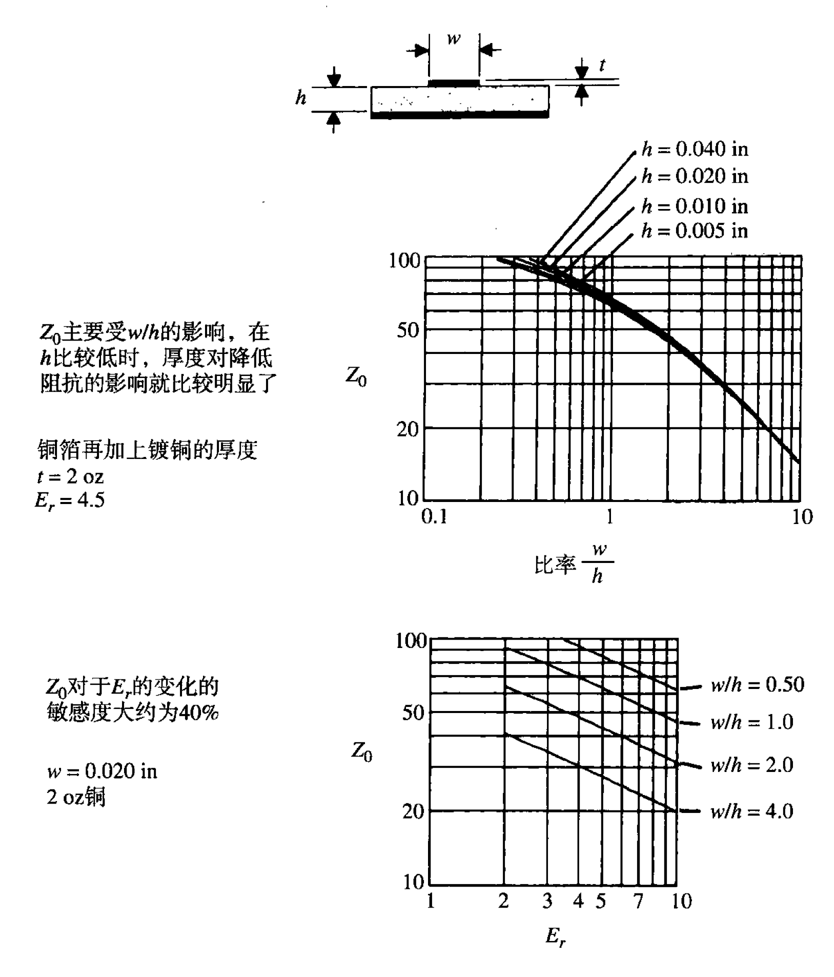


图 4.31 微带传输线的特性阻抗与几何结构及介电常数的关系（见附录C中公式）

4.5.1.2 物理尺寸如何影响阻抗

在大多数传输线阻抗计算公式里面，物理尺寸作为一个自然对数变量而出现。这个对数函数是显著的缓变函数，即意味着物理尺寸上大的变化对阻抗结果的影响并不明显。这个结论对我们很有利。

阻抗对物理尺寸变化的敏感度很低。敏感度定义为每百分之一的线宽变化导致的阻抗变化，以百分比表示。一个对数曲线可以将这个敏感度直接描述出来。在对数坐标纸上绘出函数的曲线，该曲线的斜率等于函数对于其参数变化时的敏感度。

斜率为 1 表明函数和输入变量之间直接成正比，1% 的输入信号变化会导致 1% 的输出变化。1/2 的斜率则表明函数和变量的平方根成正比。1% 的输入变化会导致 0.5% 的输出变化。图 4.29 到图 4.35 都是以对数 – 对数坐标轴给出的曲线，这样有助于确定敏感度。

对于关键性的应用，应计划两轮设计制造周期。这样就有机会检验对阻抗控制的设计，而后在第二轮设计中针对不可避免的寄生产物进行一些调整改进。通过对第一次的电路板进行专门的详细分析和标注，可以知道生产过程是否精确地再现了你的设计。这些数据再结合高频绝缘测试和电路板上测试线路的阻抗测量，可以决定是否需要对设计进行调整。

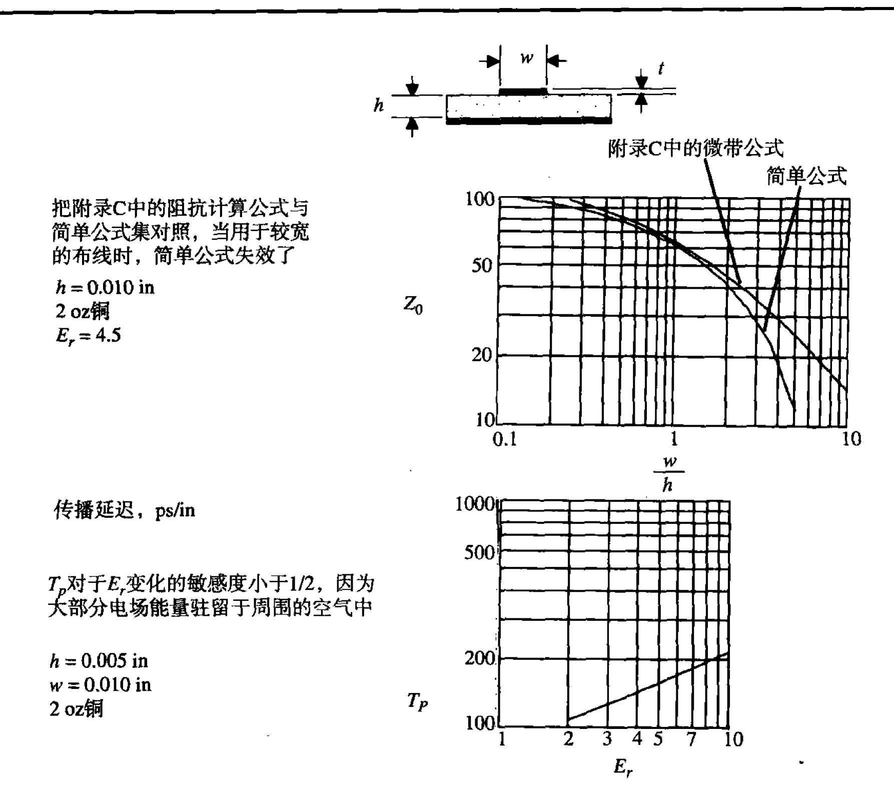


图 4.32 微带传输线的特性阻抗和传播速率（见附录C中公式）

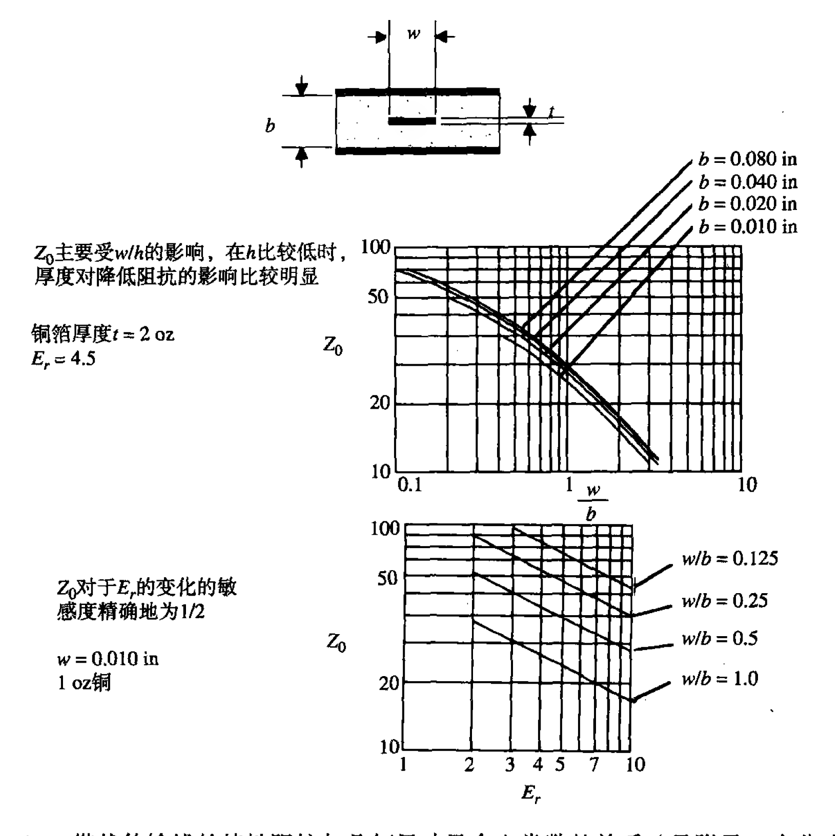
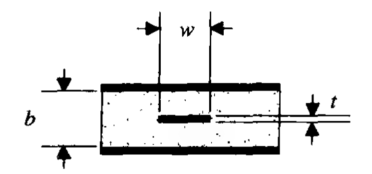


图 4.33 带状传输线的特性阻抗与几何尺寸及介电常数的关系（见附录C中公式）



附录C中的带状传输线公式

简单公式

把附录C中的阻抗计算公式与简单公式集对照，当用于较宽的走线时，简单公式失效了

$b = 0.020$ in

1 oz铜

$E_r = 4.5$

Z_0

100
50
20
10

0.1　1　10

$\frac{w}{b}$

传播延迟，ps/in

T_p对于E_r变化的敏感度精确地为1/2

T_P

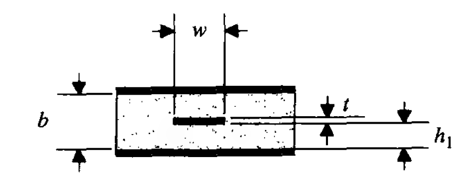
1000
500
200
100

1　2　3　4　5　7　10

E_r

只有E_r控制着传播延迟，与参数b，w和t无关

图 4.34　带状传输线的特性阻抗



所有其他参数都相等，当带状线位于两个地平面的正中间时阻抗最大

$b = 0.020$ in

$w = 0.005$ in

1 oz铜

Z_0

100
50
20
10

0　0.010　0.020

h_1

走线对下层地平面的高度

图 4.35　偏移带状线的阻抗（见附录 C 中公式）

4.5.1.3 有效的电场介电常数

在所有的公式中，传输速率都与有效介电常数的平方根成反比。有效介电常数有时很难测定。

例如，在同轴电缆中，所有的电场都驻留在电缆内中心导体与屏蔽层之间的区域。有效介电常数就是其绝缘材料的介电常数。

在一个松散绑定的双绞线电缆中，或者当导线间距与线径之比较大时，导体间的电场弯曲成拱形曲线，主要是穿过空气。其有效介电常数是空气相对介电常数（1.00）和绝缘材料相对介电常数之间的一个平均值。

扁平电缆对于这种影响尤其敏感。较厚的电缆，其导线被绝缘材料完全包裹着，对于其中相邻的导线，有效介电常数接近于绝缘材料的介电常数。而对于涉及非相邻导线的计算，介电常数实际上就是1（大部分电场绕过了绝缘体而穿过空气）。

一些扁平电缆生产商只是使用扁平的、硬而薄的一层绝缘材料来对导线进行支撑，而不是完全包裹。在薄的绝缘体表面可以看到隆起的导线。因为大多数电场都在空气中，因此其有效介电常数较小，比绝缘体厚的电缆具有更高的传播速率。

介电常数会随温度的变化而变化。对于FR-4环氧树脂电路板，如果其温度的变化范围是0℃~70℃，其介电常数的变化可以达到20%。同轴电缆里面的绝缘体的介电常数变化则比较小。

4.5.1.4 合理的生产公差

对于印刷电路板而言，可以达到的生产公差与生产电路板的基板材料、腐蚀或电镀过程有关。

比较流行的FR-4基板生产时可以用多种不同的环氧树脂/玻璃比例，从而得到的相对介电常数在4.00~5.25之间。印刷电路板生产商通过购买质量高、公差低的板基材料来控制这些参数。如果要求介电常数是4.5 ± 0.1，则是不合理的。

相对介电常数随着频率的变化而变化。在低频时，50%的树脂FR-4的相对介电常数在4.7左右，在1 MHz时下降到4.5，在1 GHz时下降到4.35。介电常数的典型测量频率是1 MHz。在测量介电常数时，一定要指明它的测量频率。对于阻抗的计算，会用到电路在转折频率处的介电常数值[①]。

FR-4的介电常数会随着温度的变化产生较大的变化。如果这个因素比较重要，可以考虑使用陶瓷或聚四氟乙烯基板，它们有比较稳定的介电特性。

军用标准MIL-STD-275，“Printed Wiring for Electronic Equipment”和相关的商业标准[②] IPC-ML-950，“Performance Specifications for Rigid Multi-layer Printed Boards”都对机械和电子公差做了指导性规定。军用标准根据生产难度，将电路板分成3个级别：首选的（preferred）、标准的（standard）和降低生产能力的（reduced producibility），这是由军方专家发明的术语。商用电路板根据生产难度也分成3个级别：消费类的（consumer）、普通的（general）和高可靠性的（high reliability）。

在军用标准里面，允许的线宽公差取决于生产技术。用在电路板内层的简单腐蚀程序有最好的线宽公差。外层电路板要求增加电镀程序，该程序增加了最终线宽的不确定性。对任何一

① 参见式（1.1）对转折频率的定义。

② 电子电路互连与封装协会（Institute for Interconnecting and Packaging Electronic Circuits，简称IPC）。

层而言，较薄的铜箔都可以更容易控制线宽，但其承载电流的能力会比较小。表 4.2 中列出了最坏的情况下 2 oz 的外层铜箔的公差。如果外层采用 1 oz 铜箔，会稍好一些。

表 4.2　印刷电路板公差 MIL-STD-275

	首选的	标准的	降低生产能力
最小层厚（厚度公差最小 10% 或 0.001）	0.008	0.006	0.004
最小导体宽度			
内层	0.015	0.010	0.008
外层	0.020	0.015	0.008
宽度公差			
内层，1 oz	+0.002	+0.001	+0.001
	−0.003	−0.002	−0.001
内层，2 oz	+0.004	+0.002	+0.001
	−0.006	−0.005	−0.003
外层，2 oz	+0.008	+0.004	+0.002
	−0.006	−0.004	−0.002

军用指导性规定对于理解典型公差是一个比较好的起点。与你的印刷电路板生产商多沟通，了解他们的能力，并不断地问：这样做需要多少钱？

4.5.1.5　计算传输线的软件

多数工程师都使用下面的简单公式集，制作一批电路板卡，然后根据需要对线宽和线间距进行调整。

如果要得到更好的精度，可以使用附录 C 中更复杂的公式。为了方便读者，附录 C 中的所有公式都已经用 MathCAD 实现了。读者可以从网络上获得电子版文件，这样可以节约输入时间[①]。

如果在制作印刷电路板之前想要更好地预测特性阻抗或串扰，可能需要一个更复杂的计算机模型。在本书出版时，下面的公司出版了用以计算特性阻抗和串扰的精确计算软件包：

B. V. Engineering, Chicago, Illinois
Micro-3
Quad Design, Camarillo, California
Crosstalk Tool Kit
Quantic Laboratories, Winnepeg, Manitoba, Canada
Greenfield
TR line

4.5.2　同轴电缆的计算公式

该计算公式参见图 4.29。

内部导体的直径为 d_1
屏蔽外壳的内径为 d_2（$d_2 > d_1$）
有效相对介电常数为 ε_r

① 书中的MathCAD公式可以从Howard W. Johnson博士的有关信号完整性的网页（www.sigcon.com或signalintegrity.com）下载。

（对于整体内芯电缆，ε_r 等于绝缘材料的介电常数。对于泡沫，螺旋缠绕或其他包含有许多空气的内芯，ε_r 会小些）

阻抗（Ω）：

$$\frac{60}{\sqrt{\varepsilon_r}}\ln\left(\frac{d_2}{d_1}\right) \tag{4.86}$$

传播延迟（ps/in）：

$$85\sqrt{\varepsilon_r} \tag{4.87}$$

4.5.3 双绞线的计算公式

该计算公式参见图 4.30。

导体直径为 d，
导线中心之间的距离为 s（$s > d$），
有效相对介电常数为 ε_r，
（对于分得很开的导线，$\varepsilon_r = 1$；对于有绝缘体的导线，用绝缘材料的介电常数）
阻抗（Ω）：

$$\frac{120}{\sqrt{\varepsilon_r}}\ln\left(\frac{2s}{d}\right) \tag{4.88}$$

传播延时（ps/in）：

$$85\sqrt{\varepsilon_r} \tag{4.89}$$

4.5.4 微带线的简单公式集

该公式集参见图 4.31 到图 4.32。

图 4.31 和图 4.32 所示曲线是根据附录 C 中列出的精确公式计算得到的。下面列出的简单公式可以给出这些数值的合理近似值。图4.32中包含了附录C中的公式和简单阻抗公式的比较曲线图。

对地高度为 h，in
线宽为 w，in
线厚为 t[①]，in
基板相对介电常数为 ε_r
（简单公式集把电场在基板和空气之间的分配方式计算在内，把有效介电常数降低到基板的相对介电常数以下。这里使用的是基板的相对介电常数）

下面的公式只适用于窄的微带：
当 $0.1 < w/h < 2.0$，同时 $1 < \varepsilon_r < 15$ 时，采用下面的公式：
阻抗（Ω）：

① 有时又称为电镀重量，每盎司的电镀重量是 0.001 35 in 厚度。

$$\frac{87}{\sqrt{\varepsilon_r+1.41}}\ln\left(\frac{5.98h}{0.8w+t}\right) \tag{4.90}$$

传播延时（ps/in）：

$$85\sqrt{0.475\varepsilon_r+0.67} \tag{4.91}$$

4.5.5 带状线的简单公式集

该公式集参见图4.33到图4.35。

图4.33到图4.35所绘制的曲线是通过附录C中列出的精确公式计算得到的。下面列出的简单公式可以给出这些数值的合理近似值。图4.34中包含了附录C中的微带线公式和简单阻抗公式的比较曲线图。

地平面间距为 b，in
线宽，w，in
线厚，t[①]，in
有效相对介电常数，ε_r
（等于环绕介质的相对介电常数）

下面的公式适用于窄的带状线：
当 $w/b<0.35$，同时 $t/b<0.25$ 时，采用下面的公式：
阻抗（Ω）：

$$\frac{60}{\sqrt{\varepsilon_r}}\ln\left(\frac{1.9b}{0.8w+t}\right) \tag{4.92}$$

传播延时（ps/in）：

$$85\sqrt{\varepsilon_r} \tag{4.93}$$

记忆要点

- 对于印刷电路板走线而言，最重要的数据是线宽与对地距离的比值。
- 把反射预算乘以2，可以得到特性阻抗和端接电阻之间所容许的失配范围。
- 物理尺寸发生大的变化，对阻抗的影响并不大。
- 任意函数的对数－对数曲线斜率，等于函数对其参数变化时的敏感度。
- 所有有关传输速率的公式，都与有效介电常数的平方根成反比。

① 有时又称为电镀重量，每盎司的电镀重量是0.001 35 in厚度）。

第5章　地平面和叠层

在高速数字系统中，通过地平面和电源平面实现三个重要功能：

- 为数字信号的转换提供稳定的参考电压
- 为所有的逻辑器件分配电源
- 控制信号之间的串扰

本章的重点是信号串扰。在5.1节到5.6节中，假定走线相对较短，以适合于采用集总参数来分析互感。5.7节则讨论走线较长的情况，分别对其前向耦合和反向耦合进行分析。

5.8节总结了优秀的印刷电路板设计中控制串扰的叠层规则。

本章中公式里的因数精确在2以内。如果想要得到更好的准确度，可以把公式作为指导，建立一个原型，然后测量它的实际特性。许多传输线结构可以很容易地用铜带和空白电路板材料来构建。

本章中的公式非常适合于揭示实际的改变会引起多大的电磁效应调整。例如，如果30%的串扰太高，那么通过公式可以知道走线距离应该再分开多少。对于预测任何特定效果的绝对数值用处不大。

5.1　高速电流沿着电感最小路径前进

在低速电路中，电流沿着最小电阻路径前进。参考图5.1，低速电流从*A*传输到*B*，然后沿着地平面返回到驱动器。返回电流从展开的弧线路径回到驱动器，每条弧线上的电流密度与该路径上的电导相对应。

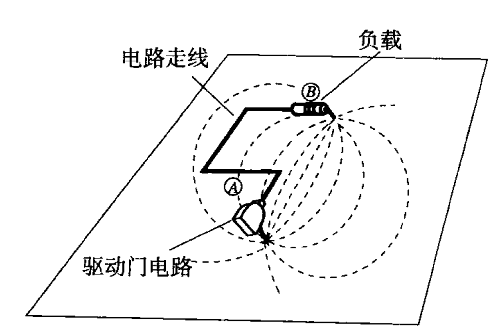


图5.1　在低速电路中，电流沿着最小电阻路径前进

在高速电路中，对于一个特定的电流返回路径，电感要远比其电阻重要。高速的返回电流沿着电感最小路径前进，而不是电阻最小路径。

电感最小的返回路径就紧贴在一个信号导体下面，它使输出电流路径与返回电流路径之间的总回路面积最小。

返回信号电流趋向于走这个直接的路径，紧贴在一个信号导体下面。图5.2显示了一个典型的高频返回电流路径。

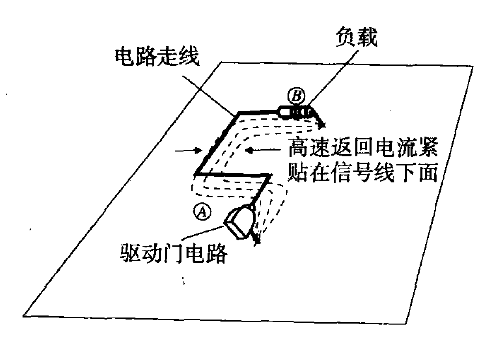


图 5.2　高速电流沿着最小电感路径前进

图5.3提供了典型的印刷电路板走线及其返回电流分布的截面图。最大电流密度就在走线的正下方，而两边的电流密度则明显地下降。

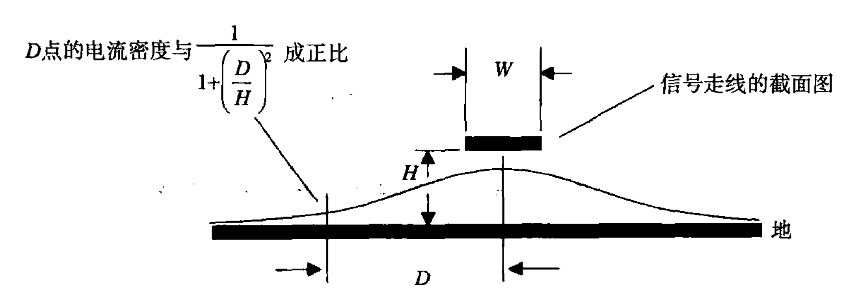


图 5.3　高频信号走线下电流密度的分布

一个距信号线 D 英寸的点与返回电流密度之间的关系近似为：

$$i(D)=\frac{I_0}{\pi H}\cdot\frac{1}{1+(D/H)^2} \tag{5.1}$$

其中，I_0 = 总的信号电流，A

H = 走线在电路板上面的高度，in

D = 距信号线的垂直距离，in

$i(D)$ = 信号电流密度，A/in

电流的分配，见式（5.1），是两个反向作用力的平衡。如果电流靠得越近，它的电感就越大（细线比宽平线的电感大）。如果电流距离信号走线越远，输出信号和返回信号路径之间总的回路面积会越大，从而使电感增加（电感与环路面积成正比）。

式（5.1）指出了减小输出信号和返回信号路径的总回路电感的最优化分配。

该电流的分配同时也将存储在信号线周围磁场中的能量减到最少。

记忆要点

- 高速信号电流沿着最小电感路径前进。
- 返回信号电流趋向于信号导体的附近，电流密度随着其相互距离增加的平方而下降。

5.2 完整地平面的串扰

两个导体之间的串扰取决于它们之间的互感和互容。通常，在数字设计中，感性串扰相当于或大于容性串扰，因此从这里开始我们主要讨论感性耦合的机制。

关于集总电路中互感耦合的理论在 1.10 节中讨论。该理论假定返回信号电流将会产生磁场。该磁场反过来在其他的电路走线上产生感应电压。

感应电压与驱动信号的导数成正比，当上升时间变短的时候，感应电压将变得非常严重。

因为返回电流密度以及和它相关的局部磁场强度按照式（5.1）逐渐减少，所以我们猜想，在图 5.4 中，当逐渐把两条走线相互移开时，相互的感性串扰也应该逐渐减少。

$$\text{串扰} \approx \frac{K}{1+(D/H)^2} \tag{5.2}$$

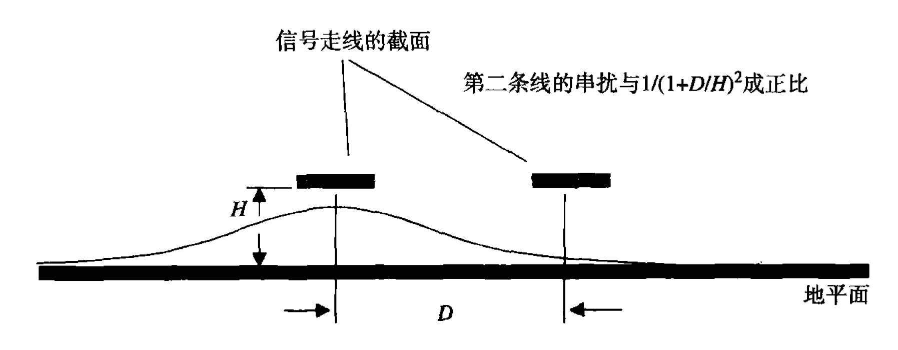


图 5.4　两条走线串扰的截面图

这里我们用测量到的噪声电压与驱动阶跃幅度的比率来表示串扰。常数*K*取决于电路的上升时间和干扰走线的长度。*K* 通常小于 1。

我们可以用一个简单的实验来检验这个假设。在图 5.5 中配置的走线是 26 in 长，中心线之间的距离是 0.080 in。它们布放在一个单面电路板上。该实验的地平面是紧贴在电路板下面的一张完整的铜板。同时，在电路板和地层之间插入一片已知厚度的电介质。通过这样的安排，可以同时改变驱动和接收走线到地平面的有效高度。

因为问题中涉及特性阻抗，比率的大小比绝对数值更重要，在这个例子中，比率*D*/*H*决定串扰。通过改变走线距地平面的高度，可以控制比率 *D*/*H*。

图 5.6 画出了当驱动输入为 3.5 V 的阶跃时，在 *D* 点测量到的阶跃响应结果。图 5.6 中的距离地平面高度分别为 0.010 in，0.020 in，0.030 in，0.040 in 和 0.050 in。其中最后的走线（最大的噪声脉冲）完全没有采用地平面。

图 5.7 把测量到的数据汇集成表格，显示出线路间的互感是比率*D*/*H*的函数，按照 1.8 节的解释，面积作为相互耦合的度量单位。通过测量面积，当遇到一个高的回路电感时，我们可以得到驱动波形的减慢趋向。这个效应在噪声曲线图中表现出来的是高耦合因数时噪声脉冲会加长。

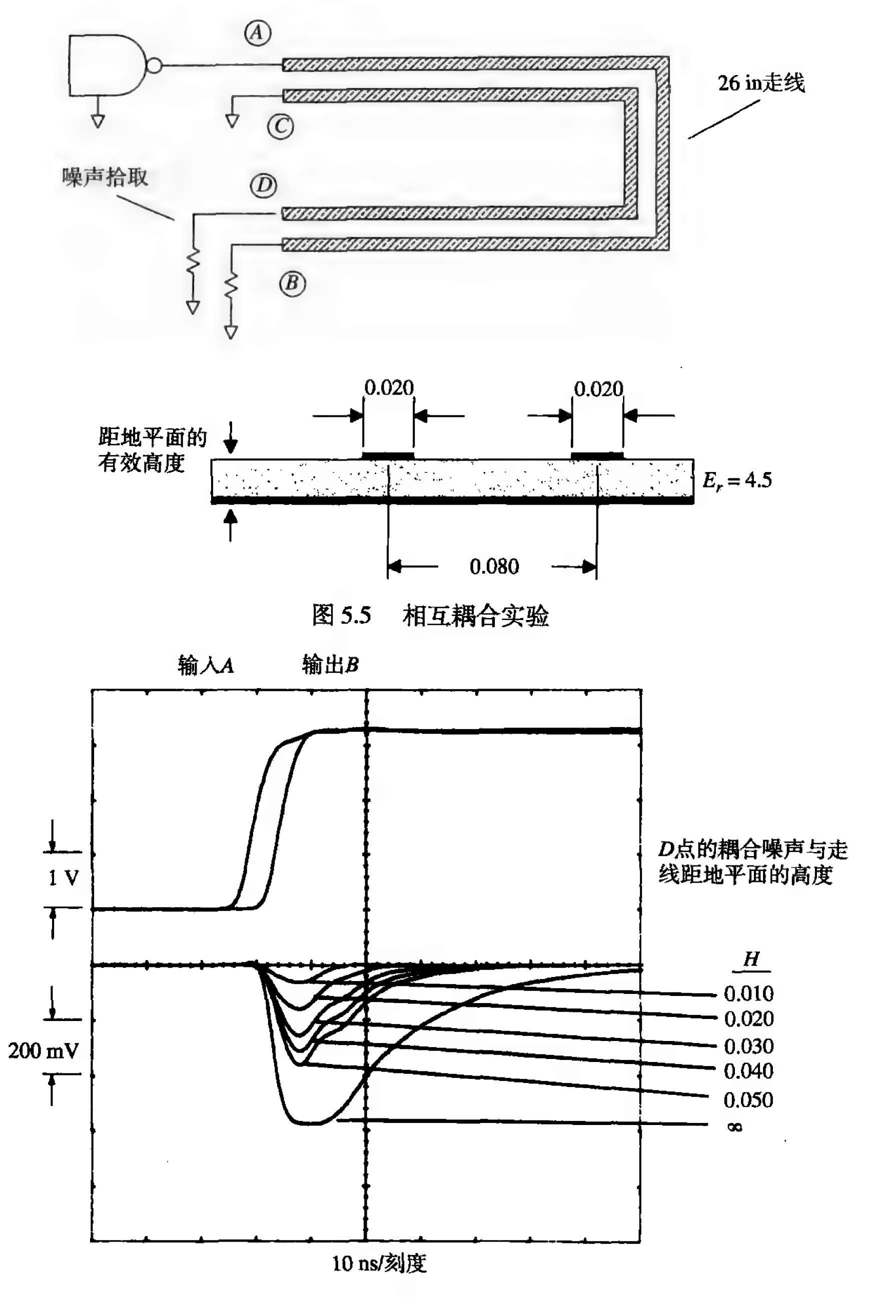


图 5.5　相互耦合实验

图 5.6　相互耦合试验的阶跃响应

记忆要点

- 返回信号电流产生磁场，该磁场反过来在其他的电路走线上产生感应电压。
- 耦合到邻近走线的感应噪声，随着相互距离增加的平方而下降。

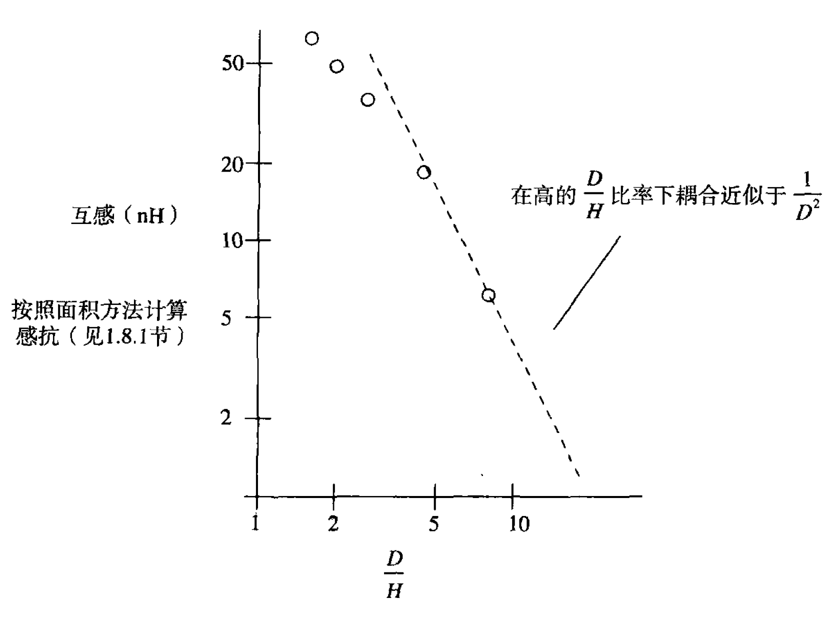


图 5.7　相互耦合的测量数据

5.3　开槽地平面的串扰

图5.8中描述的串扰情况是一个典型的布局设计中的错误，称为地槽（ground slot）。当一个布线设计工程师把正常的布线层的空间用尽，想在地层面上塞进一根走线时，会出现地槽。通常采用的方法是在地层面上分割出一个长条，然后在里面布线。对于垂直经过该槽的走线，地槽会增加其电感，也增加了串扰。这种做法应该是被禁止的。

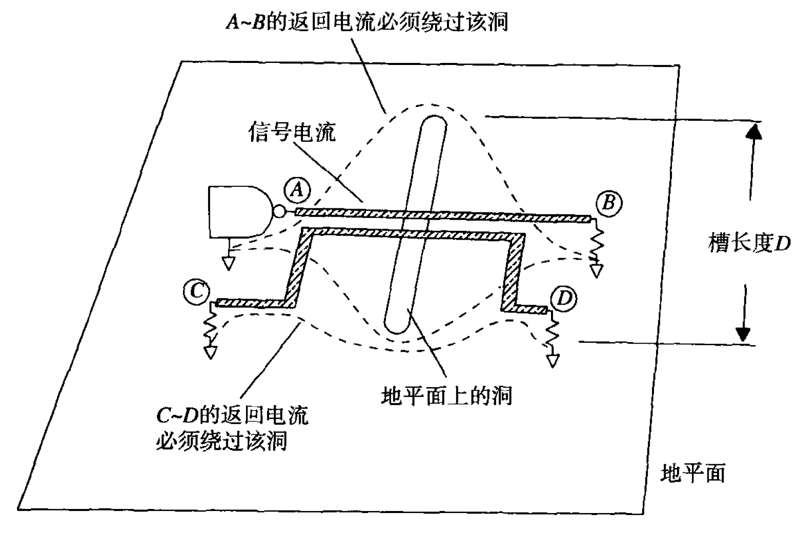


图 5.8　一个开槽地平面的串扰

在密集的背板上经过连接器的引脚区域时也会发生地槽的情况，因此应该确认每个引脚的间隙孔，保证所有的引脚之间的地保持连续（见图5.9）。

如图5.8所示，从驱动器A点返回的电流不能直接从走线A~B之下流过，而是转向绕过地槽的顶端。

经过转向的电流形成了一个大的环路，严重地增加了信号路径*A*~*B*的电感，从而减慢了在*B*点收到信号时的上升时间。

转向的电流同时与走线*C*~*D*的返回电流路径环路形成严重重叠。这个重叠在信号走线*A*~*B*和走线*C*~*D*之间引起一个大的互感。

与走线*A*~*B*串联的有效电感是：

$$L \approx 5D \ln\left(\frac{D}{W}\right) \tag{5.3}$$

其中，L = 电感，nH

D = 槽长度（从信号走线转向的电流的垂直宽度），in

W = 走线宽度，in

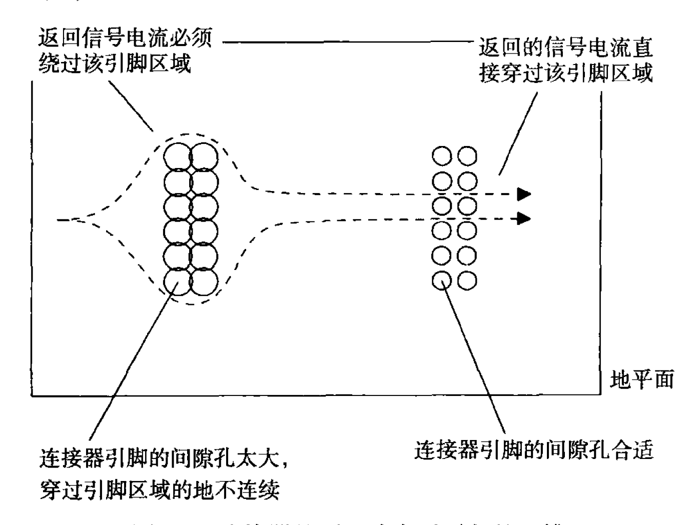


图 5.9　连接器的不正确布局引起的地槽

槽宽度（即经过槽的信号走线所暴露的长度）几乎不影响信号走线的电感。任何宽度的一个槽，无论多窄，都会使电流转向，绕过槽的两端。槽的宽度从零一直到等于槽的长度，效果都一样。

如果走线布在靠近槽的一端，电感就比较少一些。如果槽长度和走线宽度接近或小于线宽，就几乎没有影响。如果槽靠近走线，但没有和走线交叠，影响也较小。

由槽导致电感的变化所引起的上升时间损失，其数值取决于所采用的端接情况。最坏的情况是一条长线，在电感两端的源端阻抗都是Z_0。因此*L*/*R*滤波器的10%~90%上升时间的结果形式如下：

$$T_{10\%\sim90\%\ L/R} = 2.2\frac{L}{2Z_0} \tag{5.4}$$

使用平方求和再开平方根的方法合并这一上升时间和正常信号的上升时间：

$$T_{总} = [(T_{10\%\sim90\%\ L/R})^2 + (T_{10\%\sim90\%\ 信号})^2]^{1/2} \tag{5.5}$$

对于驱动一个大的容性负载*C*的短线，其10%~90%的上升时间（假设为临界阻尼）为：

$$T_{10\%\sim90\%} = 3.4(LC)^{1/2} \tag{5.6}$$

这样的一个电路可能会发生振铃。该电路的 Q 值取决于驱动器的源电阻 R_S:

$$Q=\frac{(L/C)^{1/2}}{R_S} \tag{5.7}$$

当 Q 值大于 1 时，电路会振铃，当 Q 值接近 1 时，电路的上升时间遵从式（5.6），当 Q 值小于 1 时，电路的上升时间比式（5.6）的时间慢。

如果第二条走线与第一条走线很近，也横穿了相同的槽，这两条走线将会紧耦合。第二条走线与第一条走线的耦合电感 L_M 与式（5.3）中的 L 相同。

如果第二条走线布在靠近槽的一端，它与第一条走线的耦合电感随着它与槽端的距离线性减少。

根据耦合电感和驱动电路的电流变化时间速率的知识，可以算出两条走线之间的交叉耦合电压：

$$V_{\text{串扰}}=\frac{\Delta I}{T_{10\%\sim90\%}}L_M \tag{5.8}$$

对于一条长线，ΔI 只是等于驱动电压除以特性阻抗：

$$V_{\text{串扰}}=\frac{\Delta V}{T_{10\%\sim90\%}Z_0}L_M \tag{5.9}$$

对于驱动一个大的容性负载 C 的短线，电流变化速率是电压的二次导数：

$$V_{\text{串扰}}=\frac{1.52\,\Delta VC}{(T_{10\%\sim90\%})^2}L_M \tag{5.10}$$

式（5.4）到式（5.10）对于地平面中由任何阻断所引起的电感的分析都同样合适。

记忆要点

- 地平面开槽会产生不必要的电感。
- 槽电感会减慢上升沿。
- 槽电感会产生互感串扰。

5.4 平行交叉地平面的串扰

图 5.10 中所示的电源和地的栅格（power and ground grid）方式，节约了印刷电路板的面积，但其代价却是增加了互感。这种方法不需要单独的电源和地层，你可以在同一层像连接电源和地一样连接普通信号。该方法适合于小规模的低速 CMOS 和普通 TTL 电路设计，但是对于高速逻辑电路，则不能提供充分的接地。

在地平面栅格设计图中，在板子的底层，地线水平分布，而电源走线则垂直分布在板子的顶层。在连接线的每个交叉点，通过一个旁路电容连接两组线，从而形成一个平行交叉的图案。电流沿着地或电源接线平等地返回到源端。

这个系统中使用的旁路电容一定要非常好，因为有些返回电流在流向驱动门的途中要穿过多个旁路电容。

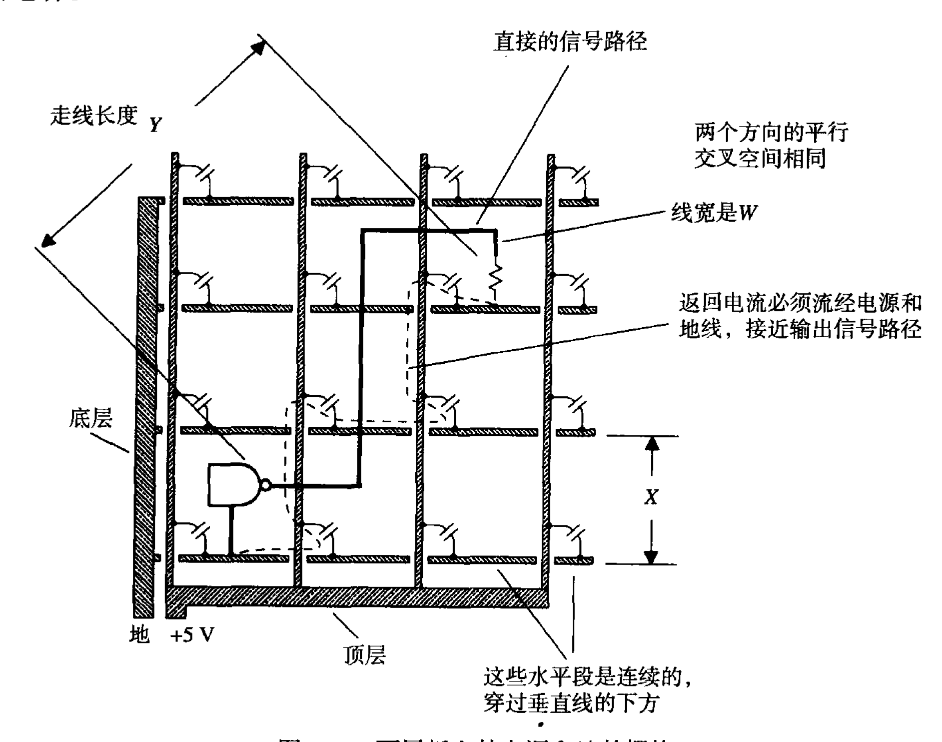


图 5.10　两层板上的电源和地的栅格

电源和地走线敞开的模式为在电源和地层上走其他的信号留下了大量的空间。在完成电源和地的连接之后，该板上的地层面的水平走线通道、电源层面的垂直走线通道仍保留，如果必须使用一个双层板，这是一种不错的方法。

与此相关的另一种布局模型称为平行交叉地平面（cross-hatched ground plane）。

这个布线模型完全在一个层上，板子上覆盖的线包括水平和垂直的走线。平行交叉地平面方式只和地相连，该层没有走其他信号。

平行交叉地平面有助于在一个薄板上实现高阻抗的传输结构。有时候在一个薄的介质上，实现满意的阻抗所需要的宽度往往因为太窄而无法可靠地加工。

在这种情况下，地层就可以采用平行交叉地平面模型，增加串联电感，减少旁路电容，从而提高线路的特性阻抗。除非走线以45°对着交叉方向，否则不要在平行交叉地平面上试着实现控制线路阻抗。只有当平行线比上升沿的长度小许多时，这种方法才能有效。

与完整地平面相比，电源和地的栅格及平行交叉地平面布局都在走线间引入了很大互感，问题是，互感这么大，电路还能正常工作吗？

首先，让我们估计穿过一个平行交叉地平面上的单一走线的自身电感，这个估算同样适用于一个电源和地的栅格布局。

$$L \approx 5Y \ln\left(\frac{X}{W}\right) \tag{5.11}$$

其中，L = 电感，nH

X = 平行线宽度，in

W=走线宽度，in

Y=走线长度，in

如果走线靠近一条平行交叉线，电感就稍少一些。如果平行交叉图案和走线宽度接近或小于线宽，就几乎没有影响。

如果第二条走线与第一条走线很近，走在了相同平行交叉线间，两条走线将会紧耦合。第二条走线与第一条走线的耦合电感L_M，与式（5.11）中的L相同。

如果第二条走线偏移的距离D很合适，与第一条走线的互感则会减少，其分母和式（5.2）类似，但是用平行交叉线尺寸X代替H项：

$$L_M \approx \frac{5Y\ln(X/W)}{1+(D/X)^2} \tag{5.12}$$

使用5.3节的公式，可以计算由自感和互感引起的上升时间劣化和串扰电压。

记忆要点

- 如果必须采用双面板（两层），可以使用电源和地的栅格系统。

5.5 指状电源和地线的串扰

图5.11示意了电源和地线的指状布局，与电源和地的栅格类似，容许一些互感的耦合，但是节省了更多的线路板面积。

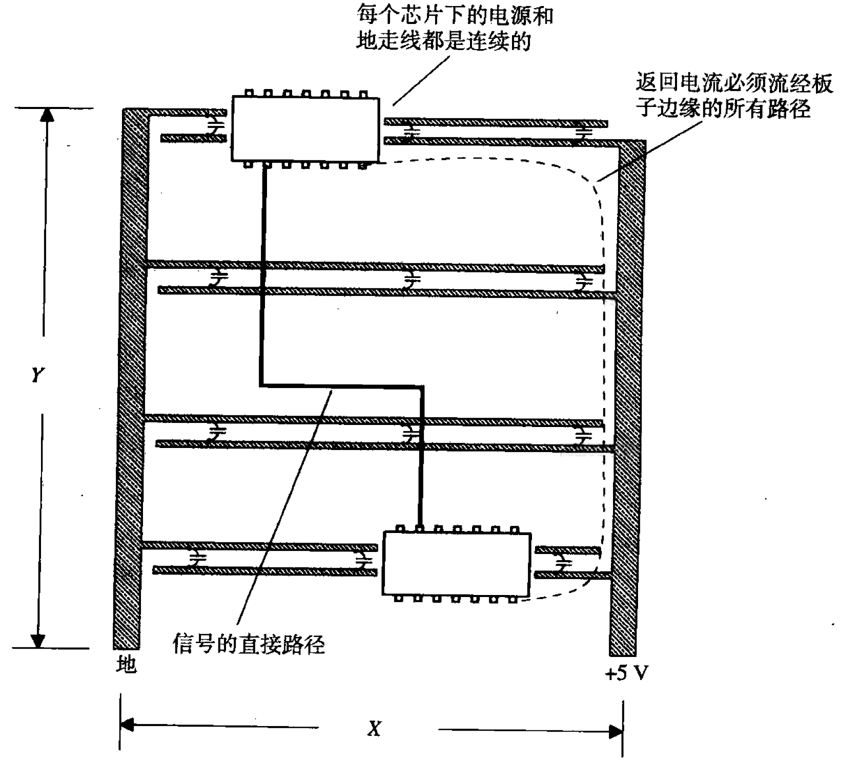


图5.11 指状布局的地线

在 FCC（Federal Communications Commission，美国联邦通信委员会）颁布辐射指南之前制造的早期计算机设备（如 PDP-8）中，这种老式布局出现过。电源和地的指状布局同样也用在廉价的绕接框架上。建议不要使用这种布线方法。

电源和地的指状技术只适用于在小的电路卡上实现非常低速的逻辑电路。

它的主要优势是电源和地的接线可以在单层上实现。信号走线需要另外一层。

在电源和地的指状设计图中，地线走在板子的右边，电源线布在板子的左边。当需要的时候这些走线可以从左边延伸到右边，像长的手指或横栏木梯。

集成电路块跨立在这些横档上，通过短的连线接地或接到电源线。相邻的电源和地线之间有旁路电容。

这个布局的问题是，大部分的返回信号电流必须走过板子边缘的所有路径，以回到它们的驱动器。这个路径的改道引入了大量的自感和互感。

如果必须采用双面板（两层），可以使用 5.4 节的电源和地的栅格方式。

如果由于某些未知的因素，不得不使用指状的地线布局，那么首先制作一个样板，测量走线之间的互感，然后再计算电路是否能正常工作。

当采用低速的 CMOS 逻辑或老式的 LS-TTL 系列电路时，它可能工作，但是其他的任何快速逻辑系列产品则无法发挥作用。不仅产品有无法使用的风险，而且开放的电流环路的电磁辐射在 FCC 辐射测试中几乎肯定不合格。

下面是电源和地的指状布局上的环路电感的近似计算公式：

$$L \approx 5Y \ln\left(\frac{X}{W}\right) \tag{5.13}$$

其中，L = 电感，nH

X = 板子宽度，in

W = 走线宽度，in

Y = 走线长度，in

注意，走线宽度加倍对整个电感来说几乎没有影响。很宽的地线也起不到改善作用，所需要的是用一个较细的网状地线覆盖板子的表面。

如果其中一条走线靠近一边，其电感会稍小一些。

因为返回电流转向板子的周围边缘，磁场分布在各处，任何其他走线横切这些磁场时，都会与其产生紧耦合，任何两条走线的耦合电感 L_M 实际上和式（5.13）中的 L 相同。距离不会引起耦合电感减少太大。

可以采用 5.3 节的公式，计算由自感和互感引起的上升时间劣化和串扰电压。

记忆要点

- 对于高速逻辑，应该避免采用指状的布局。

5.6 保护走线

保护走线广泛地出现在模拟设计中。在一个两层板的音频电路中，没有完整的地平面，如果在一个敏感的输入电路的两边并行走一对接地的走线，串扰可以减少一个数量级。

在数字电路中，一个完整的地平面可以带来接地保护走线的大部分好处，但保护走线几乎不能比完整地平面提供更多的好处。

依据经验法则，在两条微带之间插入两端接地的第三条线，两条微带之间的耦合则会减半。如果第三条线通过很多通孔连接到地平面，它们的耦合将再减半[①]。如果有不止一个地平面层，那么要在每条保护走线的两端接地，而不要在中间接地。

在数字电路中，如果两条走线之间的距离足够允许引入一条保护走线，那么耦合通常已经很低，而保护走线也没有必要了。详细情况参见例 5.1。

例 5.1 保护走线的计算

在图 5.12 中，两条走线按三条走线的宽度布放，这样刚好足够有一条保护走线的空间。

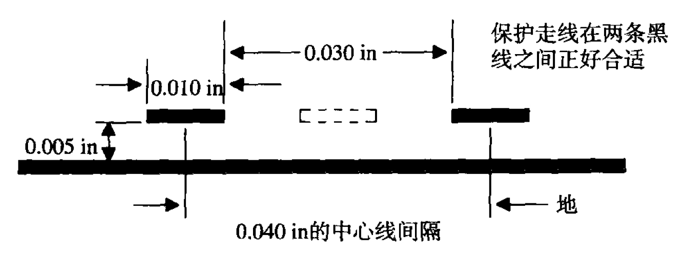


图 5.12 保护走线定位

估计串扰会是多少呢？

运用式（5.1），串扰的数值不可能更差于：

$$\text{串扰} < \frac{1}{1+(D/H)^2} \tag{5.14}$$

中心线间隔是 0.040，而且走线高度是 0.005，因此 D/H 的比值是 8：

$$\text{串扰} < \frac{1}{1+8^2} = 0.015 \tag{5.15}$$

在一个数字系统中，这样的串扰是没有必要担心的。

多大的串扰就太多了呢？在模拟系统中，大功率信号穿过低电平输入信号时需要非常高的抗串扰能力。对于混合使用不同类型逻辑系列产品的数字系统，当信号电压较高的元件（如 TTL）与信号电压较低的元件（如 ECL）接近的时候，将会对串扰问题比较敏感。

通常，对于同一种逻辑类型的数字系统，相近的线路之间的串扰电平在 1%~3% 比较好。这里假设有一个完整的接地平面，从而使每条线只和它最近的线相互影响。来自其他较远的线的交叉耦合是可以忽略的。使用平行或指状接地系统时，许多线对互相影响，在计算一个给定信号总的串扰电平之前，必须算出所有串扰的影响之和。

图 5.13 举例说明了保护走线的典型应用。驱动器沿着走线 A 传输一个已知的电压阶跃，在走线 B 或走线 C 上可以接收到由这一信号引起的串扰。走线是 26 in 长，特性阻抗是 50 Ω。

图 5.14 显示了微带系统中各种不同的阶跃响应。

大的脉冲是线 A 和 B 之间的串扰，线 C 未连接。中间的脉冲是从 A 到 C 的串扰，线 B 未连接。如式（5.2）所预测的，它比 A 到 B 的干扰小 4 倍。

---

① A. Coekin, High-Speed pulse Techniques, Pergamon Press, Oxford, 1975, pp. 203-205.

如果走线B的两端短接到地。则从A到C的耦合最小，这个耦合大约是中间走线耦合的一半。这就是保护走线的耦合减半的效果。

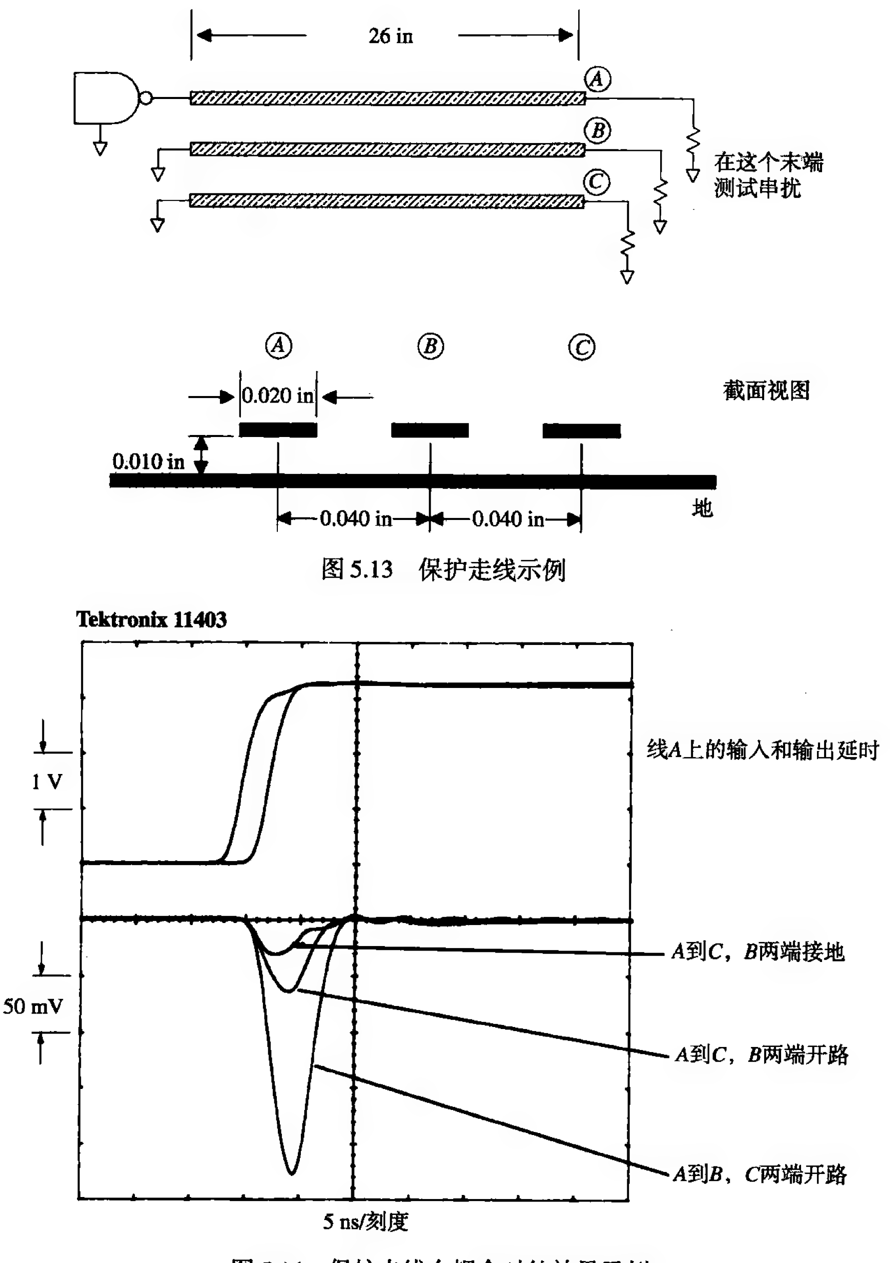


图 5.13　保护走线示例

图 5.14　保护走线在耦合时的效果示例

记忆要点

● 一个完整的接地平面可以提供接地保护走线的大部分好处。

5.7 近端和远端串扰

5.1节到5.6节的串扰例子采用了集总电路进行分析。对于许多耦合问题，这个简单的互感性耦合模型很适合，但是并不适用于长线。

本节分析两条长的分布传输线路之间的耦合，其耦合包括互感和互容。

5.7.1 感性耦合机制

在这一节中，我们只考虑相互的感性耦合。5.7.2节讨论相互的容性耦合。B. L. Haft提供了这些内容的更详细的数学分析[①]。

图5.15举例说明了一种典型的串扰情况。与通常在长线串扰术语中的一样，系统的两端被标上了“近端”和“远端”。

线路A到B上传输的信号的磁场在线路C到D上感应出电压。磁耦合（互感）作用类似于一个变压器。因为互感是分布式的，因此它看上去如同一连串的小变压器连接在两线之间。

假定耦合很小（最好如此），变压器没有严重地影响信号从A到B的传播。

随着一个电压阶跃从A移动到B，在每个耦合变压器上，一个干扰尖脉冲出现在相邻的线上。每个尖脉冲沿着线路C到D的前向和后向传播。

现在，我们只考虑由变压器k所引起的尖脉冲。当一个正阶跃从A到达的时候，变化的电流在变压器k上感应出一个瞬间的电压。如图5.15所示，这个电压尖脉冲是电感线圈K对其上电流变化的反作用：

$$v_{\text{反向}}(t) = L_M \frac{dI}{dt} \tag{5.16}$$

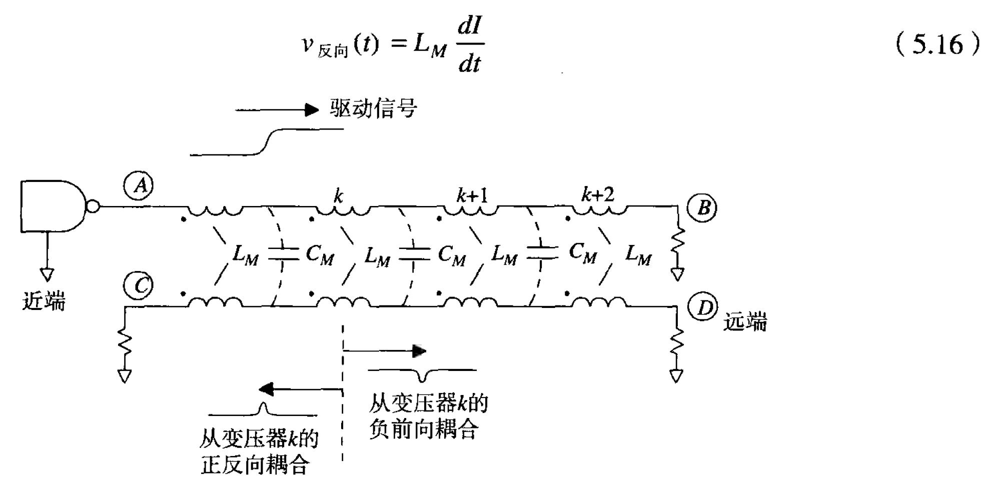


图 5.15　两个长传输线之间的耦合

变压器在线路C到D线上再产生出这一电压尖脉冲，极性如图5.15所示。

有趣的是，变压器k每一端的互感耦合的极性是不同的。一个正的尖脉冲电压向线路C到D的左边走（反向耦合），而负的尖脉冲向右边走（前向耦合）。

图5.16的反射示意图表明，所有变压器的尖脉冲加在一起，形成一个不寻常的图案。负的（前向的）尖脉冲全部一起到达远端。正的（反向的）尖脉冲在不同时刻到达，需要的总时间为$2T_p$。

① L. Han, *Digital Signal Transmission Line Circuit Technology*. Van Nostrand Reinhold, New York, 1988.

让我们先只考虑前向串扰系数。每个前向的尖脉冲与输入信号的导数以及互感L_M成正比。因为所有的前向尖脉冲同时到达远端，所以总的前向尖脉冲大小与两线之间的总互感成正比。如果线路再延伸，总互感也会增加，而且前向的互感串扰也会增加。

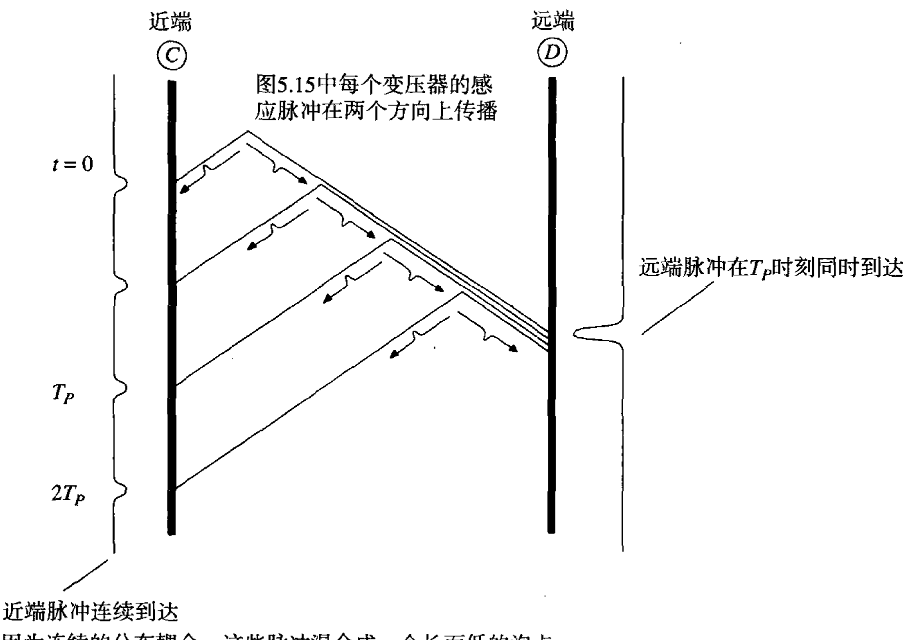


图 5.16　图 5.15 中所示的 4 个变压器互感耦合反射示意图

反向互感耦合则不同。耦合的总量（总面积）与前向耦合是相同的，但是它在$2T_p$期间展开了。在实践中，所有反向耦合的反向尖脉冲平滑地到达一个连续的泡点（blob）。对于互感耦合，理想的反向阶跃响应是一个矩形函数，如图 5.17 所示。

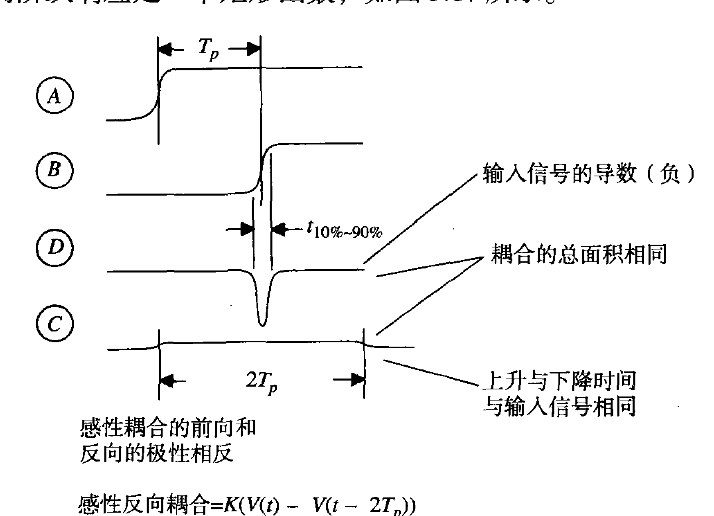


图 5.17　前向和反向的互感耦合（分布式）

如果线路再延伸，总互感会增加，反向耦合的相应变化是：持续时间会增加，而幅度不会变化。

5.7.2 容性耦合机制

分布式耦合电容几乎和分布式电感相同，区别在于耦合的极性。

当一个电压阶跃通过图5.15中的一个耦合电容时，会有一个小的干扰尖脉冲出现在邻近的线上。每个尖脉冲沿着线路 C 到 D 的前向和反向传播。

互容耦合的前向和反向尖脉冲的极性都是正的。除此之外，它们与互感干扰尖脉冲完全相同。

互容前向耦合看起来像输入信号的导数，随线长而变大。它的极性是正的（与前向的互感耦合相反）。

互容反向耦合区域与前向耦合相同，但是它在 $2T_p$ 的区间上展开。对于互容耦合，其理想的反向阶跃响应是一个矩形函数，如图 5.18 所示。

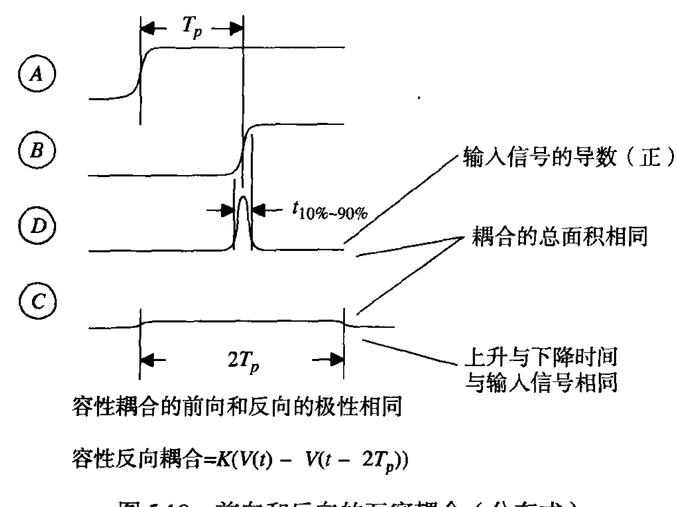


图 5.18 前向和反向的互容耦合（分布式）

5.7.3 互感和互容的混合耦合

正常条件下，在一个完整的地平面上，感性和容性的串扰电压大小基本相等。前向的串扰分量（在 D 点的电压）相互抵消，反向的串扰分量（在 C 点的电压）相互增强。

带状线（Stripline）电路更能够显示感性和容性耦合之间很好的平衡，其前向耦合系数极小。对于微带（Microstrip）线路，与串扰相关的电场大部分穿过的是空气，而不是其他的绝缘材料，因此容性串扰比感性串扰小，导致其前向耦合系数是一个小的负数。

对于开槽、平行或其他不完整的地平面，感性串扰分量比容性串扰分量更大，因此前向串扰较大，是负数。前向串扰永远都不会大于反向串扰。

5.7.4 近端串扰如何变成一个远端问题

在图 5.15 中，前向的和反向的耦合信号是不同的。每个信号在线路 C 到 D 上分别传播到各自的末端，消失在终端负载上。

实际的应用经常与这一模型不同。在数字应用中，没有源端的端接。对于图 5.19，连接在左端的器件是一个低阻抗的驱动器。

与其他任何信号一样，当反向串扰遇到驱动器的时候会反射。对于一个低阻抗的驱动器，反射系数几乎等于 -1，这样就把反向耦合信号从正极性的变成了负极性的，又送回远端。

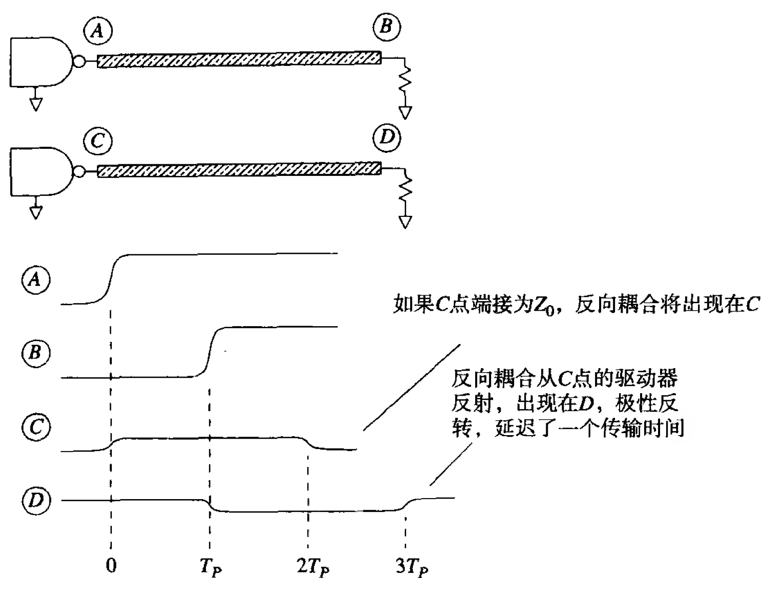


图 5.19　从一个低阻抗驱动器端反射的反向耦合

从远端的 *D* 点看到的信号，是在 *C* 点的反向耦合信号的副本，延迟了一个传输时间，而且是反转的。

因为前向耦合的互感和互容部分几乎相互抵消，而反射的反向耦合却大得多，当前向耦合与之叠加时，前向耦合几乎看不见。当我们测量如图5.20所定义的串扰的时候，主要测量的是反射回来的反向耦合。

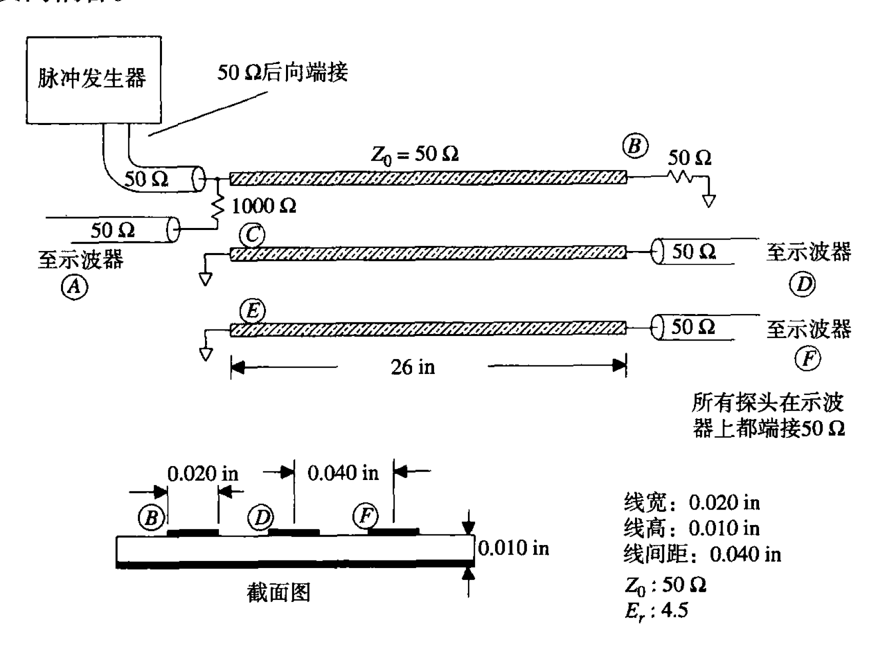


图 5.20　反射的反向串扰的测量设置

例 5.2　反射的反向串扰

图 5.20 显示了产生图 5.21 所示反向串扰波形的测量设置。脉冲发生器驱动线路 *A* 到 *B*，阶跃输入为 2.5 V，上升时间为 880 ps，在 *A* 点监视到的波形如图 5.21 的顶部所示，1 V/ 刻度。

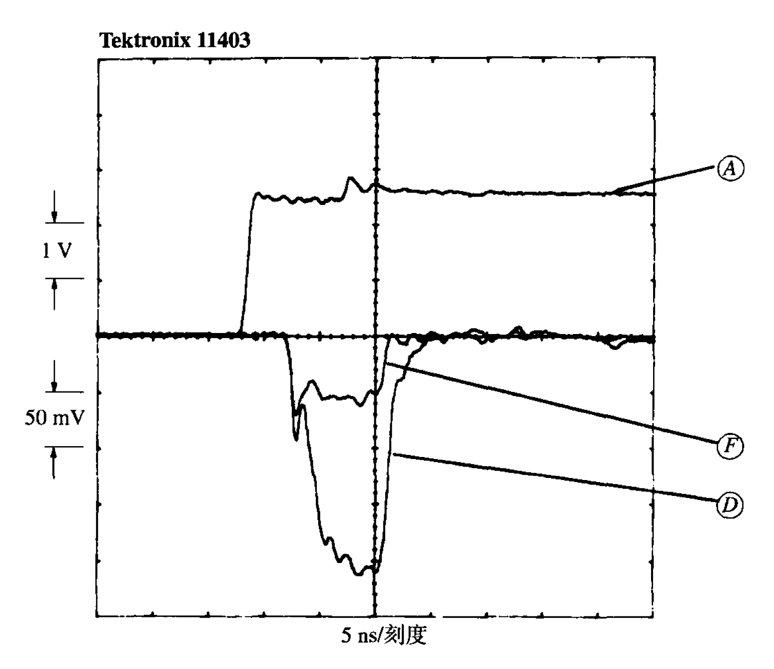


图 5.21 反射的反向串扰的测量

在 D 和 F 点连接到常见的同轴探头，串扰信号如图 5.21 所示，50 mV/ 刻度。
所有的探头长度相同，所有的探头在示波器上都有 50 Ω 的端接。
近端的两个信号拾取线路都直接接地，模拟一个低阻抗驱动器。
两个串扰信号都在初始上升沿后的 4.5 ns 同时开始：

$$T_p = 4.5 \text{ ns} \tag{5.17}$$

两个信号都有 9 ns 的持续时间，而且是负极性的。

$$\text{串扰持续时间} = 2T_p = 9 \text{ ns} \tag{5.18}$$

在 D 点和 F 点测量的串扰信号为：

$$D = (4\text{ 个刻度}) \times (50 \text{ mV/ 刻度}) = 200 \text{ mV} \tag{5.19}$$

$$F = (1\text{ 个刻度}) \times (50 \text{ mV/ 刻度}) = 50 \text{ mV} \tag{5.20}$$

测量到的这两个几何结构形式的串扰比率（输出除以输入）是：

$$\frac{D}{A} = \frac{0.200}{2.5} = 0.08 \tag{5.21}$$

$$\frac{F}{A} = \frac{0.050}{2.5} = 0.02 \tag{5.22}$$

由式（5.2）（$K = 1$）预测的这两个图形的串扰比率为：

$$\frac{D}{A} \approx \frac{1}{1 + (0.040/0.010)^2} = 0.059 \tag{5.23}$$

$$\frac{F}{A} \approx \frac{1}{1 + (0.080/0.010)^2} = 0.015 \tag{5.24}$$

5.7.5　展示两线之间串扰的特征

前向串扰与驱动信号的导数以及线的长度成正比。比例常数取决于感性和容性耦合之间的平衡。一旦我们测量了一个已知信号的比率，对于其他信号的响应模型就不重要了。

为快速上升沿的反向串扰建立模型也同样简单。与输入信号的上升和下降时间相比，反向耦合看起来像一个方波脉冲，其幅度与驱动信号的幅度成正比。反向耦合的百分比是一个物理常数，由与线长度无关的参数决定。脉冲的持续时间是2 T_p。

慢上升沿的反向串扰稍微有点麻烦。对于快速的边沿，一旦已经找出反向耦合系数，就可以从下式得到任何输入反向信号：

$$\text{反向耦合}(t) = \alpha_R[V(t) - V(t - 2T_p)] \tag{5.25}$$

其中，t = 时间，s

$V(t)$ = 驱动波形，V

α_R = 快速边沿信号的反向耦合系数

T_p = 线路传播延时，s

因为线路长度大于信号上升时间的一半，反向耦合有时间达到它的最大值。对于这样一条传输线，其反向耦合系数约为：

$$\alpha_R \approx \frac{1}{1+(D/H)^2} \tag{5.26}$$

其中，D = 线间距，in

H = 线距地平面的高度，in

因为线路长度小于信号上升时间的一半，反向耦合上升然后下降，永远达不到它的稳态最大值。

5.7.6　使用串联端接减少串扰

串联的接端器可以在近端消除反向耦合串扰。末端端接器衰减主信号的返回反射，其反向耦合将再一次传向远端。使用两个端接器消除反向耦合噪声的两个源，相当大地改善了总的串扰。

通过结合使用串联端接和末端端接，减少了耦合增益，不仅实用，而且可以将并行的总线布得更近一些。

记忆要点

关于长传输线，有如下几个特点：

- 在完整的地平面上，感性和容性串扰是相等的。前向串扰分量相抵消，而反向串扰分量相互加强。
- 在开槽或不完整的地平面上，感性耦合大于容性耦合，使前向串扰变大，为负值。
- 前向串扰与输入信号的导数以及线长成正比。
- 反向耦合看起来像一个方波脉冲，高度为常数，脉冲的持续时间是$2T_p$。对于短线，反向耦合达不到它的最大值。
- 当反向串扰遇到一个低阻抗驱动器的时候，将反射回远端。

5.8 印刷电路板如何叠层

印刷电路板的叠层用于具体说明电路板层的安排。它详细指定了哪一层是完整的电源和地平面，基板的介电常数以及层与层的间距。当规划一个叠层的时候，也要计算走线尺寸和最小的走线间距。

生产限制会严重地影响叠层。通常，电路的走线密度越大，每一英寸的生产成本就会越高。本节将详述规划叠层的一些基本的经验法则。

5.8.1 电源和地的规划

首先设计电源和地层。规划一个电源和地系统时，首先要确定信号的上升时间，信号的数量，以及电路板的物理尺寸。

在物理尺寸中包括推测走线的宽度。在这一阶段，走线宽度的假设并不是特别严格。

下一步，利用完整的、平行的和指状的地平面模型估计自感和互感。此时，通常已经清楚了哪个模型更适合设计。注意，对于指状的地模型，所有的走线都相互影响。对于平行的模型，沿着同一平行栅格布放的走线相互影响。对于完整的地平面模型，只有相邻的走线相互影响。

如果要使用一个完整的地平面，应安排地和电源平面成对使用。在一个叠层设计中，完整平面的对称（成对）使用，可以帮助避免电路板的变形。如果一个板子只有一个完整平面，偏向一侧，则将使板子明显变形。

如同地平面一样，电源平面可以作为信号返回电流的低电感路径。假设在电源和地之间有足够的旁路电容（参见第8章），传输线路在电源平面上的布线，与电源地平面上的布线方法相同。带状传输线的布线可以在一个电源层和一个地层之间，或在两个电源层之间。

5.8.2 机框层

有时候需要在数字系统之外走一个信号。对于这种应用，可以选择一个低速或上升时间受控的驱动器。这是一个好的选择，因为它减少了外部的辐射，对于满足FCC的规定会有所帮助。

如果驱动器的地连接到通常的数字逻辑地上，有效的驱动输出等于它的设计驱动电压加上任何出现在数字逻辑地上的噪声电压，如图5.22所示。

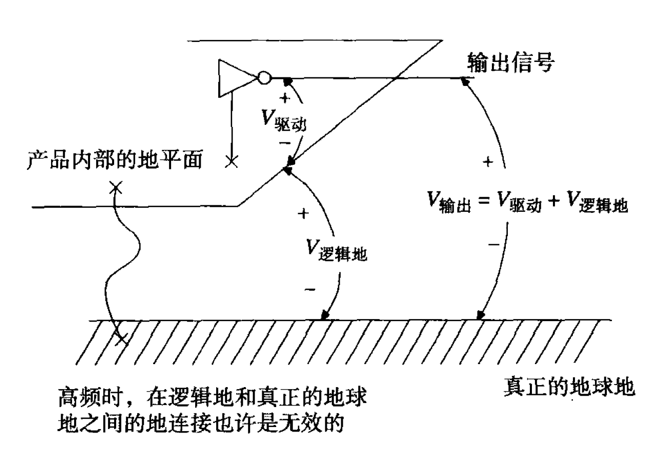


图5.22 使用一个上升时间受控的驱动器

众所周知，数字逻辑地的高频噪声电压非常严重。地传递的波动电压是由许多返回信号电流通过它们的自感引起的。对于数字电路，这些高频波动很小，不足以产生问题，但是大大超过了FCC的限度。任何引出机壳的线，如果连接到数字逻辑地，在FCC测试时几乎总是失败的。

如果没有其他的预防手段，上升时间受控的驱动器会显著地拾取地噪声并在机箱外广播。

解决这个问题的一种方法是在叠层中加入一个机框平面。这一平面紧贴一个接地平面，使这两个平面之间有非常紧的电容耦合。在高频时，两个平面被有效地连在一起。然后，在上升时间受控的驱动器附近，沿着一个连续的轴线（axis），将机框平面通过螺丝钉焊接或熔接到外部机框。在高频部分，我们已经有效地把数字接地平面短接到机框。这样，在这个点上就减少了数字噪声的数量，也减少了上升时间受控的驱动器传到外部的噪声。

因为普通电容的引脚电感太大，所以不能用它们实现机框地和数字地之间的短路功能。只有在机框平面和数字地平面之间有非常大的宽而平行的表面面积，才有足够低的电感，从而有效地把两个平面短接在一起。

采用机框平面方式，在低频部分，数字逻辑和外部的机框保持着隔离。对于安全或其他方面，这都是非常必要的。如果隔离无关紧要，简单地直接把数字逻辑地短接到机框即可，而不必使用一个单独的机框层。

连接过程可以沿着受控的驱动器附近的连续轴线，通过螺丝钉焊接或熔接到外部机框来完成。

当使用一个机框平面的时候，在叠层中要和其他一些完整平面均衡使用。因为机械原因，在叠层中总是倾向于对称地安排平面。

5.8.3　选择走线尺寸

把走线尽量挤在一起，可以增加电路密度。非常密集的设计只需要较少的电路板层。既然印刷电路板费用与层的数目和板子的表面面积成正比，所以我们总是希望能够使用最少的层数来达到这个目的。

走线越细，间隔越近，产生的串扰就越多，所能输送的功率也就越小。这种在串扰、走线密度和功率之间的权衡，对低成本的产品设计非常关键。

让我们首先来处理功率输送能力的问题，因为这个约束条件最简单。

印刷电路走线的功率输送能力主要取决于它的横截面面积和容许的上升温度。对于一个给定的横截面面积，一条走线上高于环境的温度粗略地与它耗散的功率成正比。升温太高是不可靠的，而且会使附近的数字电路变热。在数字产品中，保守的走线加热上限是10℃。

图5.23描述了最大的功率输送能力和温度上升的关系。在图5.23中，水平轴显示的是横截面面积，单位为in^2[①]，纵轴显示的是该线在给定升温值时的允许电流。

举例来说，一个0.010 in宽的1 oz的铜走线（0.001 35 in厚），在温度升高10℃的情况下，可以安全地通过750 mA的电流。

除了大的电源分配总线，功率很少成为一个重要的约束条件。随着薄膜技术的广泛使用，由于其走线的横截面面积非常小，布线的加热限制可能变得更普遍。

走线宽度上的第二个不太重要的限制来自生产制造过程。表5.1列出了在各种不同的生产过程中可达到的最小走线宽度。

① 例如，一条走线0.010 in宽，由1 oz重的铜构成（0.001 35 in厚），横截面面积为1.35×10^{-5} in^2。

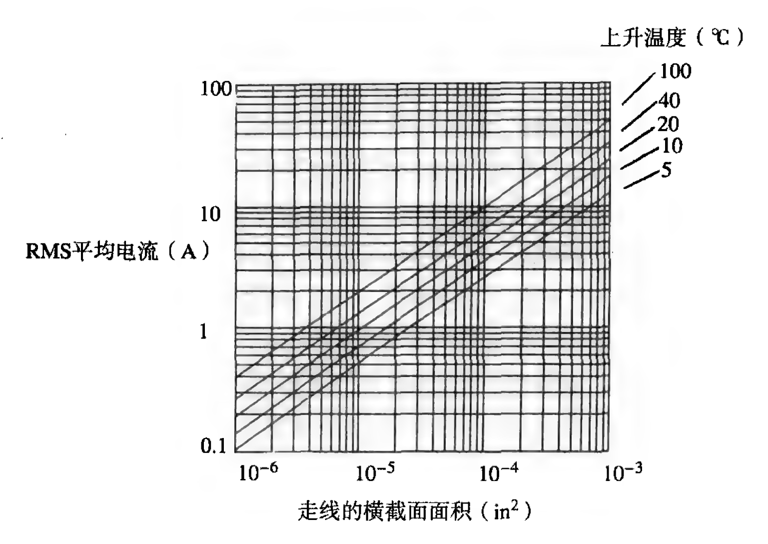


图 5.23 印刷电路铜走线的电流传送容量

表 5.1 不同生产过程中可达到的最小线宽

生产过程	最小线宽（in）
厚膜基底上的金滤网	0.010
环氧树脂板，铜腐蚀，带电镀	0.004
环氧树脂板，铜腐蚀，无电镀	0.003
薄膜基底上的金蒸发，然后蚀刻	0.001

对于任何生产过程，当线宽接近可达到的最小走线宽度时，生产量将会降低，而且费用将会上升。这个因素将阻止大多数的设计者使用可达到的最小线宽。

其他一些因素会使走线宽度增加。腐蚀程序控制得不好，会造成线宽的变化比较大。在小线宽时，线宽变化的百分比决定着阻抗容限的百分比，有时这种变化可能是无法接受的。要想精确控制阻抗，可能需要使用比可达到的最小走线宽度宽得多的线。

使用附录C中关于走线阻抗的公式，找出线宽和高度足够大的一个组合，使之超出预期的线宽和层高的变化，这样阻抗将会在设计范围以内。同时也要注意，必须在阻抗预算中为基底的介电常数的变化留出裕量。

对于功率、费用和阻抗容限的考虑通常促使选择特定的线宽。给于给定的线宽，阻抗约束决定层高。

然后，使用关于串扰的公式，参见5.7.5节和式（5.2），算出相邻走线间隔的最小值（中心线到中心线）。这个值称为最小走线间距（trace pitch）。在走线之间的未用距离称为走线间隔（trace separation）。走线间隔加上线宽等于走线间距。

记忆要点

- 通常，电路的走线密度越大，每一英寸的生产成本就越高。
- 印刷电路板的费用与层的数目以及板子的表面面积成正比。
- 首先设计电源层和地层。
- 由于机械原因，在叠层中总是倾向于使用对称的平面设计。
- 走线越细，间隔越小，产生的串扰就越多。

5.8.4　布线密度和走线层数

层数越多，就可以把线间距布得越大，使路径选择更容易，而且减少了串扰问题的风险。遗憾的是，多层印刷电路板的费用与层的数目和表面面积的乘积成正比。使用层数越多，费用也就越高。

如果层数减少，必须使用更小的走线间距，那同样也将增加额外的费用。不仅如此，对于正好足够的走线间距，所冒的串扰风险太大。

决定一个板子需要的最少层数，靠的是经验和猜测相结合。

问题的核心是：在一个确定大小的线路板上，使用 M 层，布通 N 个连接，估算所需要的走线间距。知道了走线间距，就能知道板子的费用，而且同时可以给出串扰模型。

走线间距由线路密度决定。关于线路密度，有个很有用的模型，称为 Rent 准则，是以推广它的 IBM 工程师的名字命名的。Rent 注意到，大多数正方形板子，当分为四个象限时，一半接线在象限之间，一半接线在每个象限内部。进一步细分每个象限，显示出相同的分布。关于在两个象限之间的走线，我们假设（这仅仅是假设）接线的长度平均起来等于象限之间的间距，则接线的总平均长度等于板子边沿的 3/8。

知道了线的平均长度和线的数目，可以计算出这些线使用任意走线间距时所占的总面积。式（5.27）给出了在一个使用 M 层的固定大小的板子上走通 N 个连接所需的走线间距。

当然，如果我们还有其他一些关于布线需求的信息，例如大的总线或其他的结构，则应该使用它。如果没有其他信息。可以尝试使用 Rent 的思想，计算在一个板子上走线时所需的空间：

$$P_{平均}=\frac{(XY)^{1/2}}{N}2.7M \tag{5.27}$$

其中，N = 连接的数目（假设按照 Rent 的规则分布）

$P_{平均}$ = 平均走线间距，in

X = 板宽度，in

Y = 板高度，in

M = 走线的层数

举例来说，一个 8 in × 12 in 的板子，在四个层面上共有 800 个走线连接。我们需要的走线间距平均为 0.132 in。

这意味着，如果板子几乎被双列直插（DIP）的通孔所覆盖，几乎需要在每个引脚之间进行走线。

不要指望能占用引脚之间超过一半的空间。在上述的例子中，我们应该打算使用更多的层，或者使用双倍走线路径（在每个引脚之间走两条线）。

对于通孔板，与由式（5.27）得出的平均间距和最小间距的需求完全不同。如果需要在引脚之间使用两倍或三倍的走线路径，应该从串扰的角度考虑决定所使用的最小间距。采用由式（5.27）得出的平均间距，可以确定需要多少可用的走线路径。

表面贴装的板子比双列直插的板子的内层有更多可利用的走线空间。通孔的总数大致是相同的，但是表面贴装设计的通孔要小一些，因为集成电路（IC）的引脚不需要穿过它们。表面贴装的板子的内层，平均间距和最小间距可能是相近的。

在环氧树脂电路板的内层，引脚之间走四条线是可能的，但是这也可能引起严重的串扰问题。

在芯片间留出大的空间可以在板子上得到额外的走线空间，但是这需要更多的总面积。大多数的设计者会选择增加层数。

如果串扰成为必须考虑的问题，则要保证布线时只有当需要穿过引脚之间时才把走线推挤到一起，一旦它们走向下一个芯片，立刻把它们展开。这需要许多手动调整，但是即使走线间隙的微小增加也会使串扰减少。

靠一些运气，我们也能找出合适的电路板走线层数，使其产生的串扰是可接受的，而且不需要太多费用。

记忆要点

- 不要指望能占用引脚通孔之间超过一半的空间。
- 如果没有其他信息可以利用，就采用 Rent 的理论计算出平均走线长度。

5.8.5 经典叠层

图 5.24 到图 5.26 举例说明了分别为 4 层、6 层和 10 层的三个板子的经典叠层布局。在下面描述的这些叠层设计中，使用通常的环氧树脂多层制造方法。超过了 10 层，设计者通常结合使用另外的地平面隔离布线层。

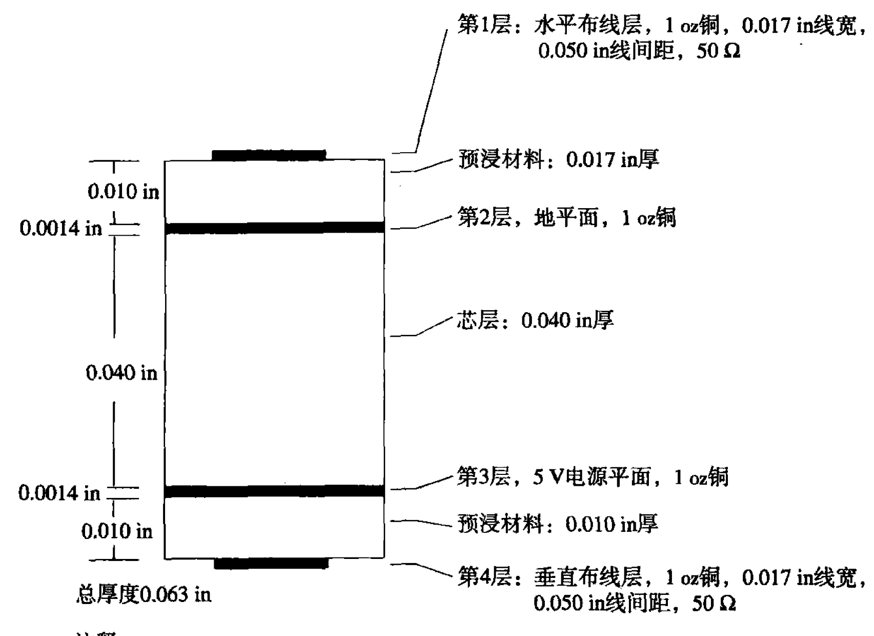


图 5.24 4 层板的叠层

这些叠层适用于高速的计算机产品，嵌入在屏蔽很好的板卡机架里。如果系统必须通过 FCC，VDE，Tempest 或其他的电磁辐射标准，并且没有屏蔽很好的板卡机架，那么这些简单的叠层对达到你的目的还是不充分的。

在每个图中，提到的水平布线和垂直布线是指该层的走线方向（水平或垂直）。

通常，每层上的走线布放时彼此平行，并且与同它相邻一层的布线垂直。在同一层上，很少有线走对角线，或者拐一个 90° 弯。这一原则会增加布线的效率。

在图 5.24 到图 5.26 中，电源和地层以粗实线标识。走线层按比例表示走线宽度和走线高度。

芯层（core）和预浸材料（prepreg，亦称半固化片）是指基板层压程序中使用的材料。下面简短描述了生产电路板的一个通用程序。如果想严格地控制走线到地的间距，则应该了解芯层和预浸材料层。

在多层板的制造程序中，首先在一组未加工的双面薄板层上，将每个面覆上铜。如果该表面将成为内层的，这时就要进行腐蚀。表面将成为外层的，将完全保留镀铜。这些腐蚀的薄板层称为芯层。在一个芯层上，相对的两层之间的厚度取决于最初的薄板层的厚度。

芯层然后被堆叠在一起，在每对芯层之间夹一片预浸环氧树脂材料。当加热和压制的时候，这片材料将融化进环氧树脂胶中。预浸材料片的厚度决定芯层之间的间距。预浸材料固化进坚固的环氧树脂层，与芯层具有相同的介质常数。芯层和预浸材料层是交替的。

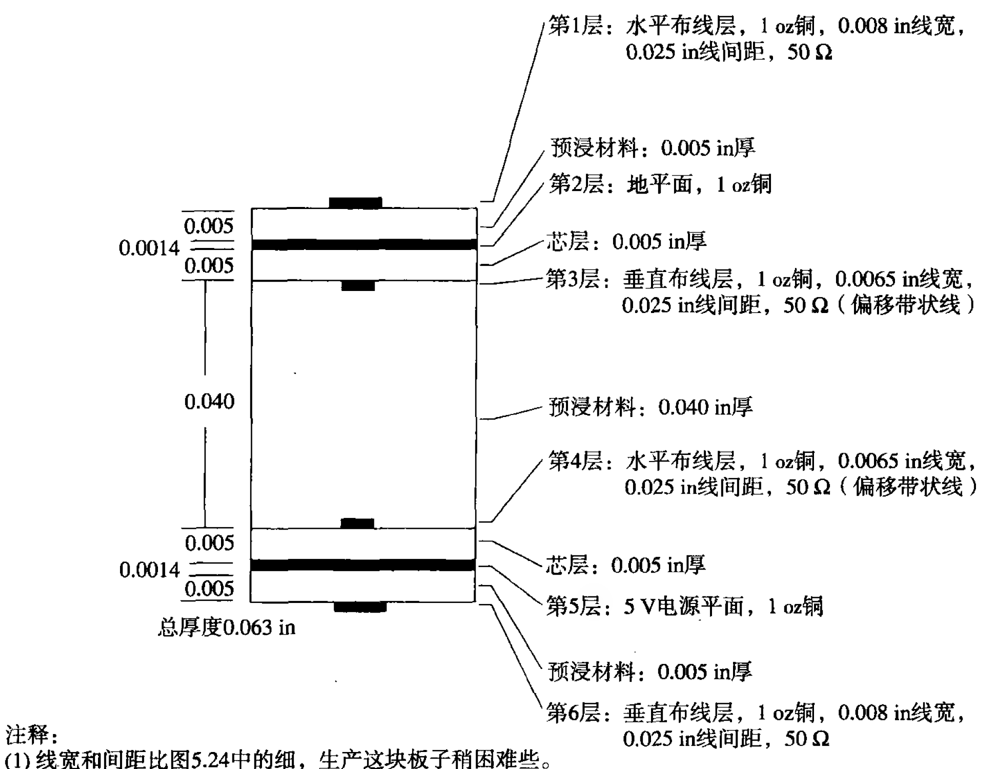
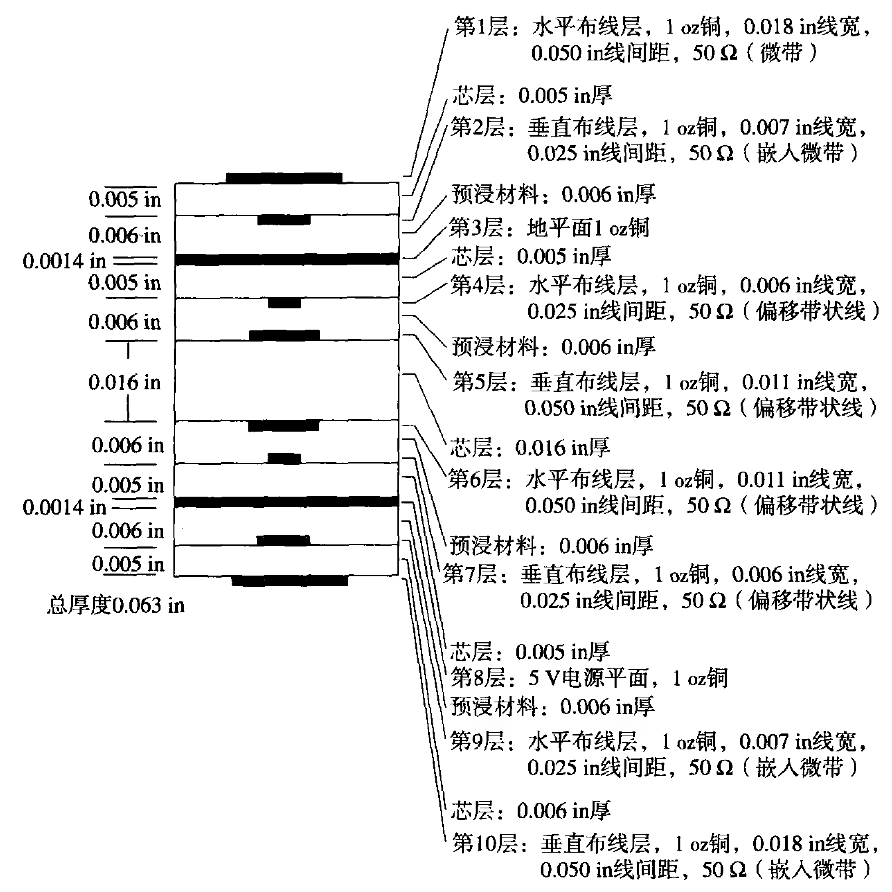


图 5.25　6 层板的叠层

因为预浸材料在加工程序中部分融化，在预浸材料的相对面上的走线，往往会下沉进入融化的胶粘预浸材料中。准确分析时要考虑走线到地的间隔，同时要考虑到，当走线下沉进预浸材料之中时，两面布线层之间的距离将减少走线厚度的两倍。而地层不会下沉进预浸材料之中。

生产人员有时用芯层的一侧来形成一个外层,其他情况下用一个金属箔压在预浸材料的顶层来形成外层。在这两种情况中，外层都是一个完整的铜片（还没有腐蚀)。

在预浸材料固化之后，再经过装配车间钻孔。钻孔穿透内部的各层，与不同的铜层和焊盘相接触，但是此时它们之间还没有形成电气连接。



注释：
(1) 与图5.24中的走线尺寸和公差都相同，但是增加了4个走线层。
(2) 第2层和第8层嵌入到介质材料中，因此比简单的微带线假设计算出的阻抗低。
(3) 第4层和第6层（或第5层和第7层）的串扰由间隔与地平面高度的比率决定，最小间隔是0.022 in，几何平均高度是0.007 in，比率是0.022/0.007≈3。
(4) 第2层和第9层是布线层，趋向于下沉进入预浸材料，因此需要0.006 in预浸材料，以取得到地0.005 in的标称高度。

图 5.26　10 层板的叠层

电镀步骤既包括钻孔内部表面电镀,也包括电路板外部表面电镀。为了节省电镀材料和时间，除了钻孔周围和外层走线的周围之外，大多数的生产商都把板子的外表面盖住。在电镀之后，外层走线比未加工的铜片要稍微厚一些。与内层的走线相比较，由于它的附加厚度，使外层完成后的走线宽度具有非常大的不确定性。

最后的步骤是腐蚀掉外层上不必要的铜，形成完成的板子。然后再镀锡（可选的步骤)，涂上阻焊层（solder mask)，在两面进行丝网印刷（silk-screened)。

记忆要点

- 芯层和预浸材料层是交替的。
- 如果外层是电镀的，其走线与内层相比有非常大的变化。
- 在布线层上的走线往往沉入预浸材料之内，其厚度不增加板子的总厚度。
- 完整的地平面的厚度总会增加板子的总厚度。

5.8.6　高速板的特别提示

对于非常高速的板子，把电源层和地层直接安排在一起。这样的安排使它们的电容耦合最大，从而减少了电源供电噪声。

可以使用许多额外的地平面层（不是电源平面）将布线层的网络隔离。散布一些接地的通孔，把多个地平面连接在一起。返回信号电流将沿着信号走线的弯曲路经，穿过这些接地的通孔，从一层跳到另一层。

如果我们采用交替的电源和地平面隔离布线层，而不是只用地平面，返回的电流总是流过最近的平面，并且会穿过许多旁路电容，因为它们连接在电源和地平面之间。这种思路不好，因为任何电流流过旁路电容器时都会在它的两端产生电压。这些电压在电源和接地平面会产生非常显著的辐射，增加了辐射噪声问题。

记忆要点

- 对于最高速的电路板，使地和电源平面直接相邻。
- 使用额外的地平面而不是电源平面来隔离布线层。

第6章 端 接

一个系统在什么时候需要使用端接电阻呢？按照第4章的分析，在长线反射和短线振铃这两种情况下需要使用端接电阻。

当一条线是长线的时候，即该电缆长度超过上升沿电长度的1/6时，电缆需要端接器（terminators）。如果没有端接器，长电缆任何一端的反射都会使信号无法传输。在第4章中，4.3节详细讨论了如何准确地确定信号反射的结果。4.3.5节提供了一个简单的数学分析，当一条线没有端接时，从该分析可以得到反射的持续时间。

当一条线很短的时候，如果它驱动一个容性的负载，可能仍然需要末端端接。4.1节分析了高感性电路的负载为容性电路时的情况，列出了高Q值振铃的结果。短线中振铃现象与长线中的反射的实际结果是相同的。

阻性的端接器能够防止反射或振铃问题。

本章主要讨论3个问题：

- 末端端接与串行端接的比较
- 选择适当的端接电阻
- 端接器件间的串扰

6.1 末端端接器

当使用末端端接的时候，每个驱动门电路直接连接到传输线，末端端接器位于接收端（见图6.1）。末端端接线具有如下特性：

1. 驱动波形以满幅度沿着整个电缆的路径传播。
2. 所有的反射被末端端接电阻衰减。
3. 接收到的电压等于传输电压。

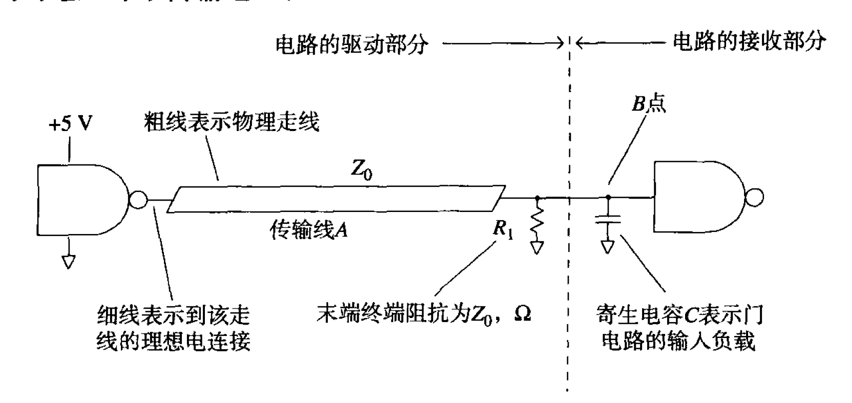


图6.1 计算末端端接器的上升时间

6.1.1 末端端接器的上升时间

我们可以凭直接推理或借助比较详细的数学方法推算出末端端接电路的信号上升时间。首先尝试直接近似的方法，然后使用比较详细的数学方法进行二次验证。

在直接近似方法中，图6.1中的电路分为两个部分，左边的部分，即驱动的部分，由驱动门电路、传输线和端接电阻组成，我们可以做出这部分电路的戴维南（Thevenin）方程的驱动阻抗模型，作为长传输线的阻抗Z_0。该阻抗与端接电阻（也是Z_0）并联，在瞬时事件中最后的有效驱动阻抗是$Z_0/2\ \Omega$。

右边的部分，即接收部分，只包括接收门电路，在图6.1中做成一个电容模型。这个电容的模型适合于大多数的CMOS，TTL或ECL的情况。如果把这个电路看成一个简单的RC滤波器，则RC时间常数为：

$$RC_{\text{时间常数}} = \frac{Z_0}{2}C \tag{6.1}$$

引用3.1节关于RC滤波器的10%~90%上升时间的公式：

$$T_{\text{term}} = 2.2\frac{Z_0}{2}C = 1.1\,Z_0 C \tag{6.2}$$

对于一个上升时间为T_1的信号，结合末端端接电路的上升时间T_{term}，可以算出B点的实际上升时间：

$$T_B = \left(T_{\text{term}}{}^2 + T_1{}^2\right)^{1/2} \tag{6.3}$$

当一条线的长度大于上升沿长度时，它的输出有效阻抗是Z_0。如果我们缩短传输线的长度，使之与上升沿的长度接近，从B点看这条线的阻抗就降低了。最终，当线很短时，B点的驱动阻抗等于驱动门电路的输出阻抗，在B点会得到一个很快的上升时间。

下面让我们采用深入细致的数学方法估算上升时间。回顾前面第4章的式（4.61），传输线模型的完全响应为：

$$S_\infty(w) = \frac{H_X(w)A(w)\left[R_2(w)+1\right]}{1-R_2(w)R_1(w)H_X{}^2(w)} \tag{6.4}$$

如果传输线的长度超过上升沿长度，我们可以忽略从末端端接器反弹回来的任何反射。这是有道理的，因为在第一个上升沿完成其整个过程之前，末端反射还没有足够时间到达源端，然后再反射回到远端。可能有迟到的反射，但其不影响最初上升沿的波形。从数学角度讲，为了强迫反射为零，我们把式（6.4）中的反射系数$R_1(w)$设定为零，然后可以化简式（6.4）：

$$S_\infty(w) \approx H_X(w)A(w)\left[R_2(w)+1\right] \tag{6.5}$$

接下来的化简假设驱动阻抗远小于传输线特性阻抗，从而使$A(w)$归一化。接着，进一步假设电路长度不足以使信号分散，从而使$H_x(w)$归一化。合并这些化简，可以得到：

$$S_\infty(w) \approx R_2(w)+1 \tag{6.6}$$

最后，重新整理式（4.53）定义的$R_2(w)$，加上1：

$$S_{\infty}(w) \approx \frac{2Z_L(w)}{Z_L(w)+Z_0(w)} \approx \frac{2}{1+\dfrac{Z_0(w)}{Z_L(w)}} \tag{6.7}$$

进一步，把特性阻抗函数$Z_0(w)$模型简化为一个常数阻抗，值为Z_0。最后，考虑$Z_L(w)$是由端接电阻（也等于Z_0）和值等于C的一个电容并联组成，合并并联的器件：

$$\frac{1}{Z_L(w)} = \frac{1}{Z_0} + jwC \tag{6.8}$$

代入式（6.7）中：

$$S_{\infty}(w) \approx \frac{2}{1+Z_0\left(\dfrac{1}{Z_0}+jwC\right)} \tag{6.9}$$

$$= \frac{1}{1+jw\left(\dfrac{Z_0}{2}\right)C} \tag{6.10}$$

式（6.10）是一个简单的RC滤波器的响应，时间常数为$(Z_0/2)C$秒。这正是我们直觉中的模型。

当为容性负载的时候，末端端接电路的上升时间是具有相同负载的串联端接线路的一半（见6.2.2节）。

6.1.2 末端端接器的直流偏置

图6.1中的端接电路很少出现在TTL或CMOS电路中，因为在这些电路中，在高电平状态下需要较大的驱动电流。在图6.1中，当驱动门电路的输出跳变为V_{CC}时，它必须向末端端接电阻提供V_{CC}/R_1的电流。当驱动门电路的输出跳变为“地”电平时，没有输出电流。假定我们正在使用的是典型的65 Ω传输线，对于5 V驱动的信号，电流为5/65 = 76 mA。很少有驱动器能提供这么大的电流。

把这个驱动需求与TTL或CMOS比较一下：TTL在驱动低电平时比高电平时提供的电流大，CMOS则在两个方向提供等量的电流。

图6.2表示了一个常用的端接方案，称为分离（split）式端接。在该方案中，电阻R_1和R_2并联后等于传输线A的特性阻抗Z_0。R_1/R_2的比值控制着高电平和低电平状态驱动电流的相对比例。图2.10提供了该分离端接电路的等效转换：一个电阻和戴维南等效电压源。

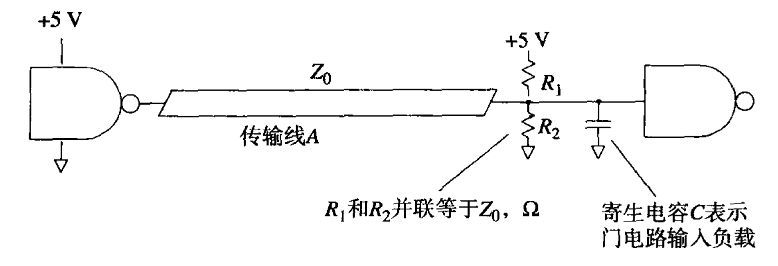


图6.2 分离式的端接

如果 R_1 等于 R_2，HI 和 LO 驱动电流的需求是相同的，该设置适合 HCMOS 数字逻辑系列。如果 R_2 大于 R_1，LO 的驱动电流需求大于 HI，则该设置适合于 TTL 或 HCT 数字逻辑系列。R_1 和 R_2 的值的选择最好以图解的方式进行。选择的约束条件有 3 个：

1. R_1 和 R_2 并联必须等于 Z_0。
2. 不能超过 I_{OH}max（最大的高电平输出电流）。
3. 不能超过 I_{OL}max（最大的低电平输出电流）。

在这个例子中，对于输出电流，我们使用下列各项习惯约定：进入驱动器的电流（灌电流）为正，流出驱动器的电流（拉电流）为负。TTL 或 CMOS 门电路的灌电流（正）是在低电平状态，拉电流（负）是在高电平状态。ECL 门电路的两个电平状态都是拉电流（负）。

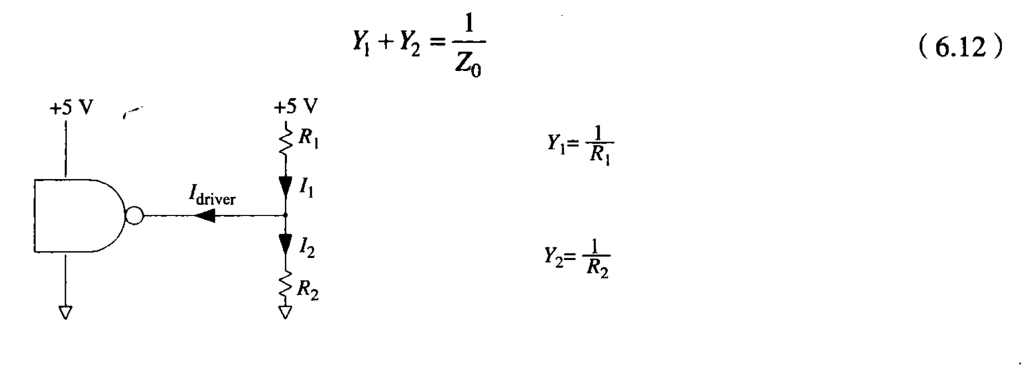
第 1 个约束条件可以很容易地用导纳表达。用变量 Y_1 和 Y_2 分别表示电阻 R_1 和 R_2 的导纳：

$$Y_1 = \frac{1}{R_1} \qquad Y_2 = \frac{1}{R_2} \tag{6.11}$$

我们将解出 Y_1 和 Y_2 的值，然后到最后一步再转换成 R_1 和 R_2，这种方式的优点是能够使我们的约束方程为线性方程。

第 1 个约束条件如图 6.3 所示。

$$Y_1 + Y_2 = \frac{1}{Z_0} \tag{6.12}$$



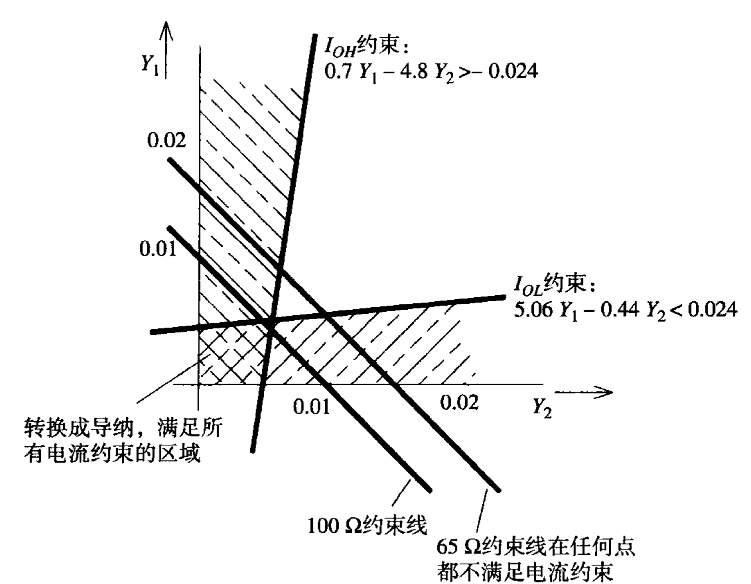


图 6.3　末端端接的约束

在约束曲线图的斜线上，Y_1 和 Y_2 的所有有效组合都在这条线上。

考虑到流入驱动器的电流等于流入 R_2 的电流减去流入 R_1 的电流，从第 2 个约束条件得出方程。这两个电流取决于电压 V_{CC}，V_{EE} 以及驱动器输出电压。通常，我们用 V_{CC} 表示正的电源电压，用 V_{EE} 表示负的电源电压，其中的一个或另一个经常为零。

采用 HI 状态所需驱动电压计算第 2 个约束条件：

$$(V_{CC} - V_{OH})Y_1 - (V_{OH} - V_{EE})Y_2 > I_{OH}\max \tag{6.13}$$

式（6.13）的不等号方向看上去可能反向了，但实际上并没有错，我们预期式（6.13）的两边都为负（驱动器通常提供电流）。式（6.13）要求实际需要的驱动电流值小于最大的限制电流 I_{OH}。代入式（6.13）的 $I_{OH}\max$ 值应该为负值。

采用 LO 状态所需驱动电压计算第 3 个约束条件：

$$(V_{CC} - V_{OL})Y_1 - (V_{OL} - V_{EE})Y_2 < I_{OL}\max \tag{6.14}$$

对于 TTL 和 CMOS，$I_{OL}\max$ 的值为正值。对于 ECL，$I_{OL}\max$ 的值为零，因为 ECL 电路不能吸收任何电流。

所有的 3 个约束方程式都出现在图 6.3 中，用于计算 74HC11000 与非门时的情形。输出电压和电流的限制全部按最大的电源电压 5.5 V（通常是最坏的情形）作为输入电压来计算。第 1 个约束条件出现了两次，一次是特性阻抗为 65 Ω 时，另一次是为 100 Ω 时。100 Ω 约束线进入比较理想的区域，两个电流约束接近该值（$Y_1 = 0.05$，$Y_2 = 0.05$）。相应的阻抗值为 $R_1 = 200$，$R_2 = 200$。

65 Ω 约束线没有穿过两个电流约束允许的区域，没有哪种分离的端接电阻组合方式能够满足该工作条件，因此 74HC11000 无法充分驱动一个 65 Ω 末端端接的传输线。

有时，一个末端端接只使用一个电阻端接到一个固定的中间电压。上述关于设计分离端接的过程也可以用来计算出一个合理的端接工作电压。

首先设计一个分离的端接网络，然后把分离的端接转换成戴维南等效电压源。戴维南等效源端输出阻抗是 Z_0。戴维南等效电压源是：

$$V_{\text{端接}} = \frac{R_1 V_{EE} + R_2 V_{CC}}{R_1 + R_2} \tag{6.15}$$

该值即可作为端接电压。

6.1.3 末端端接器中采用的其他拓扑结构

在图 6.4 的分支线中，无论我们把末端端接放置在哪里，都不能够很好地完成端接。来自驱动器的信号能量仍然从接合点 A 反射，引起振铃。

与图 6.4 不同，图 6.5 中的分支线可以被正确地端接。图 6.5 中每条分支线的特性阻抗是源端线路阻抗的两倍。使分支线比主馈线细一些，即可完成这个小技巧。每个分支段的末端端接器为 $2Z_0$，从 A 点看，每个分支的输入阻抗是 $2Z_0$。两段分支传输线的特性阻抗是 $2Z_0$，并联后产生的阻抗在 A 点与驱动段的特性阻抗 Z_0 很好地匹配，但是很少有系统采用这种技术，因为在一块板上制作阻抗变化非常大的线是非常困难的。

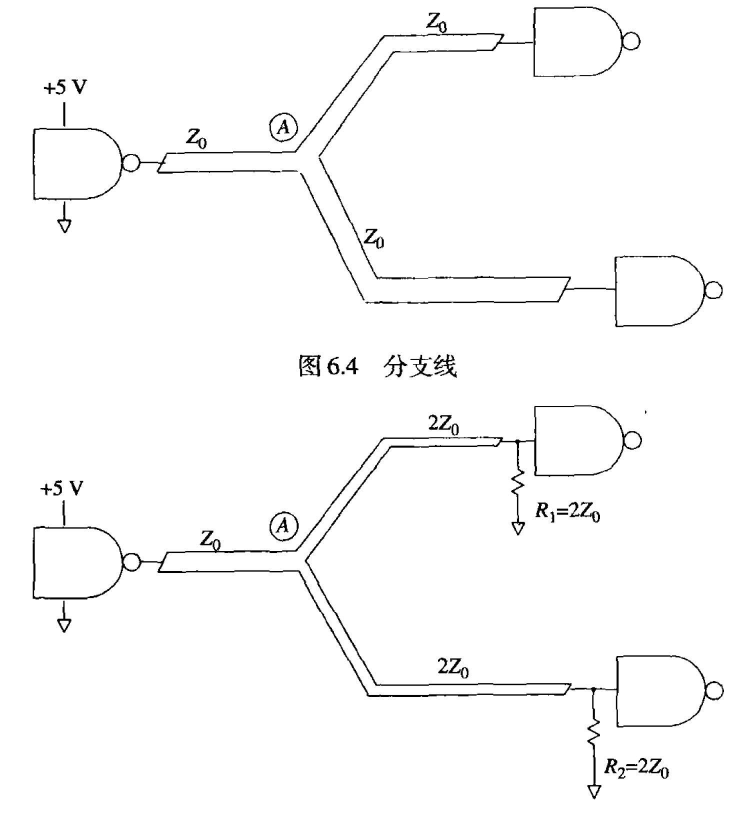


图 6.4　分支线

图 6.5　带走线阻抗匹配的分支线

采用一个末端端接器，每个阶跃沿着电路传输到末端后停止，没有反射发生。

因为输入信号在一个末端端接线上的每一点都有一个延迟的信号样本，因此可以把接收器接在线上的任何点处，这个结构称为一个菊花链。在图 6.6 中，每个接收器收到的都是延迟了的输入信号。

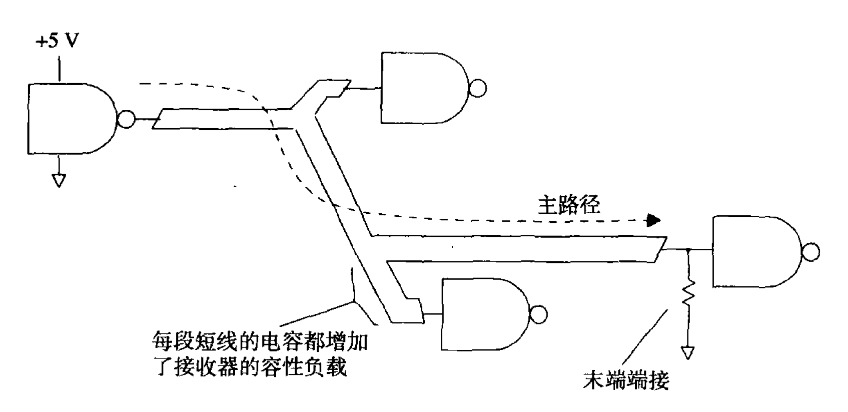
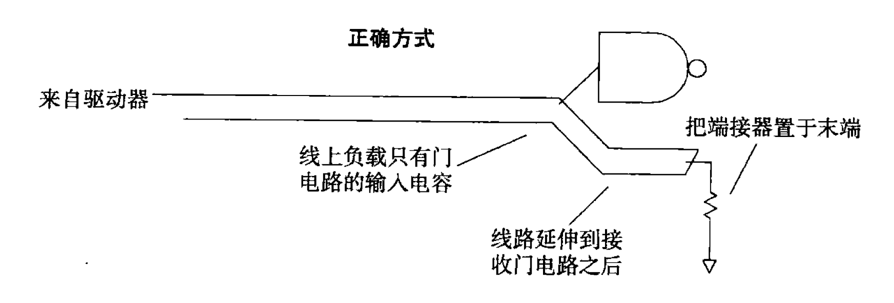


图 6.6　末端端接的菊花链结构

正如前面所论述的，使每个接收器的连接段长度小于上升沿的长度即可避免来自分支点的反射。如 4.4.2 节所述，短连接（及与之相关的接收器电容）在电路中作为简单的容性负载，降低了信号的上升时间。如果短连接的间隔是固定的，4.4.3 节中的近似将非常有用。

末端端接器的理想安排应该是：把端接电阻置于最后一个接收器位置之后，没有侧分支或短连接（见图 6.7）。



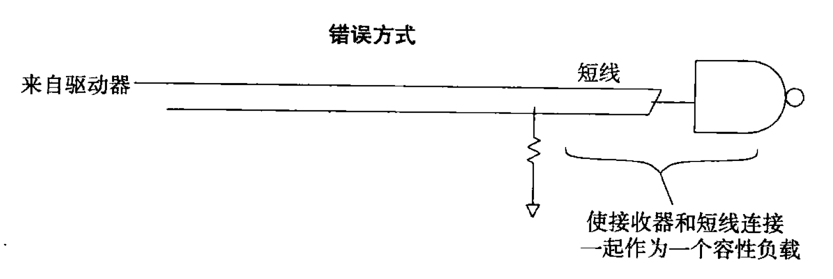


图 6.7 理想的末端端接的放置细节

6.1.4 末端端接器的功耗

一个端接负载的功耗是它的 HI 和 LO 工作电压、不同的电源电压以及负载阻抗的一个函数。负载的功耗与端接阻抗成反比，对于阻抗较高的传输线端接器，其功耗较少。

2.2.6 节给出了驱动电路内部功耗方程。图 6.3 中的负载电阻的总功耗可以用式（6.16）计算（假设 HI 和 LO 状态的时间相等）：

$$P_{负载}=\frac{(V_{HI}-V_{EE})^2+(V_{LO}-V_{EE})^2}{2R_2}+\frac{(V_{CC}-V_{HI})^2+(V_{CC}-V_{LO})^2}{2R_1} \quad (6.16)$$

记忆要点

- 当负载为容性时，末端端接电路的上升时间是驱动相同负载的串联端接电路的一半。
- 大多数的 TTL 或 CMOS 逻辑门电路不能提供充足的电流来驱动末端端接器。
- 可以在末端端接线上用菊花链方式连接接收器。

6.2 源端端接器

源端端接方式指的是把每个驱动门电路通过一个串联电阻连接到传输线上。串联电阻的值加上驱动门的输出阻抗，应该等于传输线的特性阻抗 Z_0，这样，源端的反射系数将为零，如图 6.8 所示。

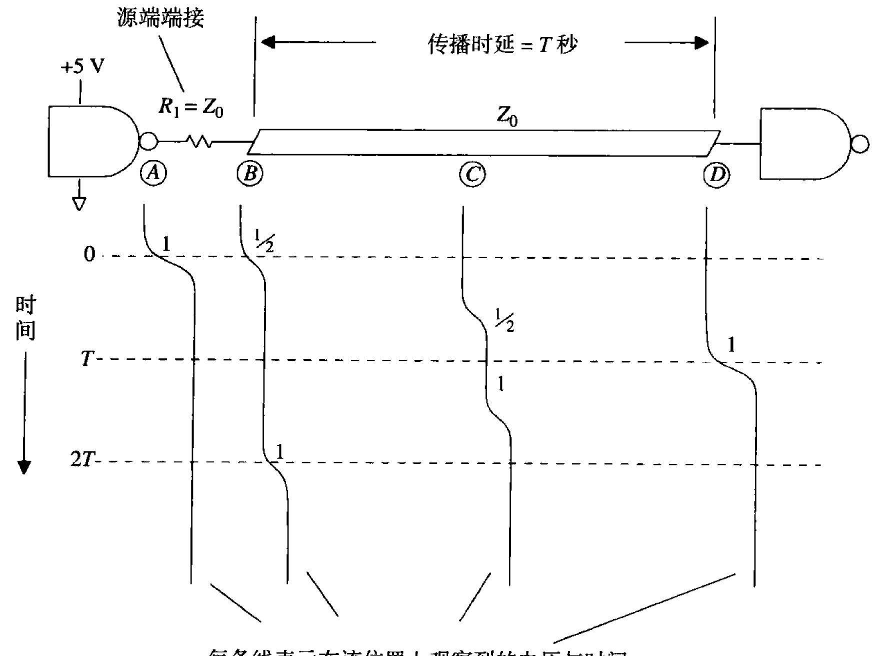


图 6.8　源端端接线

源端端接电路的特性为：

1. 驱动波形在传播到线路之前被串联端接电阻分担一半。
2. 驱动信号以一半的强度传播到线路末端。
3. 远端（开路）的信号反射系数是 +1。反射信号的强度是信号强度的一半。一半强度的反射加上一半强度的初始输入信号，在接收端达到信号的完整电平。
4. 反射信号（一半强度）沿着线路向源端反向传播，被源端端接衰减。
5. 末端反射返回到源端后，驱动电流下降为零，一直保持到下个信号转换。在快速的系统中，下个转换在末端反射到达之前就开始了。

6.2.1　源端端接的阻抗值

一个理想的驱动器的输出阻抗为零。实践中使用的驱动器有一个小的输出阻抗。ECL 电路在高电平和低电平时的输出阻抗都约为 10 Ω。当设计源端端接的传输线时，驱动器输出阻抗加上源端端接电阻一定要和线路阻抗匹配。因此，通常源端端接电阻稍微小于线路特性阻抗。

TTL 和 CMOS 电路在 HI 和 LO 状态时分别有不同的输出阻抗（见例 2.1）。当使用 TTL 和 CMOS 电路时，没有完全合适的源端端接电阻，只能折衷选取。

6.2.2　源端端接的上升时间

在线上任何一点向后看源端，看到的驱动阻抗都等于 Z_0。当驱动的是一个容性负载时，得到的响应看起来像简单的 *RC* 低通滤波器，*RC* 时间常数为：

$$RC_{\text{时间常数}} = Z_0 C \tag{6.17}$$

使用 3.1 节 *RC* 滤波器的 10%~90% 上升时间的公式：

$$T_{10\%\sim90\%} = 2.2Z_0C \tag{6.18}$$

在相同的传输线阻抗和相同的负载情况下，这个上升时间是末端端接电路的两倍。

6.2.3 源端端接可以得到比较理想的阶跃响应

在典型的数字电路中，从传输线的源端消除反射比在远端（末端）更容易一些。源端通常有一个阻性的输出阻抗（加上一个小电感）。另一方面，远端的接收器通常有一个寄生的容性负载。由于端接不匹配所引起的结果，末端端接的容性负载通常比源端端接驱动器电感更差，尤其是当驱动多个负载时。与末端端接相比，源端端接通常能产生几乎为零的反射系数，从而得到一个比较理想的全频率响应。

弄清楚哪种形式可以使所采用的逻辑系列得到更好的结果，这是非常有必要的。

6.2.4 源端端接所需的驱动电流

源端端接线总的输入阻抗，包括传输线特性阻抗 Z_0 和源端端接电阻，其总和几乎是特性阻抗的两倍。最差的情况下，当一个门电路跳变时，所需的驱动电流等于 $\Delta V/2Z_0$。在这种最差情况下，驱动电流需要的持续时间等于电缆的往返传播延迟，之后驱动电流降为零。对于很少跳变的源端端接的信号，平均的驱动电流很小，虽然峰值驱动电流也是 $\Delta V/2Z_0$。

和流行的做法相反，驱动末端端接线并不比驱动源端端接线的情况更困难。如果末端端接器的偏置在逻辑电平的中间，末端端接传输线与源端端接传输线需要的最大驱动电流相同。一个末端端接传输线的输入阻抗是 Z_0（源端端接传输线的一半），但是逻辑输出和中间偏置点之间最大的电压差只是逻辑电平振幅的一半，产生的电流是 $\Delta V / 2Z_0$。

注意，如果末端端接偏置点不是零，我们可以减少一个方向的电流驱动，增加另一个方向的电流驱动。但如果是源端端接，则两个极性需要的电流相同。

即使末端端接线和源端端接线所需最大驱动电流一样，在低速系统中，源端端接线所需的平均电流还是比较低。在高速系统中，末端反射回到源端之前，源端端接线上的下一个跳变已经开始了。在这种高速的情况下，需要驱动电源持续保持最大值。

6.2.5 源端端接的其他拓扑结构

菊花链拓扑结构不适用于源端端接，所有的负载一定要连接在线的末端。当一个负载连接在线的中间时，得到的波形如图 6.8 中 C 点所示。

6.2.6 源端端接器的功耗

2.2.6节中的假设不适用于估算驱动电路中的功耗。这是因为由源端端接负载获得的电流在一个往返传播延迟 $2T$ 之后，电流的波形被突然切断。我们必须找到一个更好的模型。

从驱动器的跳变开始直到一个往返延迟，当传输线在一个新的驱动电压上稳定一致后，源端端接电阻两端的电压为 $\Delta V/2$。在此期间，源端端接电阻的总功耗等于：

$$E = 2T\left(\frac{\Delta V}{2}\right)^2 \frac{1}{R} \tag{6.19}$$

其中，ΔV = 逻辑电平 HI 和 LO 的差，V

T = 传输线的传播延迟，s

$2T$ = 传输线的往返延迟，s

R = 源端端接电阻，Ω

以每个脉冲的功率乘以脉冲速率就能得到粗略的功耗值。这个近似值只适合于当脉冲间隔远远大于传播延迟的两倍时。如果脉冲间隔比较短，那么可以假设一种极端的情形：电压 $\Delta V/2$ 一直加在电阻 R 两端。

$$\text{功率} \approx \frac{(\text{脉冲频率})T\Delta V^2}{2R} \tag{6.20}$$

其中，ΔV = 逻辑电平 HI 和 LO 的差，V

T = 传输线的传播延迟，s

R = 源端端接电阻，Ω

在驱动电压和传输线阻抗都相同的条件下，这个功率值小于末端端接负载的功耗。

记忆要点

- 源端端接器比末端端接器的上升时间慢，通常有比较小的剩余反射。
- 不要在源端端接线上采用菊花链方式连接接收器。
- 从理想的源端端接值中减去驱动器的输出阻抗。
- 在低速率时，源端端接器耗散很小的功率。
- 源端端接线和末端端接（偏置在中间点）线的峰值驱动功率相同。

6.3　中间端接器

有的时候，有些工程师把一大堆门电路网络连在一起而没有考虑端接，上升沿的长度可能比电路网络小得多。采用三态驱动时这个问题更严重，因为其中没有明确定义的源端或目的端。

直觉告诉我们，每个传播的跳变在平稳之前都会在线中扰动一段时间。4.3.5 节提供了估计一段线路建立时间的快捷方法。在这种情况下，有许多线路相互连接，在这些相互连接的线路中含有信号的扰动。信号的稳定时间，至少相当于这些线路连接中的信号在最长路径中的稳定时间。如果连接到网络的器件需要单调的上升沿，就有一些麻烦，通常没有办法解决这个问题，因为缺少减慢上升沿（或对接收信号滤波）的方法。

如果网络被及时采样，采样之前我们可以调整采样时间，使采样时刻在每个跳变后网络稳定下来时进行。采样时仅仅需要减少建立时间，不必消除它。

解决这个问题至少有 4 种方法：

1. 每个驱动器增加一个源端端接器。
2. 每个接收器增加一个末端端接器。
3. 在网络的中间增加一个分路端接。
4. 在分支线的每个接合点添加串联电阻。

选项1比较明确，消耗较小的功率，提供一点儿衰减，而且减少了建立时间。

选项2需要较多的驱动功率，但是在星形结构中能够很好地发挥作用。在星形结构中，每个电路都通过导线连接到一个独立点，在这个独立点处所有的线都连在一起，引线是分散的。反射被限制在源端和中心点的连接之间。

选项1和2两者相互结合，就是解决星形结构的完美办法，当然这要浪费更多的功率。遗憾的是，每个信号通过中间的星形时，都会被该配置衰减。尽管没有反射，但是接收到的信号电平非常小。

不知道为什么会有人使用选项3。它仅仅是降低了网络中间部分的阻抗，而该阻抗已经太低了。

选项4在每个接合点衰减信号。采用图6.9所示的电路，信号通过每个接合点被衰减一半。这样做使得反射衰减很快（往返的衰减是1/4），但是，当信号经过多个接合点的时候信号电平也被严重衰减。因此，如果我们对系统进行控制，使之最多不能超过三个串行接合点，即可很容易地调整接收器的灵敏度，以满足它在大衰减时的容限。

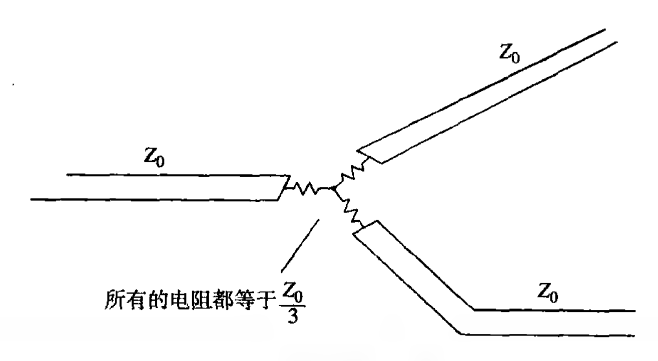


图6.9 星形网络的衰减连接

记忆要点

- 中间端接付出了信号衰减的代价，但是可以改善系统的阶跃响应。

6.4 末端端接器的交流偏置

有时在末端端接电路中经常结合使用电容，以减少静态功耗。考虑图6.10所示的两个电路，与信号时钟相比而言，选择的时间常数R_1C是比较大的。

如果我们能保证驱动电路在每个状态的时间各占一半（我们称这样的电路为直流平衡电路），在电容器C_1上的积累电压的平均值将会是HI和LO电压的平均值。电阻R_1两端所保持的电压为$\Delta V/2$，电阻R_1的功耗为：

$$P_{R_1}=\frac{(\Delta V/2)^2}{Z_0}=\frac{(\Delta V)^2}{4Z_0} \tag{6.21}$$

其中，ΔV=逻辑电平HI和LO的差，V

Z_0=端接电阻的值，Ω

相反地，在分离式的端接中，两个电阻两端所产生的压降则是ΔV，而每个电阻都是R_1的两倍，因此平均功耗如下：

$$P_{R2+R3}=\frac{(\Delta V)^2}{2Z_0} \tag{6.22}$$

式(6.22)所示的功率是式(6.21)的两倍。额外浪费的是从V_{CC}经过R_2和R_3直接到地的功耗。

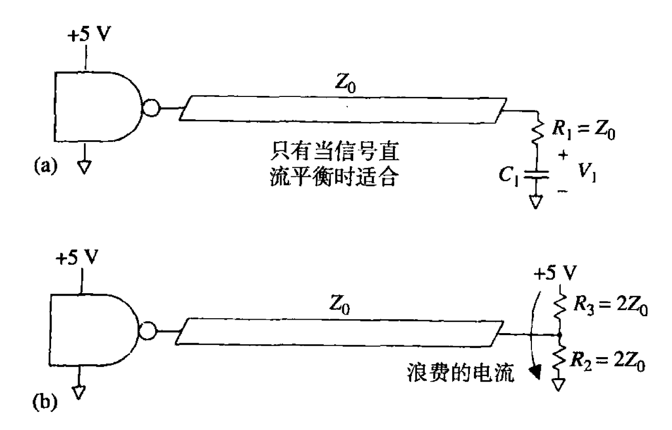


图6.10 容性端接具有节约电源的优点

从驱动电路的角度来看，两种端接没有区别，对于上述两种情况，驱动电路的功耗是相同的，只有端接电阻的功耗不同。

6.4.1 容性端接的直流不平衡

如果图6.10(a)中的信号在HI状态时间太久，那么电容C_1两端的充电电压将达到HI值。当门电路跳变到LO时，ΔV电压将全部加在R_1两端，驱动电流$\Delta V/R_1$是电容C_1的电压为HI和LO电压平均值时的电流的两倍。

如果驱动器能提供全部的$\Delta V/R_1$电流，那我们为什么不将R_1的一端接到地或V_{CC}呢？如果它能提供这么多电流，就不用考虑分离端接或者容性端接了。另一方面，如果驱动器不能提供这么多电流，为了使得容性端接线正常工作，我们就需要直流平衡的信号。

有时设计者为了折衷，使C_1的值很小，以致于R_1C_1时间常数也非常短。他们希望C_1足够大，以帮助衰减反射，但C_1又要足够小，以避免需要驱动器提供两倍的电流。这样会减少驱动器的平均功耗（因此它将不会过热），但是，如果电容器开始时处于充电状态，这样做并不能提高驱动器输出满逻辑电平的能力。即使采用的电容C_1很小，直到C_1充电完毕，每个阶跃的上升沿才会满足指标要求。

在时间常数比较小时，即使直到电容器放电（或充电）完成，信号仍不满足它的V_{OL}和V_{OH}指标，至少其结果是单调的。这样的折衷十分有用，尤其是端接中断线或时钟信号时。

6.4.2 差分线的末端端接器

给定的两个信号如果是互补的（差分对），我们可以将它们的两个末端端接电阻连到一个电容上。这样将节约末端端接器的功耗，并能保证C_1上有正确的电压，见图6.11。

记忆要点
● RC电路组合能端接直流平衡的线路，没有静态功耗浪费。

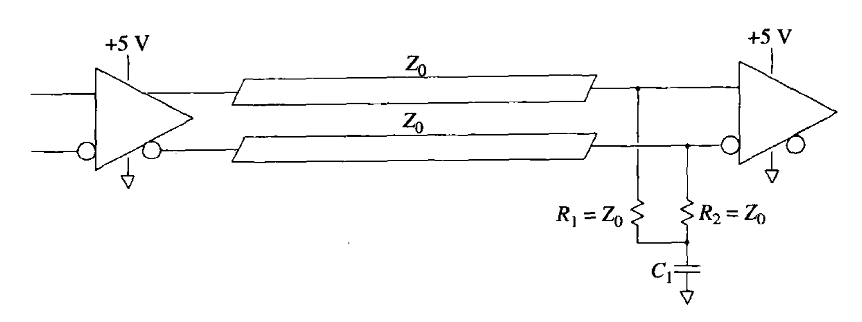


图 6.11 差分对的端接

6.5 电阻的选择

6.5.1 端接电阻的准确性

一个端接电阻应该减少或消除传输线上不必要的反射。只有当它的阻抗值和传输线特性阻抗相匹配时才能完成这项功能。

传输线阻抗的不确定加上端接阻抗的不确定，计算的结果将是端接不匹配的最坏情形。结果总数的一半是预期的反射比例，见式（4.53）的结果。传输线阻抗通常比端接电阻的值更不确定。例如，众所周知，传输线很可能有 ±10% 变化，大多数的设计者会指定端接电阻的误差为 1%。

如果信号的重现精度非常重要，可以考虑同时使用源端和末端端接。这样处理会使接收信号电平削减一半，但是大大地减少了反射。任何反射信号肯定都会在源端和目的端产生反弹，有效的反射系数将再乘一次（平方）。对任何一端的端接匹配误差的要求将是非常宽松的。这种方式在微波电路中被广泛使用，以提高在宽的频率范围上的平坦增益。在数字电路中，这种双端接技术只使用在识别小信号的线路接收器上。

6.5.2 端接电阻的功耗

我们不考虑电路工作速度，只计算每个末端端接中预期的最差情况下的功耗。不要在计算中假设电路将会以 50% 占空比工作。

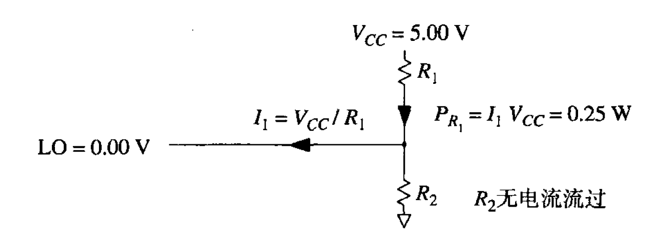
举例来说，对于图 6.12 中的每个分离端接电阻，其最差情况下将耗散的功率为：

$$P_{\text{最差}} = \frac{(5\ \text{V})^2}{100\ \Omega} = 0.25\ \text{W} \qquad (6.23)$$

在室温下，标准的 1/8 W 电阻在这个应用中将会过热。较大的 1/4 W 电阻在稍高的温度中也可能会过热。和生产人员一起检查一下，看在预期的最高环境温度下，电阻是否能安全地耗散全部 1/4 W 热量。在稍高的环境温度下，许多电阻的功耗处理能力会下降。

一定要仔细地听从生产人员建议的安装和散热指导。电阻本身有一个热阻值，和集成电路封装一样，用每瓦上升的摄氏度衡量（见第 2 章）。电阻通常能比集成电路承受更高的工作温度，尤其是陶瓷材料的电阻。

与集成电路封装不同，电阻在安装中可以有两种不同的方法。图 6.13 中的例子表明：在静止的空气中，垂直安装的电阻比水平安装的电阻的热阻更低。



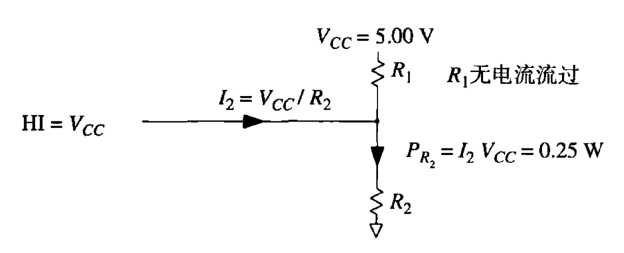


图 6.12 分离端接的最差情况下 LO 或 HI 信号的功率计算

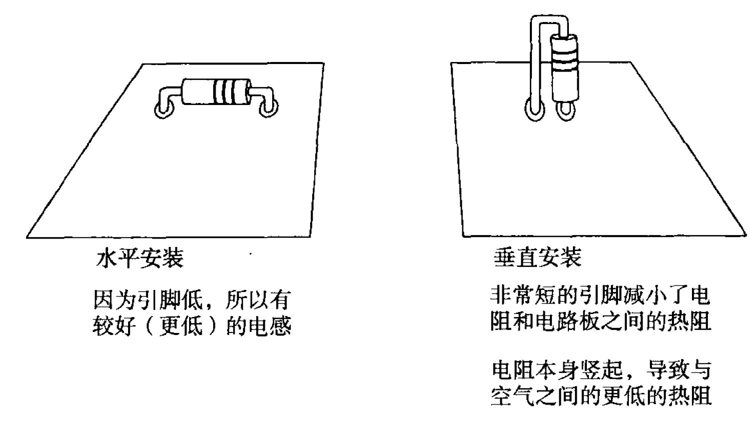


图 6.13 实芯电阻的两种安装方法

电阻过热的结果是其阻抗值可能漂移，引起反射。极端的情况是电阻爆裂开路，使精心设计的电路没有了端接。

6.5.3 端接电阻的串联电感

假定已经选定了电阻值、公差和额定功率，下一个最重要的因素就是寄生串联电感。每个电阻都有寄生串联电感。每个电阻的电感与它的内在结构、外部引脚类型和安装方式有关。印刷电路板的布线电感也必须包括在每个端接电阻的串联电感中。

串联电感是工作频率的函数。对于数字信号，我们将会在转折频率上分析电感的影响，见式（1.1）。采用式（1.1），利用上升时间和频率的关系，即可计算感抗的大小，相对于上升沿而言，它是上升时间的函数：

$$|X(T_r)| = \frac{\pi L}{T_r} \tag{6.24}$$

其中，T_r = 数字信号的上升时间，s

$|X(T_r)|$ = 相对于上升沿 T_r 的感抗大小，s

L = 电感，H

寄生串联电感引起端接的不匹配类似于端接阻抗值的误差。用端接阻抗值的百分比来表示感抗大小：每1%电抗引起0.5%的反射。当$|X(T_r)|$的值等于端接阻抗值的10%时，反射是5%。

表6.1显示了对3种不同类型的电阻在实验室进行测量的结果。前两种类型是2.2 Ω实芯碳膜电阻，最后一种类型是表面贴装的0 Ω电阻，0.120 in长，0.060 in宽。稍大的1/4 W实芯体比1/8 W实芯体的电感大。

引脚长度对测量有着显著的影响。对于表6.1，每个实芯电阻都水平安装，两端的引脚紧贴着电阻体折弯，而且焊接点尽可能地接近电阻体。

表6.1 电阻的典型串联电感

电阻类型	串联电感（nH）
1/4 W实芯	2.5
1/8 W实芯	1.0
1/8 W 1206，表面贴装	0.9

例6.1 端接电阻的电感的影响

使用1/8 W的实芯电阻端接一个上升或下降时间为1 ns的数字信号。

信号上升或下降时间	1 ns
传输线阻抗	50 Ω
1/8 W实芯电阻的电感	1 nH

我们采用分离端接的方法，100 Ω接+5 V，100 Ω接地。在这个结构中，感抗大小与每个电阻阻抗的比值是相同的。通常，对于分离端接的情形，仅使用两个电阻中感抗与阻抗比值较小的一个。

计算感抗大小：

$$|X(T_r)| = \frac{\pi(1\ \text{nH})}{1\ \text{ns}} = 3.14 \tag{6.25}$$

算出比值$|X(T_r)|/R$：

$$\frac{|X(T_r)|}{100\ \Omega} = 3.14\% \tag{6.26}$$

这个电感的反射是1.5%。

在例6.1中，与一个具有相同电感的50 Ω单电阻端接相比，分离端接负载把预期的反射减低了一半。通常，并联电阻是实现低电感结构的一种好方法。

表6.1的测量结果是采用图6.14所示的带有串联电感的测试夹具完成的。这个夹具有4.3 Ω的阻抗，测试波形是一个阶跃波形。当对纯电感进行测试时，从夹具测量到的应该是一个尖峰脉冲，其总面积等于（参见第1章）：

$$\text{尖峰脉冲面积} = \frac{L}{R_S}\Delta V \tag{6.27}$$

其中，ΔV = 电压阶跃的大小，V

L = 被测试电感，H

R_s = 测试夹具的阻抗，Ω

当测试一个纯阻抗时，会得到一个阶跃输出：

$$最终值 = \frac{R_1 \Delta V}{R_1 + R_S} \tag{6.28}$$

其中，R_1 = 被测试电阻，Ω

R_s = 测试夹具的阻抗，Ω

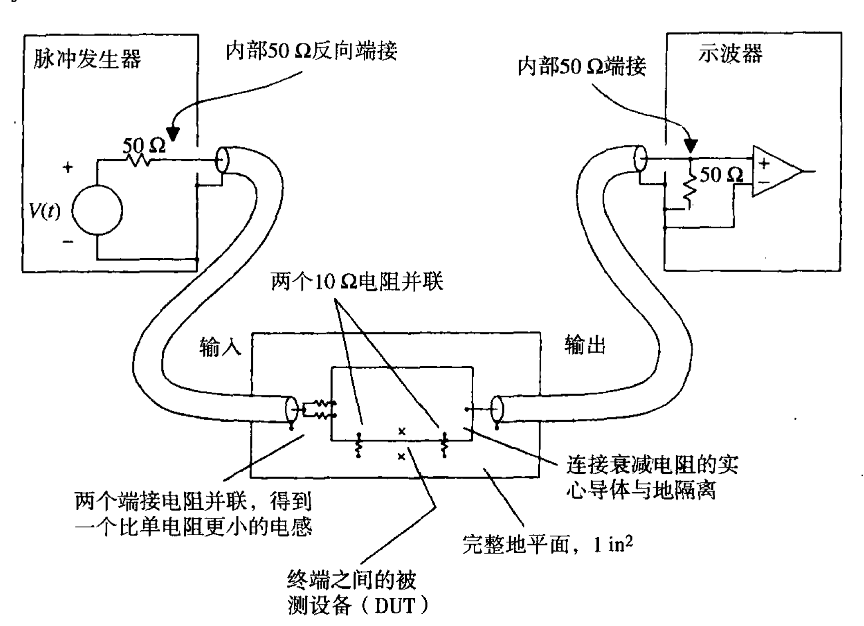


图 6.14　测量封装电阻电感的 4.3 Ω 实验室装置

当测试一个未知的阻抗和电感的串联组合（我们实际使用的电阻就是这样的）时，看到的结果将是电阻的阶跃与电感的感性尖峰的叠加。在图6.15中可以清楚地看到阶跃和尖峰波形。

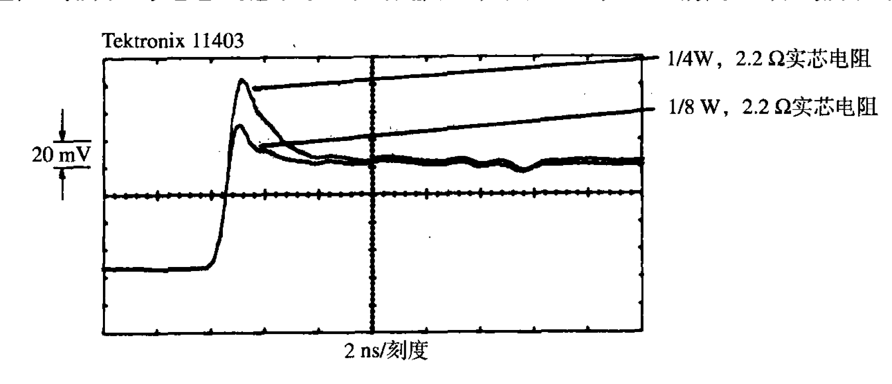


图 6.15　4.3 Ω 测试装置的 1/4 W 和 1/8 W 电阻的输出

当分析这样的一个输出时，首先要根据测试夹具的阻抗和最后输出值来得出未知阻抗。另一方面，可以用一个直流欧姆表对未知电阻进行测量。得到被测器件的阻抗后，可以按比例复制测试夹具开路时的输出波形，以此来代表理论上只有该阻值时的输出波形。从实际测出的波形中减去理论上的输出波形，差值就应该只包括感性尖峰了。

然后我们可以采用式（6.29）解出未知电感。除了给出被测设备本身阻抗的影响以外，式（6.29）与式（6.27）类似。

$$L = (\text{尖峰脉冲面积})\frac{R_1 + R_S}{\Delta V} \tag{6.29}$$

其中，L = 被测电感，H

R_1 = 被测电阻，Ω

R_S = 测试夹具的源阻抗，Ω

当从实际测量波形中减去理论波形的时候，重要的是要按比例复制使用测试夹具开路时的波形，而不是一个理想的矩形阶跃。因为测量仪器的上升时间有限，因此理想的阶跃函数和采用夹具的实测波形圆形拐角之间的差别会给试验结果带来明显的误差。

可以将测试夹具开路输出的结果进行存储，按比例换算，从实际的测量波形中减去它。用一个数字示波器，如 Tektronix 14000 系列示波器，可以很容易地对观测结果进行测算。

这个实验使用了最小的实际电阻值。对于固定的电感而言，尖峰的测量面积与阻抗成反比，这使得尖峰在高阻抗时很难看见。

一些金属膜电阻采用在金属膜上蚀刻螺旋线的方法来构造高阻值电阻。高阻值电阻的电感有时明显比低阻值电阻的电感高。在 10~100 Ω 范围内，任何系列的电阻通常都是相同的物理拓扑结构。

记忆要点

- 要指定端接电阻的阻抗值公差和功率的等级。
- 端接电阻的寄生电感会引起不必要的反射。

6.6 端接器中的串扰

在图6.16中，相邻的端接电路会在电路走线之间交叉耦合信号能量。这种交叉耦合比通常发生在相邻传输线之间的串扰更严重。

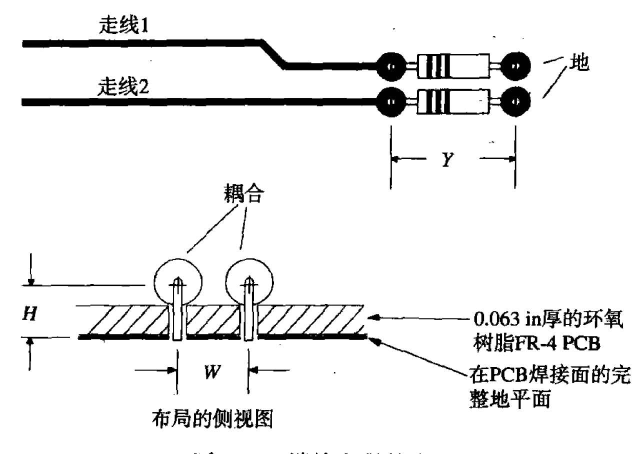


图 6.16 端接电阻的配置

本节将提供端接交叉耦合的实际测量结果，同时给出了一些预测端接电路串扰的提示。

端接中的串扰同时来自互感耦合和互容耦合。感性耦合通常比较大，总耦合是感性部分和容性部分的总和，这两部分都与输入信号的导数成正比[①]。我们的目的是找到一个总耦合系数，而不关心它到底是磁场（感性）还是电场（容性）的耦合。

$$\text{噪声电压}=\frac{K}{R}\frac{\Delta V}{T_{10\%\sim90\%}} \tag{6.30}$$

其中，噪声电压＝耦合到走线2的峰值串扰

K＝交叉耦合系数（单位是Ω-s，与H相同）

R＝阻抗，Ω

ΔV＝驱动信号阶跃幅度，V

$T_{10\%\sim90\%}$＝驱动信号上升时间，s

6.6.1 相邻实芯电阻的串扰

端接电阻相邻插装的感性耦合通常依照式（6.30）的规则。我们可以用这个近似式来方便地估算串扰系数：

$$K=\left(5.08\times10^{-9}\right)Y\frac{1}{1+(W/H)^2} \tag{6.31}$$

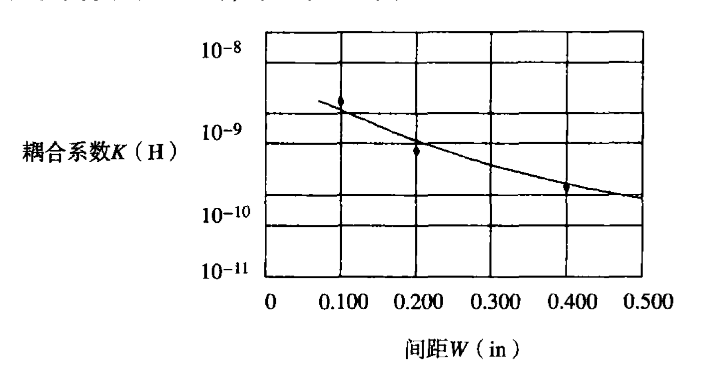
其中，Y＝两个插孔之间电阻的长度，in

H＝到地平面的中心线的高度，in

W＝电阻中心线之间的间距，in

K＝串扰耦合系数

图6.17绘出K的测量值和计算值，测量值（点）是从一个实际例子中测量出的真实串扰，然后采用式（6.30）推算出K值，计算值（实线）是从式（6.31）得出的，采用与实际例子中相同的长度（0.400）和高度（0.108），但间距不同。



与图6.16相同的布局，1/4 W电阻，长度0.400 in

中心线距离线路板表面高度	0.045 in
线路板表面到地的距离	0.063 in
总的中心线高度	0.108 in

图6.17 两个端接电阻耦合系数的测量和计算值

① 当走线1上的信号采用阶跃时，走线2上耦合的噪声电压是一个脉冲。

如果电阻的布局是交错的，如图6.18所示，就要用交叠长度来代替式（6.31）中的Y。

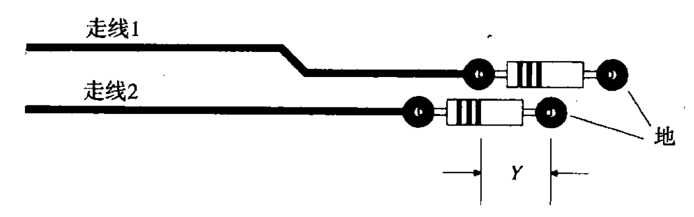


图6.18 交错端接电阻的交叠长度（参数Y）

6.6.2 相邻表面贴装电阻的串扰

表面贴装电阻本身距离电路板比较近，与实芯电阻相比，可以大大降低串扰系数。为了取得最好的效果，使地平面层接近电路板外层表面，直接把地层埋在表面贴装元件下面，这样可以减小式（6.31）中的参数H，降低串扰。

6.6.3 单列直插（SIP）端接电阻的串扰

这些器件的效果可能好，也可能不好，这要取决于其内部的走线。图6.19显示出了单接地引脚端接电阻的共同电流路径，这个共同电流路径会在该封装的电阻间引入大量的耦合电感。

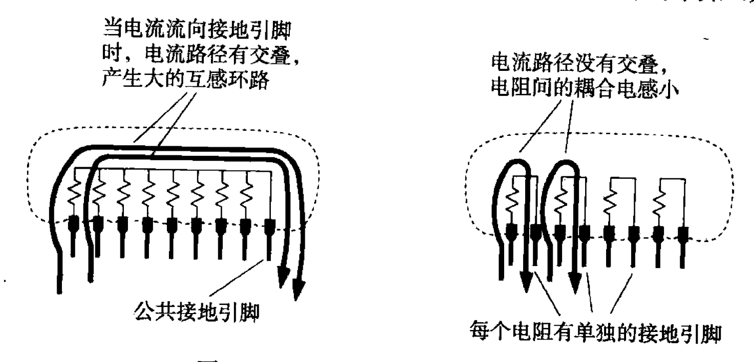


图6.19 两种类型的SIP端接电阻

表6.2列出了0.1 in间距SIP封装电阻排的典型耦合系数。封装SIP-A包含7个电阻，采用8引脚的封装，一端有公共的地线引脚。在封装SIP-A中，电阻7距离地线引脚最远。封装SIP-B包含4个电阻，采用8引脚的封装，每个电阻都有独立的地。所有的电阻都是50 Ω，独立的SIP-B封装比公共地网络的性能几乎好100倍。

采用式（6.30）可以把这些耦合系数转换成耦合噪声电平。

表6.2 SIP端接电阻网络的耦合系数

封装	从	到	耦合系数
SIP-A	7	6	8250.0 ps-Ω（最差）
SIP-A	7	1	2050.0 ps-Ω（最好）
SIP-B	4	3	95.0 ps-Ω（最差）
SIP-B	4	1	8.0 ps-Ω（最好）

记忆要点

- 端接电阻的实际布局会影响信号路径间的串扰。

第7章 通　　孔

术语“通孔”通常是指印刷电路板中的一个孔。通孔可以用来固定安装插接元件或连通层间走线。从我们的观点来看，安装通孔与走线通孔只有一个区别：一个是有元件的引脚焊接在里面，而另一个是空的。如下面章节所描述的，从电特性方面来看，两种类型的通孔基本类似。

7.1 通孔的机械特性

当通孔太大的时候，剩下用于走信号线的空间就不会太多。显然，我们需要小的通孔，那么到底要多小呢？即使通孔已经很小，但如果能使其更小一点儿，则可以允许板子上走更多的线（即更高的布线密度）。由于考虑整个产品的大小，设计者总是不可避免地迫使通孔越来越小。

通孔越小，寄生电容也就越少，这意味着它们的高速工作性能更好。对于工作在高速情况下的电路，极小的通孔是必要条件。

当然，小通孔使得生产费用更高。工程设计的核心是做好高性能和高费用的平衡，通孔也不例外。

到现在为止，关于通孔有3个准则：

- 通孔越小，占据的空间越小
- 通孔越小，寄生电容越小
- 通孔越小，费用越大

不要低估适当选择通孔大小的重要性。下面讨论密度和费用之间的折衷方案。7.2节到7.4节分析了速度问题。

7.1.1 制作完成后的通孔直径

让我们从通孔直径开始分析。稍后章节将讨论环绕通孔的焊盘的大小，然后讨论焊盘之间用来走线的空隙。

一个通孔必须能够容纳一个实际元件的引脚。制作完成后，孔直径一定要超过插入元件引脚的直径。为保证元件良好的焊接，典型的印刷电路板所要求的直径裕量范围在0.010~0.028 in之间，具体情况取决于焊接过程。我们不可能把通孔的直径缩小很多。

对于走线通孔，确定制作完成后的准确直径更加困难。走线通孔可达到的最小直径由钻孔和电镀技术所限定。

孔越小，需要的钻头越小，与坚固的大钻头相比，钻头越小越容易折断。如果所有孔的直径都不小于0.050 in，制板者将会很高兴。但遗憾的是，如此大的直径会严重限制走线密度。

钻小孔需要更多的时间。对于大孔，钻孔车间可以把多个板子叠起来，一次全部钻通。非常小的钻头在穿透一厚叠板子时会偏离中心（小钻头打孔时会弯曲）。对于小孔，必须小批量地钻孔，因此就增加了生产时间。

电镀程序不能穿透一个又深又细的孔。如果孔的深度超过了直径的3~6倍，电镀就不能保证一致性，这就限定了在厚度为0.063 in的标准板上，最小的孔直径在0.010~0.020 in之间，具体情况取决于电镀车间设备的调整维护和产量要求。

所有这些因素都增加了小通孔的费用。当和一个制板商讨论费用的时候，必须将钻孔、电镀能力与线路蚀刻能力区分开考虑。两个问题都要考虑，但是不用很精确。

你所需要的是两张图，其中一张表示每个钻孔的成本，它是孔直径的函数，另外一张图表示每平方英寸电路板成本，它是线宽的函数。将这两张表格与下面的信息结合起来，对于你的应用，选出孔径、走线宽度和层数的最佳组合。大多数的制板商按层数成比例收费。

孔径的合理限制是多大呢？军用标准MIL-STD-275E列出了三类可接受的孔径的公差数据：首选的、标准的和降低生产能力的。首选标准在制造上是最容易的（也最廉价）。降低生产能力标准非常难以满足，而且通常会有额外的费用。有一个相关文件，IPC-D-300G（互连封装电路标准），列出了商用产品的类似信息，编号稍有不同。表7.1到表7.3包括了取自MIL-STD-275的最小取样信息。R. H. Clark很好地总结了这两套标准[①]：

表7.1　MIL-STD-275E孔径

	首选的	标准的	降低生产能力的
最小孔径 *	$T/3$	$T/4$	$T/5$

*T是板子厚度。

表7.2　MIL-STD-275E孔径公差

	首选的	标准的	降低生产能力的
电镀余量 *	0.0028	0.0021	0.0014
电镀孔直径公差 **			
0.015~0.030 in的孔	0.008	0.005	0.004
0.031~0.061 in的孔	0.010	0.006	0.004
孔定位容限 ***			
小于12 in的电路板	0.009	0.006	0.004
大于12 in的电路板	0.012	0.009	0.006
要求的孔环			
内层	0.008	0.005	0.002
外层	0.010	0.008	0.005

*　不是MIL-STD-275E的部分。对于数字板，标准的电镀是1 oz（0.0014 in）。对于比较好的生产线，一些生产商使用0.5 oz（0.0007 in）。孔径的电镀余量是电镀厚度的两倍。

**　包括各种电镀厚度的容限。

***　汇总了MIL-STD-275E中所列的孔定位容限和主图样（蚀刻）的准确度。

表7.3　MIL-STD-275E最小间隙

	首选的	标准的	降低生产能力的
用于波峰焊的空隙 *	0.020	0.010	0.005

*需要的这个空隙是为了防止焊接搭桥。UL，CSA和TUV安全规范要求更大的间隙，用于防止高压电弧。

① Raymond H Clark *Printed Circuit Engineering*, Van Nostrand Reinhold, New York, New York, 1999.

7.1.2　通孔焊盘大小的要求

在印刷电路板表面，每个通孔都要为焊盘和焊盘周围的间隙留有额外的空间。焊盘实现通孔的电镀内层与印刷电路板表面（或内部）的走线的电气连接。

通孔周围的焊盘的正确尺寸主要由4个因素决定（表7.2列出了这些参数的典型值）：

- 电镀余量
- 孔直径公差
- 孔定位公差
- 要求的孔环

在电镀之前必须先钻孔。电镀过程是在孔的内部镀上涂层，使之具有导电性，电镀的壁厚度为0.001 in或0.002 in。完成的孔直径可能要比钻孔小0.002~0.004 in。钻孔的尺寸与完工的孔径尺寸之间的差是电镀余量。电镀余量是电镀厚度最大值的两倍。图7.1说明了钻孔的孔径尺寸与完工的孔径尺寸之间的关系。不必担心电镀厚度的变化，它作为一部分体现在了孔径公差中。电镀余量仅仅包括标称的电镀厚度。

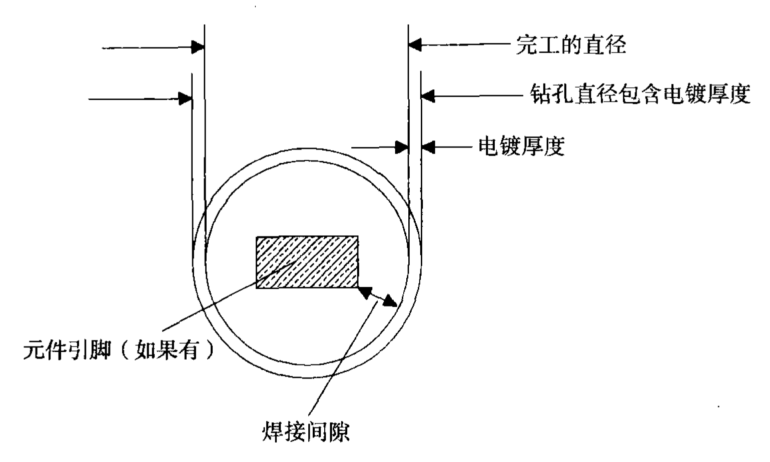


图7.1　完工的孔径与钻孔直径

没有一个生产商能把孔钻得非常完美，他们通常总会要一个孔径公差。孔径公差通常这样表示：0.032 ± 0.003 in。孔径公差引入了两个限制。

我们必须把孔径的标称尺寸稍微做大一些，这样最小的孔也能为元件插脚保留足够的空间，满足电镀所需的深度/宽度比例的要求。这个扩大的尺寸加上了电镀余量。

另一方面，钻孔尺寸最大时不能把焊盘钻掉。焊盘应画得大一些，以避免被钻孔打掉。

钻孔定位容限解释为钻孔机器中的机械偏差。钻孔机器靠电路板上所提供的特殊参考孔来定位。板子上的铜蚀刻图样也要用同一参考孔定位。机械过程就是这样，没有一个定位是完美的。生产商可以用孔定位容限来说明该孔距离标称蚀刻焊盘中心有多远。这个定位公差包括钻孔和蚀刻的定位误差。

参照图7.2，在钻通一个焊盘后留下的圆环形的铜圈称为孔环（annular ring）。如果钻孔偏离了中心，孔环的一边可能会变薄或穿透，这种情况称为穿破。如果发生在焊盘的走线边上，严重的穿破可能危及通孔上的走线和内部表面之间的电气连接。孔环所要求的值，详细指定了

在最差的钻孔条件下，围绕一个通孔所需的铜焊盘的最小值。如果布线设计程序在每个通孔的走线一边可以加一个凸起部分，在商用产品中，孔环要求即使采用0值或小的负值，也可以侥幸成功（见图7.3）。这种方法在军用或高可靠性的产品中是不允许的。

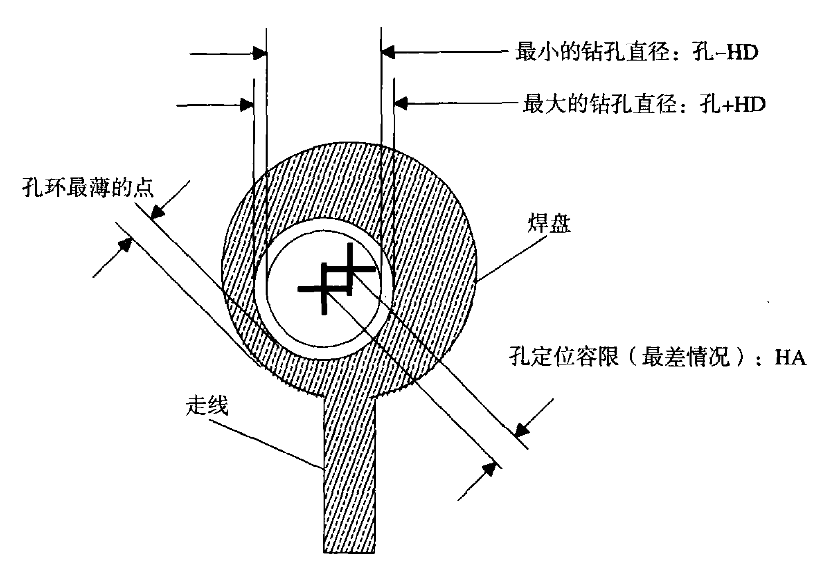


图7.2 焊盘钻孔后的孔环

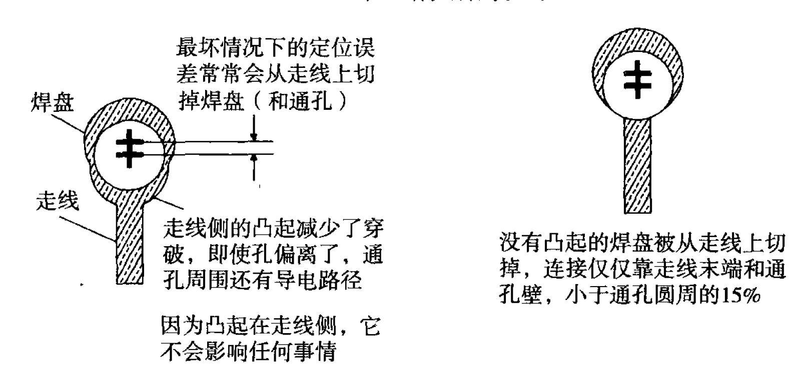


图7.3 用焊盘上的凸起在走线结合点支撑一个孔环

最小的焊盘直径可以这样计算：

$$PAD = FD + PA + 2(HD + HA + AR) \tag{7.1}$$

其中，PAD = 最小量焊盘直径，in

FD = 要求的加工后最小孔直径，in

PA = 电镀余量，in

HD = 孔直径公差，in

HA = 孔定位容限，in

AR = 所要求的孔环，in

正确的标称钻孔直径是：

$$HOLE = FD + PA + HD \tag{7.2}$$

其中，HOLE = 正确的标称钻孔直径，in

FD = 要求的加工后最小孔直径，in

PA = 电镀余量，in

HD = 孔直径公差，in

例 7.1 焊盘大小的计算

我们来设计 0.063 in 厚的环氧树脂 FR-4 印刷电路板的焊盘。

生产商告诉了我们一个大孔的价格，0.015~0.020 in 的孔需要增加 30% 的额外费用。可达到的最小尺寸是 0.015 in。该生产商的孔直径公差不是很好。他们需要 ±HD = 0.003 in 的公差。

电镀的厚度是 1 oz（0.0014 in），所以电镀余量 PA = 0.0028 in，我们按 0.003 in 计算。

我们指定加工后的最小孔直径 FD = 0.015 in，让生产商生产的钻孔直径为 0.021±0.003 in，这样就避免了钻孔的额外费用。

$$\mathrm{HOLE} = \mathrm{FD} + \mathrm{PA} + \mathrm{HD} = 0.015 + 0.003 + 0.003 = 0.021 \tag{7.3}$$

然后，询问孔定位容限，HA = 0.002，选择需要的孔环，AR = 0.005 in。

焊盘大小应该是：

$$\begin{aligned}\mathrm{PAD} &= \mathrm{FD} + \mathrm{PA} + 2(\mathrm{HD} + \mathrm{HA} + \mathrm{AR}) \\ &= 0.015 + 0.003 + 2(0.003 + 0.002 + 0.005) \\ &= 0.038\ \mathrm{in}\end{aligned} \tag{7.4}$$

在这个例子中，要求的焊盘直径可以给我们留出足够的孔环，将近是加工后孔直径的两倍。这是典型的小孔。

7.1.3 间隔要求：空隙

印刷电路板上的铜部件之间的空间称为空隙（air gap）。这个历史术语源于过去所有的金属连接点之间的连线都用手工完成的时代。最初的最小空隙用于防止高压终端之间的电弧。

在现代的印刷电路板上，铜部件之间的缝隙已经深入在电路板材料或阻焊层(solder mask)当中，但我们仍称它为一个空隙。

新设计的板子都有关于所有焊盘和走线标称尺寸的指标。从这些指标即可计算出标称部件之间的空隙。在低电压情况下，我们只需要一个非常小的空隙就可以避免电弧，这在数字板上几乎从未引起过故障。数字电路板上的故障更多是来源于焊接时的搭桥。

蚀刻过程中的缺陷可能会引起桥接。这些缺陷会导致走线和焊盘的边沿粗糙，凸起，或出现挂在布线边沿的铜结。这样的缺陷引起毗邻的铜部件比正常距离靠得更近。在装配程序中，焊接会把最靠近点的器件桥接在一起。为了防止焊接时桥接的最小安全间隙取决于下列因素：

- 蚀刻程序的精度
- 装配方法
- 需要的产量

蚀刻精度由板子的生产商控制。要咨询一下生产程序的走线宽度公差（见4.5.1.4节关于典型走线宽度公差的内容）。当计算最坏情形下的空隙时，通常总是从标称的空隙中减去线宽公差，这样就解决了最坏情形下两个器件同时增加的情况。相对于另一个器件，每个器件只多出了线宽公差的一半，因此只需要减一次。

波峰焊和回流焊是装配程序的两种主要类型。波峰焊的方法比回流焊更容易产生搭桥。通孔板通常使用波峰焊。表面贴装的板子可以使用回流焊或波峰焊，或者都用。

要求的生产量取决于生产的数量和资金。如果数量非常少，可能应该选择让一个装配工人靠眼睛检查每个板子，并且手工清除任何焊接中的搭桥。如果要生产100 000个板子，这种手工检查方式就不现实了。对于数量比较大的生产过程，最好通过特殊的设计方式来定位和解决间隔问题。

蚀刻的缺陷和焊接的搭桥都是随机现象。增加空隙可以减少其发生的可能性，但不能完全地消除。在所希望的封装密度和所需要的大生产产量之间找到正确的平衡，需要时间和实践。

7.1.4 走线密度与通孔焊盘大小

印刷电路板的费用与板子的层数基本成正比。板子要求的层数取决于每层的布线密度。布线密度反过来被通孔之间绕行走线的方式所影响。大多数的板子都布满了通孔，看起来像瑞士的乳酪。长的走线必须常常从毗邻的通孔之间挤过去。从毗邻的通孔之间能挤过去的走线数量，称为路径（track）数量。对于单路径的板子，一对通孔之间只能走一条线。对于双路径或三路径的板子，一对通孔之间能走两条或三条线。通常多层板的内层比外层支持较多的路径。焊接搭桥在内层上不会发生，这样就允许我们减小要求的空隙，挤出更多的路径。

布线密度以走线间距（trace pitch）为度量单位。走线间距等于平行走线的中心线之间的间隔。走线间距也就是每英寸平行走线数的倒数。走线间距通常指平行走线的中心线之间的最小间隔。在这一节中讨论有效走线间距或平均走线间距。

通常板子上有非常多的孔，以至于大部分走线位置都被通孔所阻塞。如果我们把毗邻的通孔排成一排，那么通孔之间的最大可走线数就等于通孔数乘以路径数。这个数远小于理论上同一块板子没有通孔时可以走线的数字。板子上大量的通孔限制了有效走线间距：

$$\text{有效走线间距} = \frac{\text{通孔间隔}}{\text{路径数}} \tag{7.5}$$

当设计一个新板子的时候，应该注意到：焊盘孔环需求、通孔间隔或走线宽度公差的微小调整，很容易导致一个或两个甚至多达三个路径的差别。这将大大地增加布线密度并节省板层。另一方面，减小孔环和最小空隙将会直接减少制造产量。

设计者通常在通孔之间设定一个固定的最小值，在栅格图上把它们作为最小的间隔距离。这样就能够在任何空闲的网格位置增加一个新的通孔，而不必移动其他的通孔。通孔放置栅格通常设置为0.100 in。对于穿孔设计，适合双列直插式封装的引脚分布情况。对于表面贴装设计，通孔放置栅格是可以不同的。如果可能，IPC-D-300G要求使用一个0.100 in，0.050 in或0.025 in的栅格。

记忆要点

- 走线通孔的完工直径取决于钻孔和电镀技术。孔越小，费用越高。
- 焊盘大小由钻孔公差和孔环需求决定。孔环决定了是否会被穿破。
- 最小的空隙由线宽公差和标称的焊盘位置决定。空隙决定了焊接是否会搭桥。
- 降低焊盘大小和空隙可以增加路径，但是会减少产量。

7.2 通孔的电容

每个通孔都有对地寄生电容①。因为通孔的实体结构小，其特性非常像集总线路元件。我们可以在一个数量级以内估算一个通孔的寄生电容的值：

$$C = \frac{1.41\,\varepsilon_r T D_1}{D_2 - D_1} \tag{7.6}$$

其中，D_2 = 地平面上间隙孔的直径，in

D_1 = 环绕通孔的焊盘的直径，in

T = 印刷电路板的厚度，in

ε_r = 电路板的相对介电常数

C = 通孔寄生容量，pF

当焊盘大小接近间隙孔直径的时候，焊盘会产生更多的电容。如果地层的间隙孔必须保持足够小，以维持地平面的连续性，那么就要减小或去除地层上的焊盘。对于走线通孔，如果在该层上有一些穿破，是不会有问题的②。

通孔电容使数字信号的上升沿减慢或变差，这是它的主要影响。

式（7.6）假设每层上都有一个焊盘。有的设计者省略了一些布线层上没有连接走线的焊盘，这使得寄生电容略微减少。在许多实际情况下，寄生电容非常小，完全可以不考虑它。

如果必须要预先知道通孔的电容，可以使用一个实体模型来测算。当建立实体模型时，要使用电容的比例原理（scaling principle）：

一个通孔或走线比例模型的电容是实际通孔电容的X倍，其中，X是模型的比例。

举例来说，图7.4表示了一个简单的焊盘模型，由铝箔和硬纸板构成。这是一个表面贴装设计走线通孔的100:1比例模型。中央的管子表示电镀孔的内表面，直径是1.6 in。管子两端的焊盘的直径是2.8 in。与地平面之间的间隙为5.0 in。从这些尺寸测算的电容值结果为11.0 pF。按比例缩小100，在空气中的实际电容是0.11 pF。由于实际的电容将会嵌入在FR-4中，其相对导磁率为4.7，所以该通孔的电容将接近0.5 pF。

与实际完工的通孔电容相比，相对较大的11 pF电容的精确测算要容易得多。此外，制作实体模型是非常有趣的事情。

让我们用式（7.6）再核算一下所测算的电容值：

① 假设高速度电路板至少有一个地平面层。

② C. F. Coombs 解释了在有些情况下完全除去焊盘会在地平面和走线通孔之间导致短路。

$$C=\frac{(1.41)\times(4.7)\times(0.063)\times(0.028)}{0.050-0.028}=0.53\ \text{pF} \tag{7.7}$$

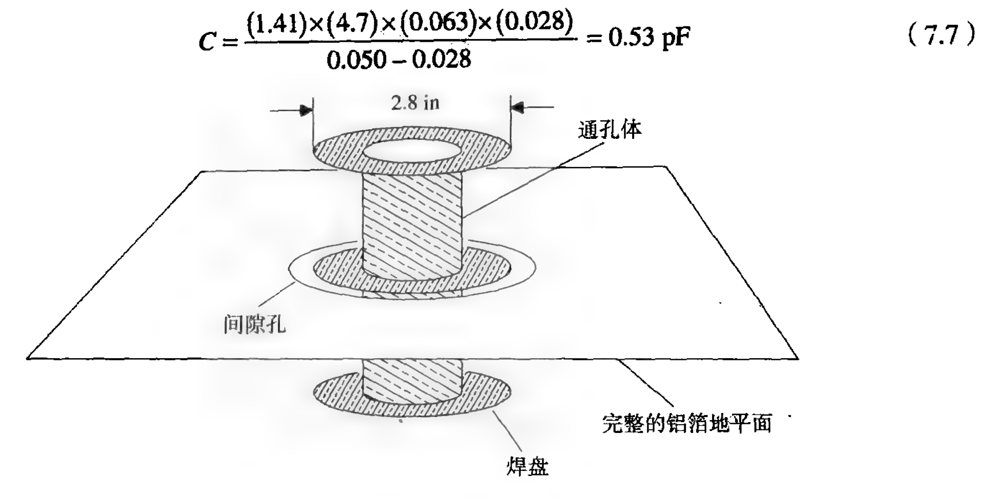


图 7.4 一个 100:1 的通孔模型

不要期望公式在所有的时候都会如此接近。

对于一个 50 Ω 传输线，这个通孔将会有多大影响呢？参考式（4.76），实际的通孔将使 10%~90% 上升时间变差：

$$\begin{aligned} T_{10\%\sim90\%}\text{（阶跃响应）} &= 2.2C(Z_0/2) \\ &= 2.2\times 0.5\times(50/2) \\ &= 27.5\ \text{ps} \end{aligned} \tag{7.8}$$

27 ps 确实是个非常小的时间间隔。

如果必须要经常进行焊盘的电容测算，可以投资购买电磁场模型软件[①]。这些程序包（有充足的计算机资源）能够精确地构造电感和电容三维空间模型。

记忆要点

- 通孔电容的影响很小，但是可以测算。
- 一个通孔或走线比例模型的电容是实际通孔电容的 X 倍，其中，X 是模型的比例。

7.3 通孔的电感

对数字电路设计者来说，通孔的电感比电容更重要。每个通孔都有寄生串联电感。因为通孔的实体结构小，其特性非常像集总电路元件。通孔串联电感的主要影响是降低了电源旁路电容的有效性，这将使整个电源供电滤波效果变差。

旁路电容的目的是在高频段把两个电源平面短路在一起。在图 7.5 中，如果假设一个集成电路在 A 点连接在电源和地平面之间，在 B 点有一个理想的表面贴装旁路电容，则预期在芯片焊接点的 V_{CC} 和地平面之间的高频阻抗为零。然而，实际情况并非如此。将电容连接到 V_{CC} 和地平面的每个连接通孔电感引入了一个小的但是可测量到的电感。这个电感的大小近似为：

① 建议了解加拿大温尼伯湖的 Quantic 实验室或美国加利福尼亚 Quad Design of Camarillo。

$$L = 5.08h\left[\ln\left(\frac{4h}{d}\right)+1\right] \tag{7.9}$$

其中，L = 通孔电感，nH

h = 通孔长度，in

d = 通孔直径，in

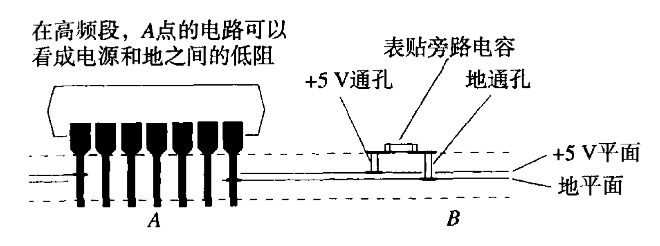


图 7.5　一个旁路电容的实际布局方式

因为式（7.9）包括一个对数，所以通孔直径的改变对电感影响很小，但通孔长度的改变可能引起大的变化。

采用式（1.15），可以算出 7.3 节的例子中的通孔对于上升沿速度为 1 ns 的信号的感抗。

首先计算电感：

$$h = 0.063（通孔长度，in）$$

$$d = 0.016（通孔直径，in）$$

$$T_{10\%\sim90\%} = 1.00（上升沿速度，ns）$$

$$L = (5.08)\times(0.063)\left[\ln\frac{4(0.063)}{0.016}+1\right] = 1.2\ \text{nH} \tag{7.10}$$

$$X_L = \frac{\pi L}{T_{10\%\sim90\%}} = 3.8\ \Omega \tag{7.11}$$

从芯片分路高频电流，3.8 Ω 的值还不够低。同时要记住，旁路电容通常一端通过一个通孔连接到地平面，另一端也通过一个通孔连接到+5 V平面，因此通孔电感的影响会增加一倍。旁路电容贴装在板子最靠近电源和地平面的一边，有利于减少其影响。最后，在电容和通孔之间的任何引线都会增加更多的电感。这些走线应该总是尽量宽一些。

在电源和地之间使用多个旁路电容，可以得到非常低的阻抗。对于数字产品，作为一个粗略的准则，假设电源和地平面是理想的导体，电感为零。我们只考虑旁路电容及其相关走线和通孔的电感。在一个特定的范围（半径）内，所有的旁路电容将如同并联，降低了电源和地之间的阻抗。产生这个效果的有效半径等于 $l/12$，其中，l 是上升沿的电长度。在 $l/6$ 的直径以内，所有电容共同作为一个集总电路。1.3 节列出了电磁波在各种不同媒介中的传播速度，目的是为了确定上升沿的电长度 l。

1 ns 的上升边沿在 FR-4 材料中的传播长度大约为 l=6 in。在这个例子中，电容的栅格间距大于 $l/12 = 0.5$ in，将不会有任何好处。

对于电源的旁路电容，上升时间越短，旁路会变得越困难。当上升时间缩短时，有效半径的值也变小。有效半径内电容的数量随上升时间的平方而减少。

这是一个综合问题，即随着上升时间的降低，数字转折频率上升，见式(1.1)，使每个通孔的感抗增加。最后的结果是，对于工作在某一频率的一个特定配置的旁路电容，当我们把上升时间减半时，其效果将减小8倍。依据该比例准则，从一个工作频率范围得到的经验可以很容易地转换到一个新的工作频率范围。

记忆要点

- 通孔电感降低了旁路电容的旁路能力。
- 一组旁路电容比一个旁路电容更有效。
- 上升时间越短，电源滤波会变得越困难。

7.4 返回电流及其与通孔的关系

在多层板中，由于不止一个地平面，我们一定要仔细考虑返回地电流从哪里回流的问题[①]。

图5.2举例说明了返回电流流向的基本原则：高速返回信号电流沿着最小的电感路径前进。

如果我们设想图5.2中的地平面多于一个，对于哪个地平面承载返回信号电流，就会有一个选择的问题。这个难题的解决办法(最小的电感路径)是：返回信号电流在最靠近信号线的地平面上，直接沿着信号走线下面的一条路径。

仍然参考图5.2，让门电路A的地线引脚穿透所有的地平面，与每个地平面相连。对电阻B做同样的接地，如图所示，距离信号走线最近的地平面承载了所有的返回信号电流。

现在调整信号走线路径，选择两个内层地之间进行走线。现在两个内层地分担返回电流，大部分返回电流流经最靠近的地层。

因为门电路A和电阻B与每个地平面都有连接，返回信号电流可以很容易地流到内层。对地层进行调整后的路径，其电感与最初路径的电感相近，因为它们有相似的拓扑。

接下来，我们将找出电感和电磁辐射之间的联系。我们知道，电感相等时两条路径产生的总磁通量也相等。因此可以得出结论，两种结构的电磁辐射将是相等的。

这个联系的一个有趣结果是，内层走线的辐射小于或不大于外层走线的辐射。对于靠近板子边沿的走线，这是非常正确的。由于地平面平行于磁通量产生的轴线，因此几乎没有磁性屏蔽。

现在，让我们给这个基本电路进行一些较差的修改。从A到B的走线，一半走线沿着顶层，然后通过一个通孔进到内层，从两个地平面之间的内层走完到B的线路。返回地电流从哪里流呢?

在信号从一层跳到另一层的这个点，返回信号电流没有跳跃的路径！除了位置A和B，我们没有提供地平面之间的连接，因此返回地电流的路径必须不同于紧贴着信号走线的路径，其中肯定比最初的路径包括了更多的电感。我们发现一个规律，即无限制地使用通孔会产生额外的电磁干扰。不仅产生了更多辐射，而且，由于改变了返回信号电流预期的路径，还将产生更多的串扰。

---

① 感谢 W. Michael King of Costa Mesa, Calif.指出了这个结果。

应该记住，对于返回信号电流的平面跳跃问题，有许多解决办法，这里按其效果递减依次列出。

1. 合理安排板子，使高速走线的返回电流不在平面之间跳跃。这可以通过限制每条走线从一开始就保持在同一层上来实现。
2. 限制走线，使它一开始就保持在离地平面最近的一面上。这条规则允许使用正常的水平和垂直走线层对（layer pair）的方法。它的效果几乎和第1种方法一样。
3. 在每个信号通孔旁边提供接地通孔，这样做的目的很明确，就是为了让返回电流在平面之间跳跃。
4. 确保到处都有许多接地通孔。无论一个信号通孔在哪里，它的返回电流将不用转移很远去找一个地方跃层。

不要使用保护走线提供一条邻近的返回电流路径。这种思路从理论上讲不错，但在实践中没有效果。首先，除非距离信号线非常近，否则保护走线不起任何作用。

其次，一旦保护走线被布得足够接近，可以作为一条有效的地返回路径，其距离已经足够破坏（降低）走线的阻抗了。

第三个原因是，在没有其他改变的情况下，为了提供足够低的阻抗，保护走线一定要非常、非常宽。

在指定了使用一个完整地平面后，保护走线除了引起麻烦之外没有任何用处[①]。

① 我们曾看到设计者在设计中坚持使用保护走线，只是在最后一刻删除它们，其临时保护走线只是在布线期间迫使其他走线远离高速线，从而减少串扰问题。

第8章 电源系统

在新型的数字设备中，电源系统应该达到两个基本目的：

- 为数字信号转换提供稳定的电压参考
- 为所有的逻辑器件分配电源

本章研究电源系统如何提供稳定的电压参考以及如何分配电源。

8.1 提供稳定的电压参考

图8.1举例说明了发生在单端逻辑系统中的电压参考问题。逻辑门电路A产生输出电压V_1，沿线路B传播到门电路C的输入，门电路C必须判决输入逻辑电平是1还是0。为了完成这个功能，门电路C使用一个差分放大器，把输入电压与它的内部参考电压R相比较。我们通常认为门电路的输入不包含差分放大器，但是实际上是有的。这个差分放大器的拓扑结构引出了电压参考的问题。

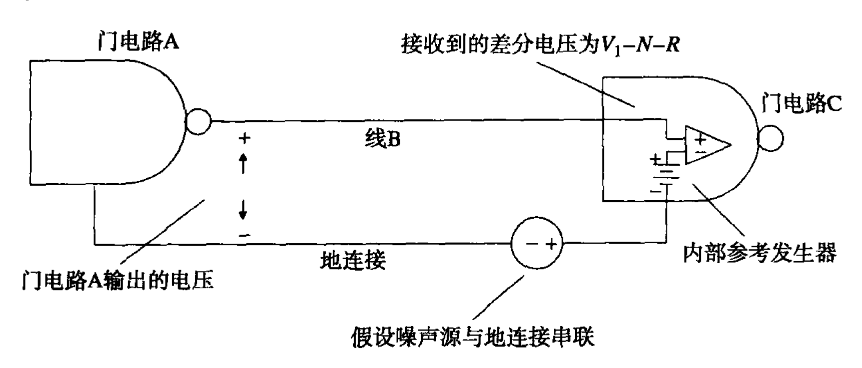


图8.1 单端逻辑采用的电压参考

内部的参考电压通常连接到电源输入端的结点上。无论选择哪一个电源端，都会出现基本相同的问题[①]。对于这个例子，我们假设参考电压对地是一个固定的偏置，将噪声源N的影响包括在内，差分放大器的输入电压是：

$$差分输入 = V_1-N-R \tag{8.1}$$

任何在门电路A和门电路C的地之间引起的一个电压差噪声（如N），都会直接在差分放大器上出现，如同叠加在输入信号上的电压一样。噪声电压N减小了门电路C的噪声裕量[②]。

① 大多数情况下，V_{CC}表示电源正极，V_{EE}表示电源负极。主要的逻辑系列使用下列各项参考电压：CMOS是V_{CC}和V_{EE}的加权平均值；TTL是在V_{EE}之上的固定偏移；ECL是在V_{CC}之下的固定偏移。

② 噪声裕量是最差情况下的逻辑转换电平与接收器正确接收逻辑电平之间保持的安全裕量的大小。

是什么因素导致门电路的地之间的噪声电压呢？最常见的因素就是返回信号电流。每当门电路A发送信号给门电路C时，流出的信号电流沿着电源分配线返回门电路A。当返回信号电流流过地线的电感时，引起像N这样的噪声电压。不仅门电路A和门电路C，任何两个门电路之间的返回信号电流都会产生地噪声，对门电路C的接收产生干扰。图8.2举例说明了共路噪声产生的原理。这样的噪声电压称为共路噪声（common-path noise）电压。

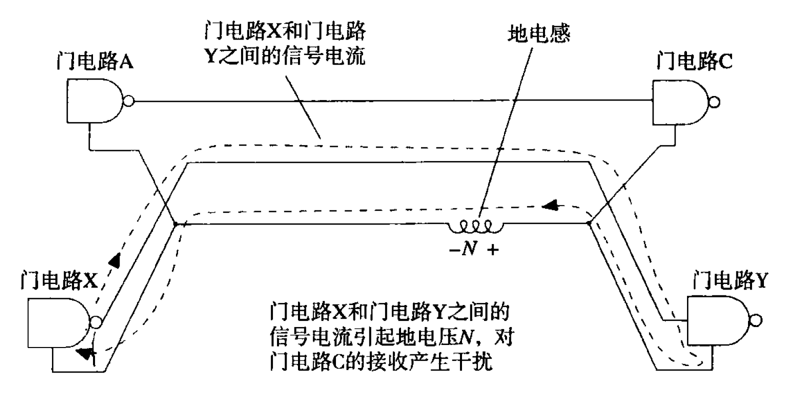


图8.2　由地连接引起的共路噪声

共路噪声电压是返回信号电流和地阻抗的乘积。为了确保低的共路噪声，我们必须降低门电路之间的地连接阻抗。这项原则成为第一条电源系统设计准则：

电源设计准则1　在门电路之间采用低阻抗的地连接。

有非常低的可以避免共路噪声问题的电感结构吗？实用的例子是，一个完整的地平面（即使布满了孔）可以为返回信号电流提供非常低的电感。

共路噪声与第5章中描述的互感耦合有关。两个结果都涉及返回信号电流环之间的感性耦合。共路噪声与把噪声归因于一个特定电路元件或走线的集总电感不同。在第5章的讨论中，涉及的条件是返回电流互相邻近但彼此分开，通过重叠的磁场互相影响。

单独降低地电感解决不了共路噪声的问题。图8.3举例说明了这一点：即使每个门电路使用一个理想的地连接，电源线中的共路电感仍然会引起问题。记住，门电路在HI状态的输出电压取决于它的电源端电压。电源线中的返回信号电流所引起的电源电压的任何改变，都直接影响了输出电压。任何两个门电路电源引脚之间的阻抗应该与地引脚之间的阻抗一样低。这是第二条电源系统设计准则：

电源设计准则2　任何两个门电路的电源引脚之间的阻抗应该与地引脚之间的阻抗一样低。

注意，在图8.3中，返回信号电流流经电源的供电电池。显然，为了维持稳定的传输信号电平，与地和电源的连接阻抗一样，电池的阻抗必须非常低。在图8.3中，电源和地之间的惟一路径经过电池。在一个实际的电源系统设计中，由其他元件提供这条低阻抗路径。但是，在电源和地之间必须有一些低阻抗路径，然后才算完成了设计。这是第三条电源系统设计准则。

电源设计准则3　在电源和地之间必须有一条低阻抗路径。

任何满足这三条设计准则的电源系统，都将会有低的共路噪声，并且以统一的电压分配电源。提供稳定的参考电压，低的共路噪声，各点保持统一的电源分配电压，这些特性是密不可分的。技术方法改进了一个特性，同样也会改进其他特性。

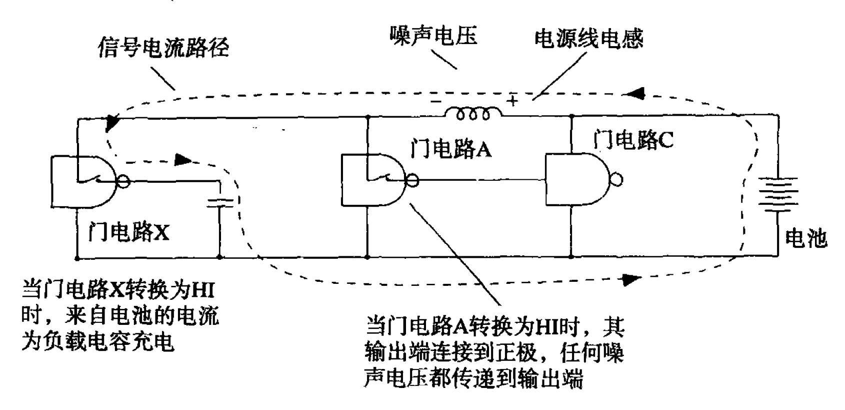


图 8.3 电源线中的共路电感

图8.4中的电源系统满足所有这三条准则。该系统首先通过提供一个单独的地平面传送所有的返回电流，然后在每个门电路的电源和地之间增加旁路电容。电源的布线可以是任意的。让我们用三条电源设计准则来检查这个配置：

1. 在门电路的地之间有一个地平面连接。
2. 在电源端之间，串联了一个电容的阻抗，然后到地平面，然后是第二个电容。
3. 在每个门电路中，从电源到地都有一个旁路电容。从任何电源到任何地之间的点进行测量，都会得到低阻抗。

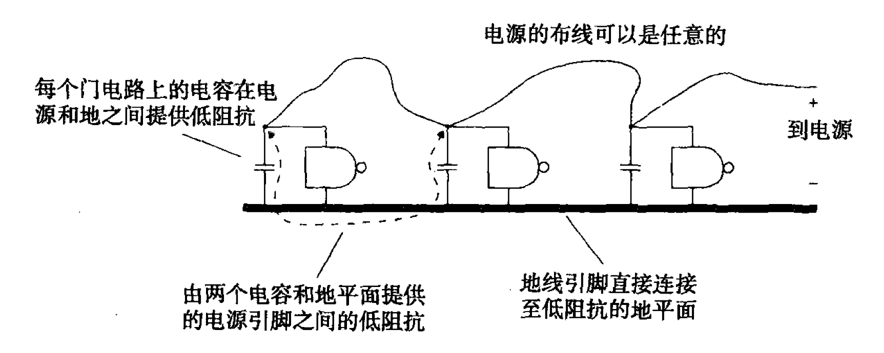


图 8.4 单平面电源系统

单平面方式的最大缺点是其旁路电容的阻抗可能不够低。8.3节讨论了在选择一个好的旁路电容方面的权衡。

一种更好的方式（见图8.5）是电源和地分别采用铜平面，这样就保证了任何两个门电路的电源端或地端之间具有理想的特性。当平面彼此靠得非常近的时候，会共享许多耦合电容。这个电容在高频时阻抗非常低，允许高频电流很容易地在平面之间来回流动。在低频时，每个门电路上分散的旁路电容形成电源和地的短接。

让我们用三条电源设计准则来检查这个配置：

1. 在地之间，有一个地平面连接。
2. 在电源端之间，有一个电源平面连接。
3. 在电源和地之间，有旁路电容和电源平面与地平面之间的固有电容。

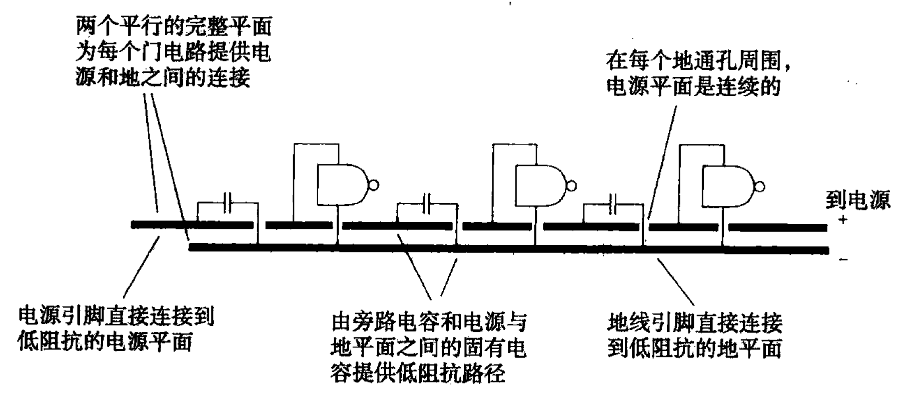


图 8.5 电源和地平面系统

在结束这一节之前，花一些时间来检查图8.6。差分的传输结构为每条信号线提供了一条内置的返回电流路径。不仅如此，每个信号都传送它自己的参考电压！注意接收器中的差分放大器都不连接到电源端。差分传输是处理门电路之间通信的极佳方法，不需要共享很好的电源和地连接。

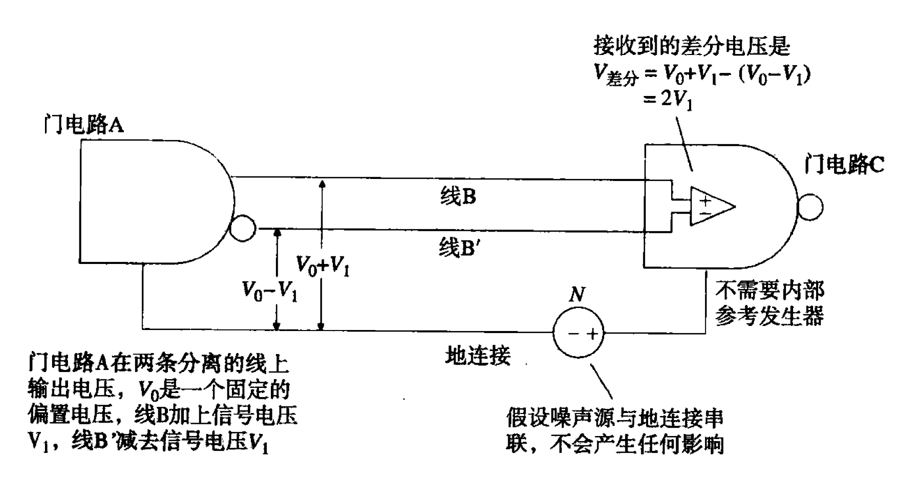


图 8.6 门电路之间的差分信号传输

差分传输把分配电源的问题和提供稳定参考电压的问题分开了。

记忆要点

电源系统设计的三条准则：

1. 在门电路之间采用低阻抗的地连接。
2. 任何两个门电路电源引脚之间的阻抗应该与地引脚之间的阻抗一样低。
3. 在电源和地之间必须有一条低阻抗路径。

8.2 分配统一的电压

通常市场上买到的用于数字电路的电源都有极低的输出阻抗。如果从输出端直接测量，电源通常都满足第3条准则。电路应该直接安装在电源的供电输出端，充分利用电源的低输出阻抗的好处。

安装在其他地方的电路必须通过电线、电缆或线路板走线连接到电源。这条线称为电源分配线（power distribution wiring），电源分配线具有相对大一些的电感，必然增大了大多数电源的低输出阻抗。在电源分配电缆的末端测量时，直流特性可能非常好，但是高频的阻抗将会过大。

为了尽量解决由电源分配线的电感产生的问题，设计者通常在每个印刷电路板上布放一个大的旁路电容，这个电容与电源并联。在一定频率范围内，当布线电感开始带来麻烦时，旁路电容提供了电源和地之间一个低的阻抗。在一些更高频率下，旁路电容由于其安装引脚电感的影响失去了效果。

为了解决大旁路电容的缺陷，设计者可以在印刷电路板上安排其他比较小的旁路电容阵列。

电容阵列补充了大旁路电容的不足。电容阵列的总容量小于大旁路电容，但串联电感要好得多。

电源、布线、大旁路电容和小旁路电容，在这些因素的共同作用下，在整个工作频率范围内为每个逻辑器件提供了一个低的电源源端阻抗（输出阻抗）。电源分配线、大的旁路电容以及小的旁路电容阵列，组合起来统称为多级电源分配系统（multilayered power distribution system）。

8.2.1节到8.2.5节建立了支持多级电源分配系统的理论。8.2.6节描述了如何测量一个完成的电源分配系统的性能。

8.2.1 电源分配线的电阻

从电源的输出到所供电的逻辑电路之间的引线可能包括值得重视的阻抗，该阻抗导致了一个与工作电流成正比的压降。如果电压下降太大，可能引起逻辑门电路的供电电压超出其规定的工作范围。

如同预期的工作电流一样，布线的阻抗很容易计算。一定要预先确定布线阻抗是否会产生问题。

如果布线阻抗的确产生了问题，则使用比较粗的引线。引线的阻抗值与其直径的平方成反比，直径增加40%，阻抗减小一半。

许多新的可调电源包括预装的一条远端传感线。一旦连接，这些传感线就会为电源提供在分配线远端测量到的输出电压，然后电源就能通过调整输出来适应布线引起的阻抗。这样的电源将会包括一个可以调整的最大布线压降指标，一般典型的指标是1/2 V。有了这样一个电源，则不一定必须使用低阻抗电缆。

记忆要点

- 传感线用于校正电源分配线中的阻抗。

8.2.2 电源分配线的电感

电源线中的电感产生的问题比电阻更严重。快速变化的电流通过电源线的电感引起电源和所供电的逻辑电路之间的电压偏移。这些电压偏移比布线阻抗引起的偏移变化更迅速，而且大得多。

遗憾的是，传感线电路不能足够快地响应，以校正布线电感。

这里有 3 种方法来解决电源布线的电感问题：

- 采用电感较低的布线
- 采用对电源噪声干扰不敏感的逻辑电路
- 减少电源供电电流的变化量

因为电感是直径的一个对数函数，所以只是简单地通过使用比较粗的线来减少布线电感几乎是不可能的。

式（8.2）表示出了两条平行电源分配线的电感（电源和地）：

$$L = 10.16X \ln\left(\frac{2H}{D}\right) \tag{8.2}$$

其中，X = 线长，in

H = 两线之间的平均间距，in

D = 线直径，in

L = 电感，nH

按照式（8.2），即使直径非常大的线也有很大的电感。采用宽的、扁平的、并行结构的分配线比使用圆形引线要好得多。电感最低的分配线是采用多个平行的扁平带状电缆，使电源层和地层交替排列。

式（8.3）表示出了平行层叠的扁平电缆的电感。

$$L = 31.9\frac{XH}{W(N-1)} \tag{8.3}$$

其中，X = 扁平电缆的长度，in

H = 两条扁平电缆的间距，in

W = 扁平电缆的宽度，in

N = 扁平电缆的条数（2 条为单地单电源，3 条为双地单电源，等等）

L = 电感，nH

实际上，差分传输（见图 8.6）是可以抵抗电源波动干扰的。对于印刷电路板之间的通信，因为缺少提供低成本、低阻抗电源分配的方法，所以差分驱动器和接收器则会非常好。差分传输所需的费用和额外的空间，通常比改进电源分配电缆所需的费用和空间要小得多。

减少电源供电线路电感影响的最后一种方法是减少变化电流的幅度。注意，我们使用的是“变化电流”一词。虽然无法减少流经电源线的平均电流，但是完全能够减少电流的变化率。下一节将展示如何使用板级旁路电容来达到这个目标。

记忆要点

- 只是使用比较粗的线，几乎不可能减少布线电感。
- 采用宽的、扁平的、并行结构的分配线比使用圆形引线要好得多。
- 实际上，差分传输（见图 8.6）是可以抵抗电源波动干扰的。

8.2.3 板级滤波

让我们来看看布线电感问题能有多糟糕。下面先计算图8.7中电路的*dI/dt*的最大值，然后用*dI/dt*乘以电路电感，来估算电源的供电噪声电压。

图8.7中的电路驱动一个大的容性负载。门电路A电源引脚的供电电流需求由每隔100 ns一个大的尖峰所组成。电流的尖峰与门电路每次驱动容性负载为HI状态时相对应。驱动HI状态操作的电流路径如虚线所示。

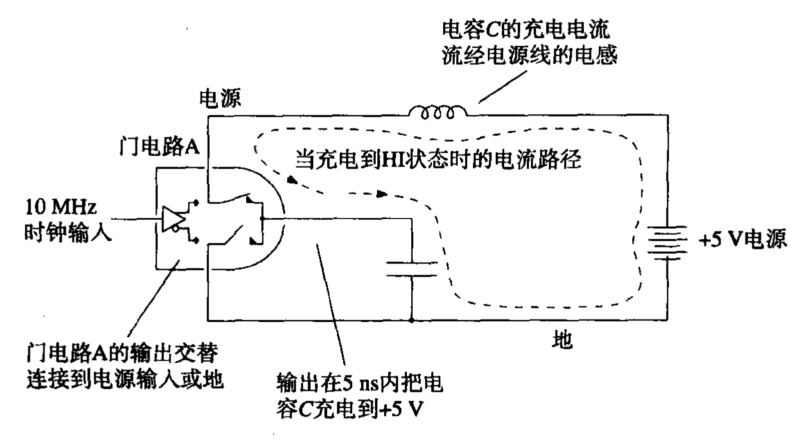


图8.7 电源供电分配线的电感

图8.7显示的是HI状态时的驱动电流流经电源和电源的布线电感。门电路A的上升时间是5 ns，由此可以采用式（2.42）计算出该驱动器的最大*dI/dt*：

$$\text{最大}\frac{dI}{dt}=\frac{1.52\ \Delta V}{(T_{10\%\sim 90\%})^2}C_1=1.5\times 10^7 A/s \tag{8.4}$$

其中，$\Delta V = 5$ V（驱动电压）

$T_{10\%\sim 90\%}= 5$ ns（驱动上升时间）

$C_1 = 50$ pF（负载电容）

下一步，采用式（8.2）计算电源供电线路的电感：

$$L=10.16X\ln\left[\frac{2H}{D}\right]=164\text{ nH} \tag{8.5}$$

其中，$X = 10$ in（线路的长度）

$H = 0.1$ in（线路之间的平均间距）

$D = 0.04$ in（线径，AWG 18）

L = 电感，nH

用*dI/dt*的最大值乘以电感，可以得到峰值噪声电压：

$$\text{噪声电压}=\left(1.5\times 10^7\right)\times\left(164\times 10^{-9}\right)=2.5\text{ V} \tag{8.6}$$

这是一个荒谬的答案，我们真的得到了这么大的噪声吗？实际上，我们面对的问题甚至更加严重。式（8.6）不适当是因为其中的假设并不精确。在式（8.5）中，假设上升时间等于1 ns。

在这个电路中，电源供电电感非常大，以至于当门电路A试图驱动HI时，该电路板电源的供电输入下降到接近零，随着电容C_1经过电源线电感的充电，电压慢慢地升起。当电源的供电下降的时候，门电路A不再运行，或者进入振荡状态。

电源供电下降问题的解决办法是安装如图8.8所示的一个旁路电容。如果电容C_2的阻抗比电源的布线阻抗低，变化的电流将会流过电容而不是布线。当转换为HI状态的时候，门电路A所经受的电源下降将是电容C_2阻抗的一个函数，而不是电源布线阻抗的函数。

在图8.8中，流经电源线的电流被电容C_2平滑，成为连续的平均值。我们成功地减少了电源线中电流流动的变化率，这是主要成果。现在就有了设计分级电源分配系统的思路。供电电源在低频时提供低阻抗，局部旁路电容在比较高的频率时提供低阻抗。

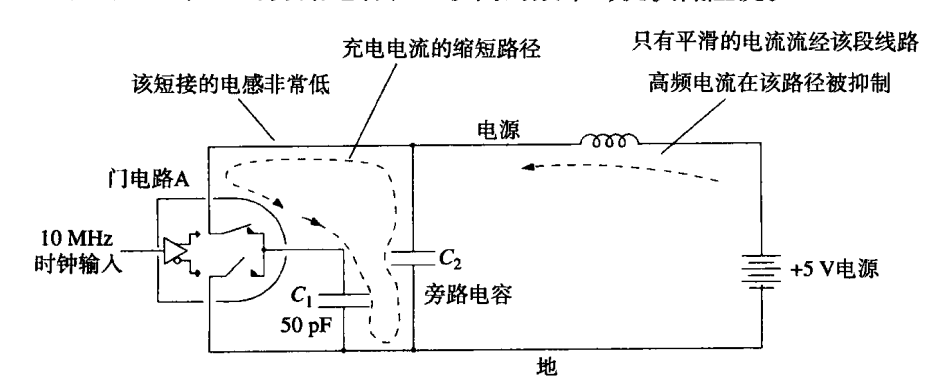


图8.8 旁路电容在电源线中平滑电流的流动

确定旁路电容的正确值需要下面几个步骤：

1. 计算板子上预期的供电电流的最大阶跃变化（ΔI）。我们不知道门电路何时转换，所以假设在最坏的情形中它们在某一固定频率同时转换。
2. 计算逻辑电路能容忍的电源供电噪声的最大值（ΔV）。减去该值以留出一个安全裕量。
3. 我们能容忍的最大共路阻抗是$X_{max}=\Delta V/\Delta I$。如果使用完整的电源和地平面，可以把整个$X_{max}$阻抗分配在电源和地之间的连接上，否则必须在地连接上分配一部分，在电源连接上分配一部分，在电源和地的连接上分配一部分。

$$X_{max}=\frac{\Delta V}{\Delta I} \tag{8.7}$$

4. 结合最大的可允许阻抗X_{max}，计算电源线的电感L_{PSW}，找出电源线适合的频率。如果所有门电路都在这个频率同时转换，将得到小于ΔV的电源噪声。

$$F_{PSW}=\frac{X_{max}}{2\pi L_{PSW}} \tag{8.8}$$

5. 在F_{PSW}频率以下，电源线工作得很好。在F_{PSW}频率以上，我们需要一个旁路电容来解决问题。找出在频率F_{PSW}点的阻抗为X_{max}的电容值。采用的旁路电容容值至少应该是：

$$C_{旁路}=\frac{1}{2\pi F_{PSW}X_{max}} \tag{8.9}$$

例 8.1 板级旁路电容

Liz 设计了一个 CMOS 电路板，有 100 个门电路，每个门电路的负载是 10 pF，转换时间是 5 ns。电源的供电电感是 100 nH。计算出旁路电容的正确值。

$$\Delta I = NC\frac{\Delta V}{\Delta t}$$

$$= 100(10\ \text{pF})\frac{5\ \text{V}}{5\ \text{ns}} \tag{8.10}$$

$= 1$ A（当所有的负载充电时，最坏情形的峰值）

$$\Delta V = 0.100\ \text{V}\ (\text{根据噪声裕量的预算}) \tag{8.11}$$

$$X_{max} = \frac{\Delta V}{\Delta I} = 0.1\ \Omega \tag{8.12}$$

$$L_{PSW} = 100\ \text{nH} \tag{8.13}$$

$$F_{PSW} = \frac{X_{max}}{2\pi L_{PSW}} = 159\ \text{kHz} \tag{8.14}$$

$$C_{\text{旁路}} = \frac{1}{2\pi F_{PSW} X_{max}} = 10\ \mu\text{F} \tag{8.15}$$

数字印刷电路板上通常的旁路电容范围是 10~1000 μF。

在 F_{PSW} 频率以下，电源固有的低输出阻抗与相连的布线能够抑制电源噪声，局部的旁路电容对于高于 F_{PSW} 频率的电源噪声具有抑制作用。在更高的频率 $F_{\text{旁路}}$ 以上，旁路电容将会停止工作。这是由什么引起的，以及如何处理，将是下一章节的讨论主题。

记忆要点

- 电源在低频时提供低的阻抗。
- 局部的旁路电容在较高的频率上提供低的阻抗。

8.2.4 单独集成电路的局部滤波

每块印刷电路板都需要相当多的旁路电容来抵消电源线的电感，但每块印刷电路板实际上只需要一个理想的旁路电容就可以完全解决电源分配问题。

可惜的是，没有理想的电容。每个单独的电容都有一定的串联引脚电感 L_{C2}，在非常高的频率上，它的阻抗将会上升，而不是下降。引脚电感是否成为问题，取决于数字转折频率 F_{knee}，见式（1.1），以及必须达到的阻抗 X_{max}。

我们可以计算一个给定的旁路电容的最高有效频率：

$$F_{\text{旁路}} = \frac{X_{max}}{2\pi L_{C2}} \tag{8.16}$$

一个大小合适的电容在频率 F_{PSW} 和 $F_{\text{旁路}}$ 之间都是有效的。幸运的是，两个频率之间有一个大的间隔。

例 8.2 旁路电容的最高有效频率

根据例 8.1，假设 10 μF 电容有一个 $L_{C2}=5$ nH 的串联电感。我们要达到的 X_{max} 为 0.1 Ω。计算它的最大有效频率。

$$F_{旁路}=\frac{X_{max}}{2\pi L_{C2}}=3.18\ \text{MHz} \tag{8.17}$$

这个电容从 159 kHz（见例 8.1）到 3.18 MHz 都是有效的，范围约为 16:1[①]。

一个大的旁路电容允许我们到达频率 $F_{旁路}$。为了保证 $F_{旁路}$以上的低阻抗，需要另外一个串联电感比较低的电容。得到非常低的电感的最好方法是并联许多小的电容。可以在印刷电路板的周围散布旁路电容的并联阵列。

有 3 个因素将会决定电源和地之间的阻抗：

- 在低频，取决于电源线的电感
- 在中频，取决于电路板级旁路电容的阻抗
- 在高频，取决于分布电容阵列的阻抗

下一步是设计旁路电容阵列的过程。尽管这个过程大部分与 8.2.3 节中的程序类似。不同的是，上一节确定了电源线的电感，但这里要设计确定局部旁路电容的串联电感。

1. 我们希望系统达到频率 F_{knee}。计算在如此高的频率下的电感容限，见式（1.1）关于转折频率的定义。

$$L_{tot}=\frac{X_{max}}{2\pi F_{knee}}=\frac{X_{max}T_r}{\pi} \tag{8.18}$$

2. 找出（或测出）计划使用的旁路电容的串联电感 L_{C3}。一个表面安装的电容，连同非常短、宽的通孔，其典型的串联电感是1 nH。一个插接旁路电容的典型串联电感值是5 nH。使用这些值计算达到总的目标电感所需的旁路电容数目。

$$N=\frac{L_{C3}}{L_{tot}} \tag{8.19}$$

3. 从高频直到 $F_{旁路}$，电容阵列总的阻抗必须小于 X_{max}，由此计算总阵列电容

$$C_{阵列}=\frac{1}{2\pi F_{旁路}X_{max}} \tag{8.20}$$

4. 计算阵列中每个元件的电容。

$$C_{元件}=\frac{C_{阵列}}{N} \tag{8.21}$$

例 8.3 电容阵列

我们接着使用例 8.1 和例 8.2 中的数字。旁路电容采用的是 10 μF 电容，串联电感是 5 nH。我们希望得到 $X_{max}=0.1$ Ω。

---

① 其他引起电容失效的因素，如等效的串联阻抗，在 8.3.2 节中讨论。

$$X_{max} = 0.1\ \Omega \quad \text{（由上一节得到）} \tag{8.22}$$

$$T_r = 5\ \text{ns} \tag{8.23}$$

$$L_{tot} = X_{max} \frac{T_r}{\pi} = 0.159\ \text{nH} \tag{8.24}$$

$$L_{C3} = 5\ \text{nH} \quad \text{（使用插接电容）} \tag{8.25}$$

$$N = \frac{L_{C3}}{L_{tot}} = 32 \quad \text{（所需电容数）} \tag{8.26}$$

$$F_{旁路} = 3.18\ \text{MHz} \quad \text{（由例 8.2 得到）} \tag{8.27}$$

$$C_{阵列} = \frac{1}{2\pi F_{旁路}\ X_{max}} = 0.5\ \mu\text{F} \tag{8.28}$$

$$C_{元件} = \frac{C_{阵列}}{N} = 0.016\ \mu\text{F} \tag{8.29}$$

我们需要一个由 32 个电容组成的阵列，每个电容为 0.016 μF，串联电感为 5 nH 或更小。

记 忆 要 点

- 得到非常低的电感的最好方法是并联许多小电容。

8.2.5 电源平面和地平面的电容

平行的电源平面和地平面提供了第三级的旁路电容。电源－地平面电容的引脚电感为零，没有 ESR（见 8.3 节），在非常高的频率上可以减少电源和地噪声。电源和地平面之间的电容为：

$$C_{电源平面} = \frac{0.225\ \varepsilon_r A}{d} \tag{8.30}$$

其中，ε_r= 电介质的相对电导磁率（对于 FR-4 环氧树脂电路板使用 4.5）

A = 电源－地平面重叠的区域，in^2

d = 平面之间的间距，in

$C_{电源平面}$ = 平面之间的电容，pF

电源和地平面之间的间距为 0.01 in，绝缘为 FR-4，其电容为 100 pF/in^2。

在图 8.9 中，作为频率的一个函数，绘出了电源系统中各种不同元件的阻抗。注意，图 8.9 包括了电容 C_2 和 C_3 的寄生串联电阻的影响，也称为等效串联电阻（Equivalent Series Resistance，ESR）。ESR 的影响在 8.3 节中论述。

记 忆 要 点

- 电源和地平面之间的间距为 0.01 in，绝缘为 FR-4，其电容为 100 pF/in^2。

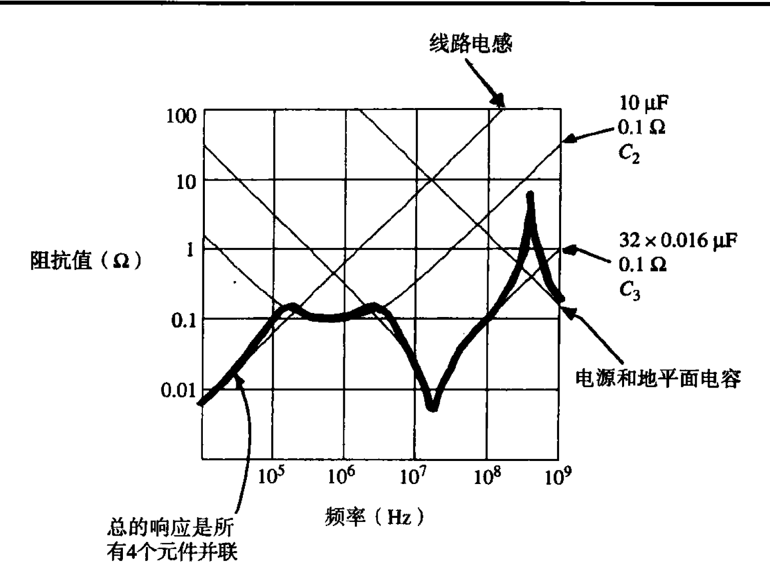


图 8.9　设计的旁路电容的阻抗值

8.2.6　测量电源分配系统阶跃响应的测试夹具

在图8.10中，从测试夹具上施加一个小的电流阶跃到电源系统，来看看是什么反应。这个探头装置的输出阻抗是 25 Ω。由脉冲发生器的 50 Ω 阻抗与示波器的 50 Ω 阻抗并联所得。

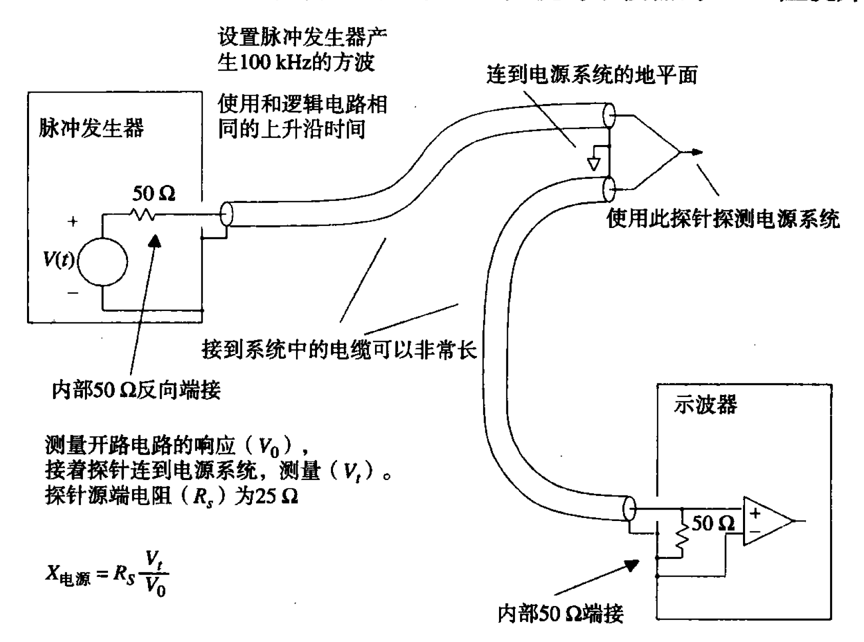


图 8.10　测量电源系统阻抗

设定脉冲发生器的上升时间与实际系统中预期的上升时间相同。设定输出阶跃的幅度（当示波器的 50 Ω 输入阻抗作为负载的时候）5 V，输出的电流阶跃是 5 V/25 Ω=0.2 A。按照测量阶跃响应的比例系数 $\Delta I/0.2$ 来决定电源系统对一个 ΔI 安培电流的阶跃响应。

对于一个已完成的系统，应用这个装置进行测试时电源处于开启状态。断开所有的时钟，使局部的逻辑电路停止工作。减少板上的噪声电平，然后就能精确地测量由这种测试装置产生的非常小的信号。

如果无法把时钟关掉，可以尝试用一个数字示波器。Tektronix 11403可以求平均值，能从许多比较大的随机噪声中检出微弱信号。使用这个特性，把脉冲发生器的触发输出连接到示波器作为触发输入，使测试电路与示波器连接，而断开脉冲发生器的信号输出[①]。然后，使用示波器的求平均值功能。示波器应该与脉冲发生器的触发信号同步开始求电路中电源供电噪声的平均值，因为脉冲发生器的触发与被测电路不同步，信号的平均值将是零。

然后，把脉冲发生器的信号输出连接到测试电路，观察平均值后的电源系统的阶跃响应。

记忆要点

- 用一个简单的测试夹具来测量供电电源的阶跃响应。

8.3 一般情形的电源分配问题

如果电源系统出现下面所列的现象，可以试试这些有益的提示。这不是一个完整的解决方案，但是应该可以帮助你开始解决问题。

8.3.1 TTL-ECL 混合系统中的随机 ECL 错误

在一个系统中，如果不考虑系统设计结果而混合使用TTL和ECL，这并不是个好主意。与ECL 电路相比，TTL 电路在电源线上会引起更多的噪声。而同时，ECL 电路对电源波动更敏感。一个典型的特征就是这些 ECL 电路会出现随机错误。

有关的提示如下：

- 首先确保 TTL 和 ECL 信号彼此清晰独立，这样就解决了直接串扰的问题。保持其间距至少等于走线距地平面高度的 8 倍。
- 如果 TTL 使用 +5 V，而 ECL 使用 -5.2 V，则会非常有利。电源系统已经被分开了。假定已经有了一个完整的地平面，TTL 噪声泄漏进 ECL 系统的机会将很小。如果没有完整的地平面，那就加一个。一个有能力的设计工作室很快就能增加一个地平面。加上地平面后，再做一次设计，看看它是否有效工作。
- 一些设计者的 TTL 和 ECL 电路都使用 +5 V。作为 ECL 电路，这不是最佳的工作电压，但是能够工作。如果可能，切断 TTL 区域的时钟，确定从 TTL 区域是否有泄漏的噪声引起 ECL 错误。
- 为了减少噪声泄漏，从物理上把 TTL 和 ECL 区域的设计分开。然后，把 +5 V 平面（不是地）一分为二，把印刷电路板分成 TTL 和 ECL 两个分离的区域。电路板的主电源输入应该是在 TTL 一侧。保持地平面的完整，确保没有长的信号走线穿越两个 +5 V 区域的边界，然后在两个 +5 V 平面之间连接一个有足够电流负载能力的 1 μH 电感。这将会限制进入 ECL 系统的 TTL 噪声的数量。
- 为了保证最大的可靠性，两个部分之间的信号传输使用差分信号。

① 使脉冲发生器触发输出与示波器连接。

8.3.2 分配线中的压降过大

当通过长的引线向多个印刷电路板提供电源的时候，通常没有合适的位置来安装电源供电的远端传感线。

如果电源分配线的阻抗太大，每块印刷电路板的局部电压将会不一致。

有关的建议如下：

- 把直流电源分配到每块电路板，然后在每块电路板上进行稳压。这需要在每块印刷电路板上都有本地稳压电路。如果使用+8 V电压分配方案，则在每块电路板可以采用线性稳压电源。如果使用+40 V电压分配方案，则在每块电路板可以采用开关稳压电源。
- 分配直流电源采用经过稳压的方式，但是电压要高，这样就降低了由于每条线路的电流衰减导致的电源电压下降。然后，在每块印刷电路板上加一个直流-直流转换器。如果直流-直流稳压器非常稳定（例如，固有输出阻抗低），则不必重新稳压。
- 采用多相调整的形式分配高电压交流电，使其波形顶部平坦。每块印刷电路板上本地至少使用两个变压器，以整流交流电流。通过适当的设计，顶部平坦的波形将较好地重叠，几乎不需要输出滤波电容。顶部平坦的高频波形不需要非常大的变压器。一种与汽车交流发电机类似的机制，可以产生这样顶部平坦的波形。其采用磁场旋转来调整输出电压，通过轴上的一个大的飞轮来控制短暂的电流通断。

8.3.3 插入电路板时的电源脉冲干扰

有些系统必须允许使用者在电路板运行时进行插入和拔出操作。当一块电路板插入一个工作背板的时候，由于板上的旁路电容要充电到满电压，它要吸收巨大的电流。这些电流大部分从其他电路板上的旁路电容汲取。其结果是在电源线中不可避免地引起一个脉冲干扰（毛刺）。

有关的提示如下：

- 在每块电路板上使用允许的最小旁路电容。在背板上直接连接一个大的旁路电容（或者大的电容阵列）。只有当每块电路板上旁路电容的引脚电感加上电源分配布线（包括连接器）的电感远远大于背板大电容的引脚电感时，这种方法才有效。
- 在每块电路板的电源引脚上专门串联一些电感。在背板上直接连接一个大的旁路电容（或者大的电容阵列）。这样的效果比前面的方法要好一些，因为增加了每块电路板的电感。
- 采用一个有源调整电路，使电源慢慢地施加到每块电路板上。可以用一个大的开关场效应晶体管在每块电路板上搭一个有源电路。场效应晶体管慢慢地施加电源，降低了dI/dt，因此减少了电源的供电脉冲干扰。10 ps的充电时间可以解决绝大部分问题。
- 慢启动的场效应晶体管开关，又称软启动电路，经常会导致太多的压降。为了解决压降问题，可以在印刷电路板上使用两个电源引脚。设计中可以使电路板插入槽中时，电源引脚在不同时间接触。首先使场效应晶体管慢启动电路的引脚连接，使电路板充电到大约4.5 V，第二个引脚直接连接到电源总线，使电路板完全充电到+5 V。我们没有对第二个脉冲干扰进行保护，但是与其他方式相比，它的大小只是其十分之一。

8.3.4 电源分配线的 EMI 辐射

电源线中的电流变化容易导致数字产品的辐射。这个电磁辐射可能超过FCC的标准限制。有关的提示如下：

- 使用比较好的旁路电容来限制每块电路板上变化电流的泄漏。
- 在电源线上串联一个共模扼流圈，以限制线路上的共模电流。
- 走线尽量靠近，限制电磁辐射的区域。
- 用一个完整的金属屏蔽罩罩住电源线，屏蔽罩的两端连接到机壳地。

记忆要点

- 在一个系统中，如果不考虑系统设计结果而混合使用TTL和ECL，这不是个好主意。
- 如果电源分配线的阻抗太大，每块印刷电路板的局部电压将会不一致。
- 当一块电路板插入一个工作背板时，由于板上旁路电容要充电到满电压，它要吸收巨大的电流。
- 电源线中的电流变化容易导致数字产品的辐射。

8.4 选择旁路电容

旁路电容并不是十分理想的。

每个电容包括一个寄生串联电感，称为引脚电感、封装电感或安装电感。8.2 节中描述了这个电感引起的后果。

每个电容还包括寄生串联电阻，称为等效串联电阻（Equivalent Series Resistance，简称ESR），它的作用与引脚电感一样，削弱了电容的效果。ESR是一个实数阻抗（不像电感是虚数），而且不是频率的强函数。它的作用就像一个普通的电阻，与电容串联。

每个旁路电容对温度都是敏感的。电介质的特性能随温度明显地改变，导致电容的容量出现大的摆动。

如果给旁路电容加上太高的电压，电容就会爆炸或短路。

下面的小节将详细讨论这些缺陷。

8.4.1 电容的等效串联电阻和引脚电感

等效串联电阻像一个电阻一样，与电容串联。引脚电感像一个电感线圈一样，与同一个电容串联。它们共同发挥作用，降低了电容作为一个旁路元件的效果。

作为频率的一个函数，电容的完整阻抗方程是：

$$X(f)=\left[\mathrm{ESR}^2+\left(\frac{-1}{2\pi fC}+2\pi fL\right)^2\right]^{1/2} \tag{8.31}$$

其中，ESR = 等效串联电阻，Ω

C = 电容，F

L = 引脚电感，H

$X(f)$ = 在频率 f (Hz)时的阻抗大小，Ω

式（8.31）计算了图8.9中电容 C_2 和电容阵列 C_3 的曲线。图8.9中假设 C_2 和 C_3 电容阵列的每个元件的ESR都为0.1 Ω，总的电路板面积为10 in^2，电源和地之间有0.01 in厚的FR-4电介质。

图8.9显示，旁路电路的谐振频率大约是300 MHz，这是由于电容阵列的引脚电感和电源与地之间的电容而产生的。因为这个设计的数字转折频率（见式（1.1））低于100 MHz，因此不必担心。如果数字转折频率比较高，试试用表面贴装的电容阵列，其电感比较低，提高了谐振频率并降低了幅度。

生产商的数据手册上并不总是有ESR参数，但它是非常重要的。不要相信销售人员告诉你的指标，要拿到书面形式的说明。

要测量ESR，可以使用图6.14所示的测量装置，与测量一个端接电阻的电感的方法相同。

如图6.14所示，当我们把一个旁路电容 C 放在被测设备（Device Under Test，简称DUT）上时，期望有好的，干净的 RC 上升时间。如果采用大的源端阻抗，如1 kΩ，则正好是我们所期望得到的；如果在图6.14的测试装置中采用小的源端阻抗，则会得到一个完全不同的结果。RC 上升时间加快，引脚电感和ESR的影响变得过大。通过测试阶跃响应的前几个纳秒，能直接测量引脚电感和ESR的影响。在数字旁路应用中，通常源端阻抗是1 Ω数量级的，速度是在纳秒范围的，因此这样考虑旁路元件的方法是合理的。

图8.11的曲线画出了一个实际的0.1 μF旁路电容的阶跃响应。响应分别采用10 ns / 刻度和2 ns / 刻度绘出。两个曲线图分别把测试夹具的开路响应和被测电容的响应叠加在一起。

阶跃响应显示了三个明显的特征：一个尖峰、一个阶跃和一条慢的完整斜坡。通过正确地分析这些特性，可以确定待测器件的引脚电感，ESR和电容。

1. 起初的2 ns是一个短的尖峰。产生这个尖峰是由于引脚电感的作用。我们可以用尖峰下的面积来估算引脚电感。

$$L = \frac{R_S A}{\Delta V} \qquad (8.32)$$

其中，R_S = 测试夹具的源端阻抗，Ω

A = 尖峰下的面积（见后面的解释）V-s

ΔV = 测试夹具的开路阶跃电压，V

L = 引脚电感，H

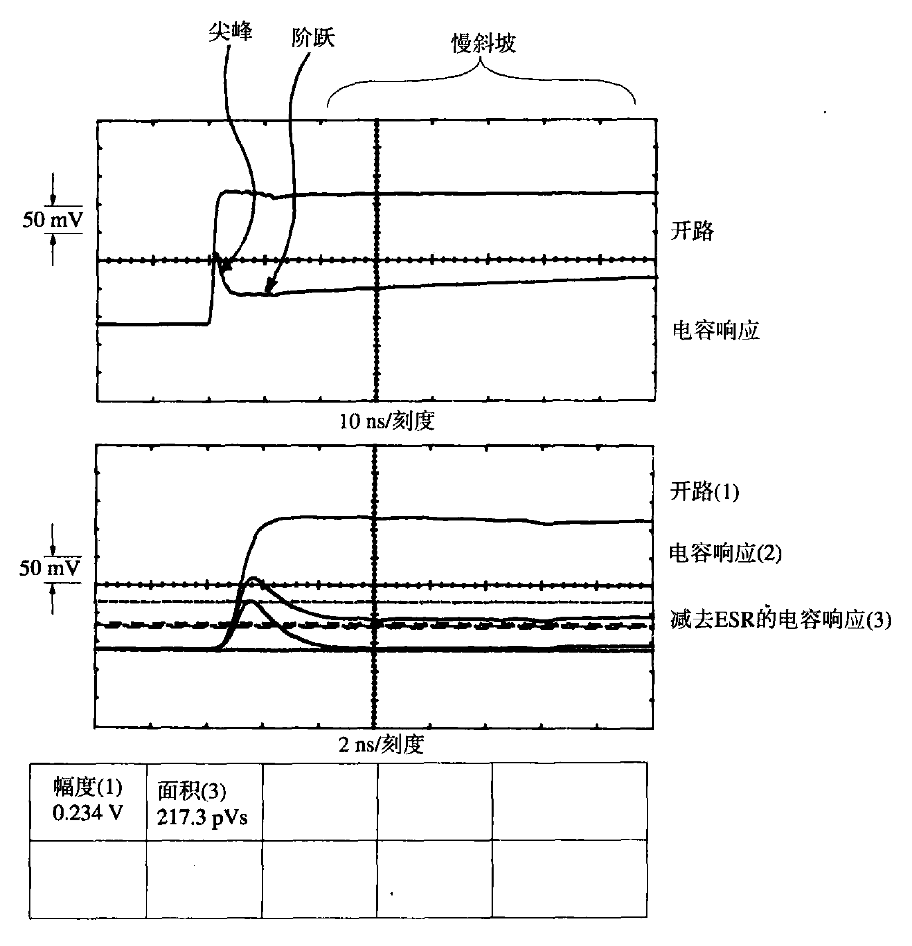
2. 紧接在尖峰之后的波形相对平坦，偏移在零以上。这种形态是由电容的ESR引起的。在这个时刻，电容还没有开始充电。在这个时刻，电容的一个好模型是只有ESR直接连接到地。由测试夹具的源端阻抗插进电容的ESR形成的电阻分压器，所产生的电压近似与ESR成正比。

$$\text{ESR} = \frac{R_S X}{\Delta V - X} \qquad (8.33)$$

其中，R_S = 测试夹具的源端电阻，Ω

X = 尖峰后测量的阶跃电压，V

ΔV = 测试夹具的开路阶跃电压，V



幅度(1) 0.234 V	面积(3) 217.3 pVs			

图 8.11　一个旁路电容的阶跃响应

3. 在阶跃保持之后，慢慢地倾斜增加。这是由于电容慢慢地充电的效果。充电速率 dV/dt 等于充电电流除以电容。充电电流约等于测试电路的开路电压除以源端阻抗。

$$C = \frac{\Delta V - X}{R_S(dV/dt)} \tag{8.34}$$

其中，R_s = 测试夹具的源端电阻，Ω

X = 尖峰后测量的阶跃电压，V

ΔV = 测试夹具的开路阶跃电压，V

dV/dt = 斜坡的充电速率，V/s

C = 电容，F

当查看尖峰的时候，记住引脚电感和ESR都是在该时刻起作用的。如果首先计算ESR，然后当测量尖峰下面积时即可减去它的影响。图8.11中在2 ns/刻度上显示的三条线分别是测试夹

具开路波形、直接测量响应波形、直接测量响应的副本按比例减去开路波形的副本。这种减法解决了ESR的影响。这里的减法和面积测量是使用Tektronix 11403数字示波器的功能进行的。

图8.11中的响应表明引脚电感是4 nH，ESR是1.1 Ω，电容是0.072 μF。

记忆要点

- 引脚电感像一个电感线圈一样，与电容串联。
- 等效串联电阻像一个电阻一样，与电容串联。
- 引脚电感和等效串联电阻共同发挥作用，降低了电容作为一个旁路元件的效果。

8.4.2 电容特性与封装的关系

许多不同生产商的电容，虽然具有相同的容量和电压等级，也具有相同的电介质，但令人惊讶的是，它们的形状和大小都各不相同。

对于容量值比较大的电容（10 μF及以上），与大型封装相比，小型封装的串联电感和ESR比较高。在没有首先检查ESR和引脚电感是否可以接受之前，不要计划去买小型封装的电容。

对于小的旁路电容，通过看封装无法对其了解很多。

电容的性能千差万别。表8.1列出了从一个有代表性的电子经销商处购买的不同样品电容的典型ESR和引脚电感值。序号1~5是整袋装的部分，除非特别指定，否则就表示采购部门可以采购这样的产品。所有的电容范围都在0.1~0.47 μF，全部都被当成“数字旁路电容”列出。序号1和2的电容有非常大的ESR。序号3有一个异乎寻常的大引脚电感。序号4和5与插接旁路电容的情况一样好。

表8.1　电容特性

电容	引脚间距（in）	ESR（Ω）	引脚电感（nH）	注释
1	0.4	1.1	4	低档
2	0.3	0.5	6	黄色
3	0.4	0.1	10	宽引脚
4	0.3	<0.1	7	DIP 0.3 in型
5	0.2	<0.1	6	方体
6	0.7	0.2	16	DIP插座
7	0.3	0.2	6	与6相同，但无插座
8	0.1	0.1	1.1	SMT 1206

序号6的旁路电容已经安装在一个双列直插封装插座中（见图8.12）。电容沿中轴线直接排开插在插座中的引脚8和引脚16之间。这个元件的生产商吹捧它的性能、说电容的引脚长度已经尽可能短了。的确如此，不过把电容直接焊接到电源和地平面之间是一种更好的安装方法。

这在第7行中被证明，设计者从双列直插封装插座中移走电容，如图8.13所示，焊接到电源和地平面的铜皮上。然后，从距离0.7 in远的地方测量了它的引脚电感。测量得到的电感从16 nH（在插座中）下降到6 nH（焊接到电源和地平面）。

序号8是一个1206表面贴装的电容。

图8.14以图形方式表示了表8.1中电容的阻抗大小与频率的关系。这个图表综合了各个元件的ESR，电感和电容等信息。

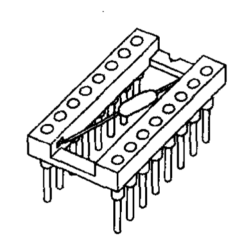


图8.12 安装在DIP插座中的电容

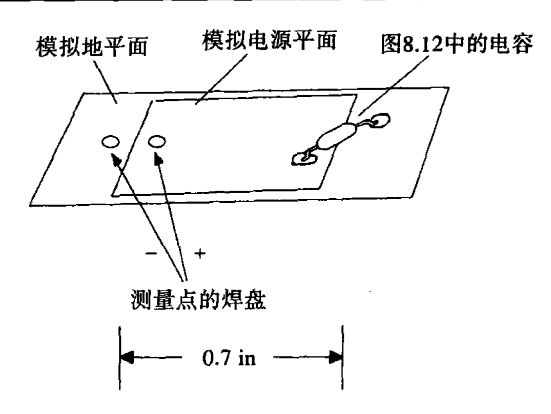


图8.13 同样的电容安装在电源和地平面上

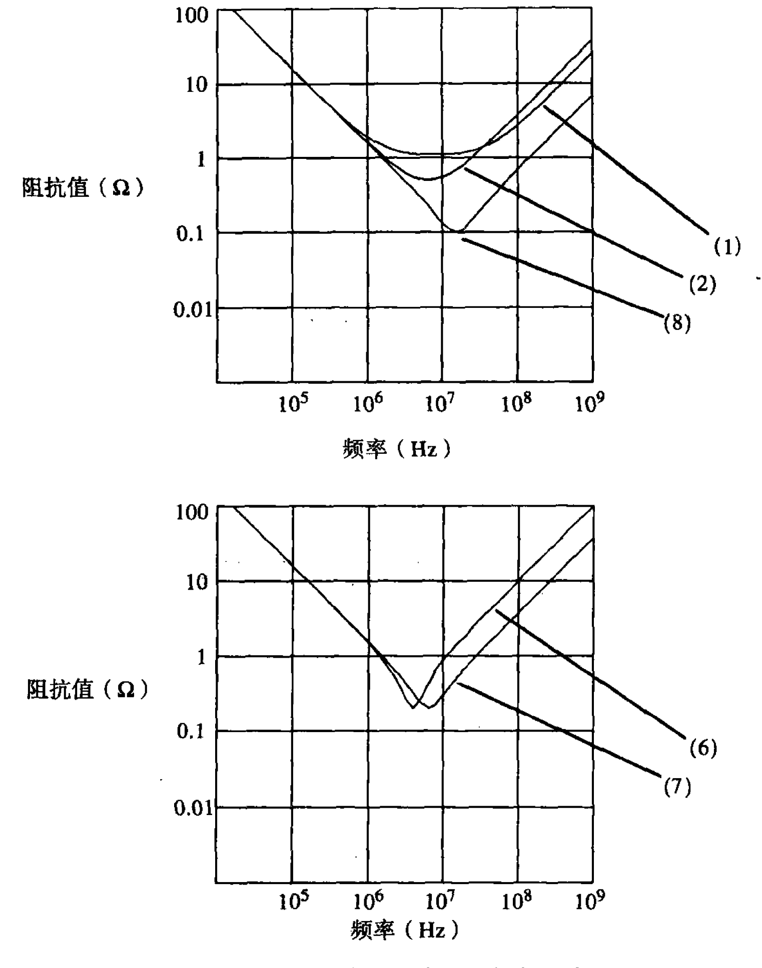


图8.14 表8.1中的电容的阻抗与频率

上半部分显示的是电容1，2和8。这些电容有相同的容量，在1 MHz以下无区别。在10 MHz附近，不同的ESR差别比较明显。超过100 MHz，只和引脚电感有关系。

图8.14的下半部分显示的是电容6和7。这实际上是相同的电容采用两种不同的方法安装。在10 MHz以上，不同的引脚电感导致阻抗的差别为8 dB。

记忆要点

- 对于容量值大的电容，与大型封装相比，小型封装的串联电感和ESR比较高。
- 电容的性能千差万别。

8.4.3 表面贴装的电容

表面贴装的电容直接焊接到电路板上，其间没有引脚，这样就减少了许多引脚电感。

表面贴装的封装命名与其长度和宽度相关。一个0.12 in长，0.06 in宽的封装称为1206封装。其他比较常用的是1210（0.12 in × 0.10 in）和0805（0.08 in × 0.05 in）。

与插接类电容相比，标准的1206大小的表面贴装旁路电容具有优良的特性。表面贴装电容的ESR可能不低，但是引脚电感可以下降到1 nH[①]的范围，封装越小，串联电感越小，例如0805封装的电容。

当使用任何表面贴装的旁路电容时，不要通过一个长而细的通孔连接到电源或地平面，从而破坏了它的效果。应该使用一个比较大的通孔或者多个通孔来连接旁路元件。同样，应该使用尽量短而宽的走线从通孔连接到电容。

当表面贴装电容安装在电路板背面的时候，可以节省许多电路板面积。但是，这需要额外的生产步骤和额外的费用。当空间很宝贵的时候，节省空间所花的费用是值得的。

当决定在印刷电路板背面安装元件时，要确定制造商是否会使用回流焊或波峰焊的装配方式。如果板子上有插接安装的元件，制造商肯定会使用波峰焊。波峰焊会增加背面摆放元件的限制。如果采用回流焊，元件的放置可以靠得比较近一些。

当使用波峰焊的方法时，一定要使用双重波峰（dual-action wave）或振动波峰（vibrating wave）。其各方面都要比老式的单层流波峰焊（single-action laminar flow wave）好。

当使用波峰焊接时，需要避免阴影问题。元件可能会扰乱波峰流，从而使其后面元件的焊接剂减少。双重波峰机和振动波峰机都很容易消除这种影响。

采用波峰焊的合理设计规则，是将元件按照一个方向摆放，使其宽面进入波峰焊（而不是窄的一端首先进入）。应该在元件之间留出与元件本身宽度一样的空间。这两条规则有助于避免阴影的问题。

记忆要点

- 咨询一下电路板是否会用波峰焊或回流焊装配。

8.4.4 集成电路下面安装的电容

在电容封装方面，近期的两个进步是值得一提的。这两项改进都源自Circuit Components, Inc.[②]。第一项是Micro/Q系列1000封装，用于安装在双列直插封装元件的下面，很适合于绕接设计（wire-wrap design）。第二项是Micro/Q 3500SM，用于安装在大的PLCC封装的下面。

---

① 标准的1206封装电容。

② Circuit Components, Inc., 7400 South Roosevelt Street, Temps, Ariz.

两种封装的引脚电感都很低。而且，因为两种封装适合布放于已有的元件下面，所以节约了板子的面积。

图8.15中给出了这些封装的示意图。为了降低电感，两种封装都是宽而平的。Micro/Q 3500SM①的焊接边很宽，因此引脚电感非常低（有的元件达到0.3 nH）。这些电容的ESR也很低（典型都在0.1 Ω以下）。

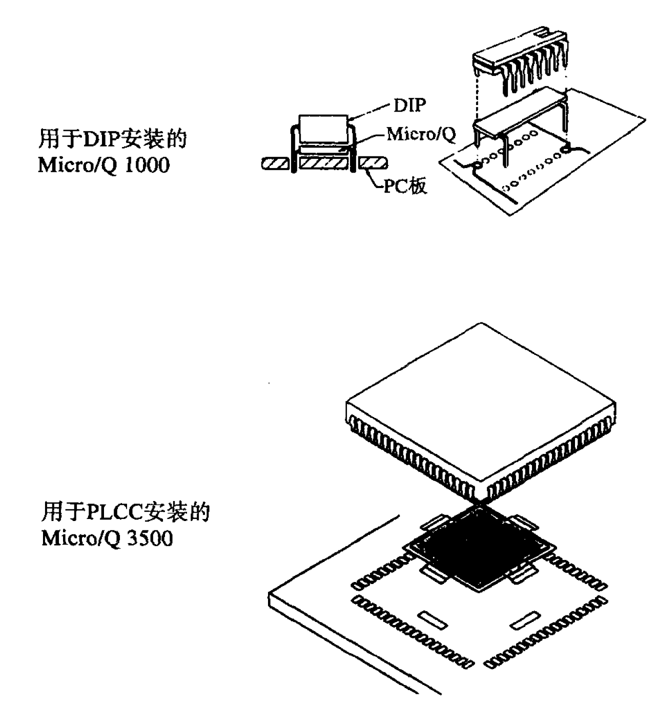


图8.15 Micro/Q 电容封装（上图得到了Circuit Components, Inc.的允许，此前Circuit Components, Inc.是Rogers Corporation的一个部门）

8.4.5 三种类型的电介质

旁路电容只代表了所有电容产品中的一小部分。即使如此，旁路电容还有许多类型和等级。旁路电容的一种基本分类方法是根据其电介质材料。

旁路电容所用的电介质材料全部都有相对较高的电介质常数，在数量级上为1000~10 000或更多。与较低电介质常数的材料相比，电介质常数较高的材料能在比较小的封装空间上得到比较大的容量。

遗憾的是，电介质常数最高的材料其温度系数也最差。对于一种特定的电介质材料，电容的体积与它的容量以及最大电压等级基本成正比。

下面几节概述了3种常见的电介质材料。

若想获得更多的关于电介质特性和旁路电容使用的信息，可以参阅Johanson Dielectrics②和Circuit Component, Inc.③提供的手册。

---

① Micro/Q是Circuit Components, Inc.的注册商标。

② Johanson Dielectrics, *Understanding Chip Capacitors*, Johanson Dielectrics, 2220 Screenland Drive, Burbank, Calif. 1974.

③ Michael Scott Hyslop. *Use Power Bypassing and Busing for High Performance Circuits*. Reprints available from Circuit Components, Inc., 2400 South Roosevelt Street, Tempe, Ariz. 1990.

8.4.5.1 铝电解电介质

铝电解电介质的电容代替了电子管时期使用过的用纸和油填充的电容。铝电解电容非常耐用，经常用做板级旁路电容。电解电容的特性与钽电容类似，但钽电容的电介质常数更高，费用也稍高。

铝电解电容用双层的金属箔卷制而成。首先，在把两层金属箔压在一起之前，用化学方法在金属箔表面形成电介质薄膜，电介质薄膜用于隔离两层金属箔。然后把这个夹层结构卷成一个圆筒。为了避免短路，在金属箔之间留出一个比较厚的间隔。因为前面的化学电介质膜可以做得非常薄，所以使用这种设计时每立方英寸可以达到相当大的容量。

在低电压等级上，电介质层的厚度只是全部金属箔夹层结构厚度的一小部分。因此，3 V 的电容不会比 10 V 的电容小很多。在比较高的电压等级上，铝电解电容有比较大的储能密度。

每个金属箔层连接一个接线端。与滚压的结构相对应，这种封装的典型形状是圆筒形的。不同外形的电容，从短而粗到高而细的都有。

铝电解电容通常有 ±20% 的初始公差。最便宜的可能有 +80% 到 –20% 公差的变化。加上老化因素，在最大温度等级下，1000 小时之后的值为 ±15%。最后，还应该包括一个温度降级因素，在 0℃大约是 –5%。在使用铝电解电容之前，检查数据手册上的所有这些数值。对于想要购买的电容，其初始的公差加上老化再加上温度降级因素，总共会去掉 40% 的容量。

ESR 对温度特别敏感。图 8.16 中显示的测试 ESR 电路中，在测试电容上加了一个 4.2 Ω，300 mV 的脉冲源。这个例子中的电容是 33 μF/16 V 的铝电解电容。绘出的响应曲线对应的环境温度分别为 –30℃，0℃，25℃和 60℃。在初始的感性反冲之后，温度最高的阶跃响应有 20 mV 高。在这个时间刻度上，响应的缓慢变化部分看上去十分平坦。使用式（8.33）算出 60℃时的 ESR：

$$\mathrm{ESR}_{60} = \frac{R_S X}{\Delta V - X} = \frac{4.2 \times 0.020}{0.300 - 0.020} = 0.3\ \Omega \tag{8.35}$$

随着温度的降低，这个电容上的 ESR 迅速劣化。在 60℃，阶跃响应只上升到 20 mV，表示 ESR 大约为 0.3 Ω。在 0℃，阶跃响应上升到 150 mV，ESR 大约为 4.2 Ω。这个从 0℃上升到 60℃的 ESR 比率为 14:1，对铝电解电容来说并非不正常。温度在 0℃以下，这个特定电容上的 ESR 使其在对数字信号电流进行旁路方面已经发挥不了作用了。这并不是一个性能很好的电容。

感性反冲下面的测量面积大约是 720 pVs。采用式（8.32）算出引脚电感。引脚电感作为机械结构特性，不随温度的变化而变化。

$$\mathrm{L} = \frac{R_S A}{\Delta V} = \frac{4.2 \times 720\ \mathrm{pVs}}{0.300} = 10\ \mathrm{nH} \tag{8.36}$$

在图 8.16 中，33 μF 的电容已经足够大了，非常慢的斜率已经看不出来了。

铝电解电容的容量非常大，因此测试其 ESR 是很容易的。如果使用一个常用的 50 Ω 脉冲发生器直接连接到电容上，而不是制作一个 4.2 Ω 的信号源，50 Ω 的信号源将使初始感性反冲的 *L/R* 衰减时间减小，使其很难观察，但也使电容的上升时间减慢。总的效果是使 ESR 控制的区域变宽。阶跃重复的频率为 100 kHz 比较合适。

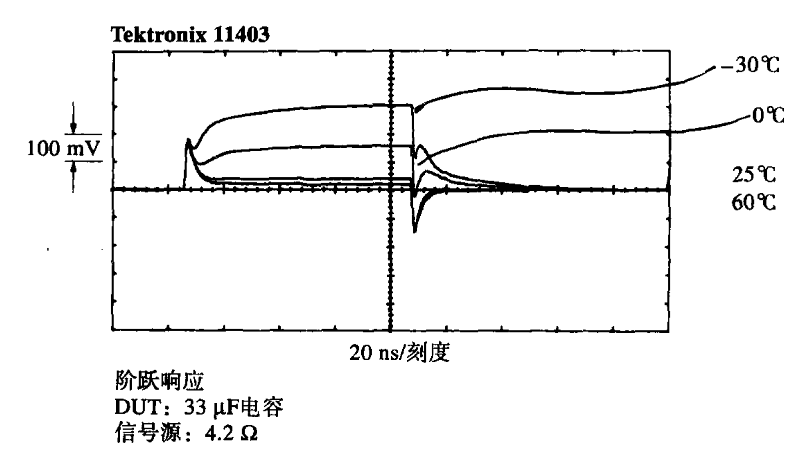


图 8.16 铝电解电容的 ESR 因温度而变化

8.4.5.2 Z5U 电介质

单片陶瓷电容是在陶瓷绝缘层之间插入金属层构成的。连同两端的金属帽，整个结构一起被烧制成一个整体。在完成的结构中，两端的帽分别与内部的金属层交替连接，陶瓷的绝缘体就变成了电介质。

对于这样的电容，可以买到表面贴装形式（没有引脚）的，或者两端的金属帽上焊接有引脚的铸模塑料封装的，其中表面贴装封装的称为片状电容。

Z5U 电介质材料的电介质常数比 X7R 要高，但其温度和老化特性较差。

来自 Vitramon[①]的通用规范列出的标准公差范围是 ±20%。比较便宜一些的范围是 80%~20%。Z5U 的老化系数与自烧制成以后的时间的对数成正比，每 10 年大约为 -2%。元件预先老化时间大约 100 小时，或者确保在最初 1000 小时中的电容损失不超过 2%，随后的 10 000 小时中多于 2%，等等。一个片状电容如果经过焊接，其老化时间要重新计算。最后要记住Z5U材料的温度劣化是非常严重的。Vitramon提供的一个数据是，在10℃~85℃范围内的变化从 +22% 到 -56%，在 10℃以下，不推荐使用Z5U。综合初始的公差，100 000 小时的老化和 10℃的温度，总共将失去三分之二的标称电容。

在室温条件下，ESR额定值可以很容易达到0.1 Ω以下。在10℃~85℃的工作范围，典型ESR比是 3:1。表面贴装的 1206 封装大约有 1 nH 的引脚电感。带引脚封装的引脚电感大约为 5 nH。

表面贴装 1206 大小的 Z5U 电容可以达到 0.33 μF，工作电压为 50 V。电容值越大，封装越大。

8.4.5.3 X7R 电介质

X7R是另外一种构造片状电容的电介质材料。这种材料的元件既有表面贴装的，也有带引脚封装的。表面贴装封装的称为片状电容。与 Z5U 相比，X7R 电介质材料的电介质常数比较低，但是温度和老化特性比较好。

来自 Vitramon 的通用规范列出的标准公差范围是 ±5%，10% 和 20%。X7R 的老化系数与工作期限的对数成正比，每 10 年约为 -1%（Z5U 的一半）。

---

① Vitramon, Inc.是 Thomas & Betts Corporation 的一个子公司。

元件的预先老化时间约100小时，或者确保在最初的1000小时中电容的损失不超过1%，随后的10 000小时中多于1%，等等，一个片状电容如果经过焊接，其老化时间要重新计算。最后要注意温度劣化。Vitramon提供的一个数据是，在-55℃~125℃范围内的变化为+15%，这是一种非常棒的电容，可以用于温度范围很宽的应用。

在初始的公差（10%），100 000小时的老化和±55℃的温度条件下，我们只损失了29%的标称电容。

在室温条件下，ESR额定值很容易达到0.1 Ω以下。在0℃~70℃的温度范围内，典型ESR比低于2:1。在扩大的温度范围55℃~125℃内，期望的ESR变化比是4:1，表面贴装的1206封装大约有1 nH的引脚电感。带引脚封装的引脚电感大约为5 nH。

表面贴装1206大小的X7R电容可以达到0.12 μF，工作电压为50 V。电容值越大，封装越大。

对于任何元件，生产商制造在容量范围高端的元件时，在时间上比较困难。所以，如果要求适合某个封装的最大容量时，采购部门的交货时间将无法保证，并且费用可能很高。可以改用大一点的封装或降低容量值来避免这些令人头痛的问题。

记忆要点

- 与电介质常数较低的材料相比，电介质常数较高的材料能在比较小的封装空间上得到较大的容量，但是温度系数和老化稳定性比较差。
- 铝电解电容在低温应用中的工作性能比较差。

8.4.6 电压等级和使用期限的安全容限

电容故障是一种统计现象。在高电压的情况下会增加电容故障。当生产商提供一个工作电压等级的时候，并不意味着电容在该电压上工作将不会发生故障。它只是指如果在该电压或该电压以下工作，电容通常不易发生故障。

当在电容的最大工作电压以下工作时，可以显著地延长电容的使用寿命。对于高可靠性的工程，应该和生产商讨论这个问题。电压降级50%使用可能大大地提高电容的预期寿命。

记忆要点

- 电容的故障是一种统计现象。在高电压的情况下会增加电容故障。

第9章 连 接 器

大量的实例证明，速度越高，构造一个好的连接器就越难。常用的DIN连接器最多可以用于几十MHz，手工单独装配的SMA硬线连接器可用于高达25 GHz的场合，前者每个引脚的成本不到后者的百分之一。连接器间的什么差异使之有如此显著的差别呢?

针对高速系统的设计者，本章分析了连接器的重要特性，阅读完本章之后就会了解连接器系统的哪些特性对你的应用很重要，以及如何测试它们。

影响连接器高速性能的主要电气因素包括：

- 互感，引起串扰
- 串联电感，减缓信号传播，产生电磁干扰（EMI）
- 寄生电容，减缓信号传播

9.1 互感——连接器如何引起串扰

图9.1中举例说明了工作中的电流环的基本互感耦合。电流离开门电路A，经由信号返回路径X流回源端。由于电流路径X，Y和Z相互重叠，路径X的磁场将在信号路径Y和Z上感应出噪声电压。

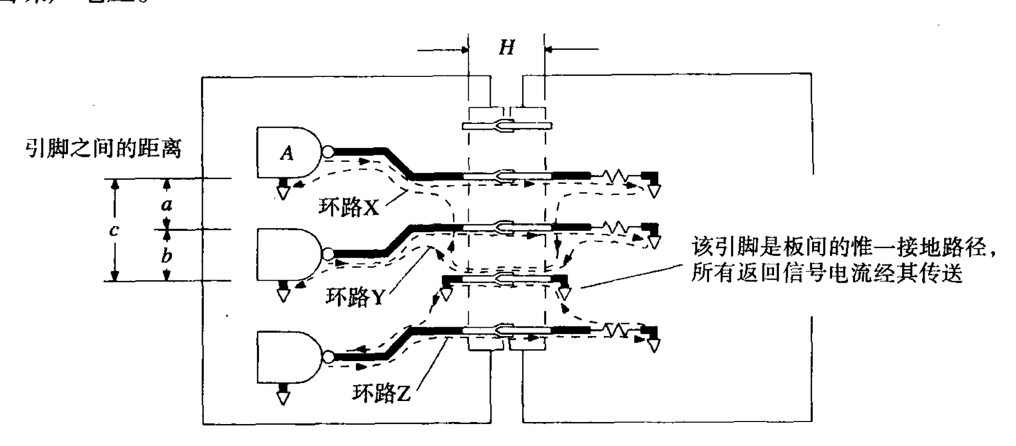


图9.1 连接器的互感耦合

因为路径Y与路径X的重叠面积大于路径Z与路径X的重叠面积，所以路径Y上的感应噪声大于路径Z上的感应噪声。事实上，产生互感噪声不需要路径完全重叠，任何两个相邻近的电流环都会相互影响。

连接器的引脚之间也会有寄生电容，但在数字电路中，寄生电容引起的串扰要比互感引起的串扰小。9.4节介绍了怎样测量一个连接器的总的耦合系数，其中包括感性部分和容性部分。现在，我们首先重点讨论问题较大的部分：电感。

9.1.1 估算串扰

对于图9.1中任意信号引脚之间信号串扰的大小，可以使用第1章中揭示的关系来进行估算，这样的估算需要3个条件：

- 两个电流环之间的互感
- 源信号 dI/dt 的最大变化率
- 接收网络的阻抗以及是否为源端或末端端接

考虑到两个环路之间的互感，我们要找出最坏情况下的串扰，因此以下重点考虑两个直接重叠的环路之间的相互影响，如图9.1中的环路X和环路Y。

环路Y内的全部磁通量来自于两个方面：首先是从门电路A流出并沿着信号线传输的电流，其次是沿着地线传输的返回信号电流。因此，互感公式包括两项，其中的第二项（地线项）大于第一项：

$$L_{X,Y} = 5.08H\ln\left(\frac{c}{a}\right) + 5.08H\ln\left(\frac{b}{D/2}\right) \tag{9.1}$$

其中，a = 信号X到信号Y的距离，in

b = 信号Y到地线的距离，in

c = 信号X到地线的距离，in

D = 连接器引脚的直径，in

H = 连接器的引脚长度，in

$L_{X,Y}$ = 环路X和Y之间的互感，nH

式（9.1）中假设连接器是单排的，而且引脚相对较长（即 H/a 的比值较大）。即使这些假设不成立，由于对数函数的特性（函数值的变化随自变量变化比较缓慢），由式（9.1）也很容易得到在一个数量级内精确的结果，这足以准确地判断连接器的串扰特性是否是一个值得注意的问题。如果连接器的特性关系到系统的性能，那么就买一个连接器并测试它的性能。

下面需要讨论的问题是系统中 dI/dt 的最大值，我们采用式（2.41）或式（2.42）来估算 dI/dt。

最后一个条件涉及到噪声接受电路的拓扑结构。图9.2给出了选择的方案：第一种情况，驱动器紧靠着连接器连接，这里的"紧靠"意思是驱动器到连接器的距离在一个上升沿的电气长度之内，见式（1.3）。第二种情况，涵盖了其他所有的结构形式，包括源端端接。

在第二种情况对应的结构中，耦合噪声在两个方向上各分一半。在第一种情况下，耦合进的噪声迅速在低阻抗驱动端反射，使接收端的耦合噪声加倍。

下面的公式给出了由于来自门电路A的单个阶跃输入，环路Y上感应出的噪声脉冲的高度。该脉冲的持续时间与输入脉冲的上升沿时间相当。

$$\text{第一种情况：串扰} = L_{X,Y}\frac{dI}{dt} \tag{9.2}$$

$$\text{第二种情况：串扰} = \frac{1}{2}L_{X,Y}\frac{dI}{dt} \tag{9.3}$$

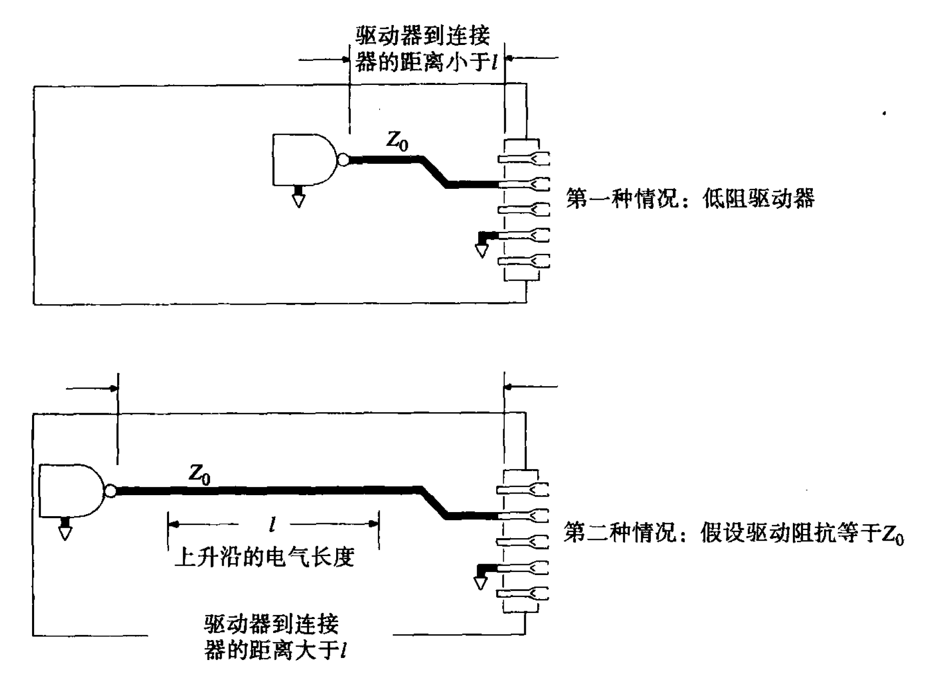


图 9.2 邻近的驱动器有更低的驱动阻抗

减缓驱动信号的上升沿时间可以直接减少串扰。如图9.3所示，在连接器的源端并联电容，可以减小驱动信号的上升时间。如果在接收端放置电容，只会使驱动端信号跳变时流过连接器的冲击电流增加，使情况变得更糟。

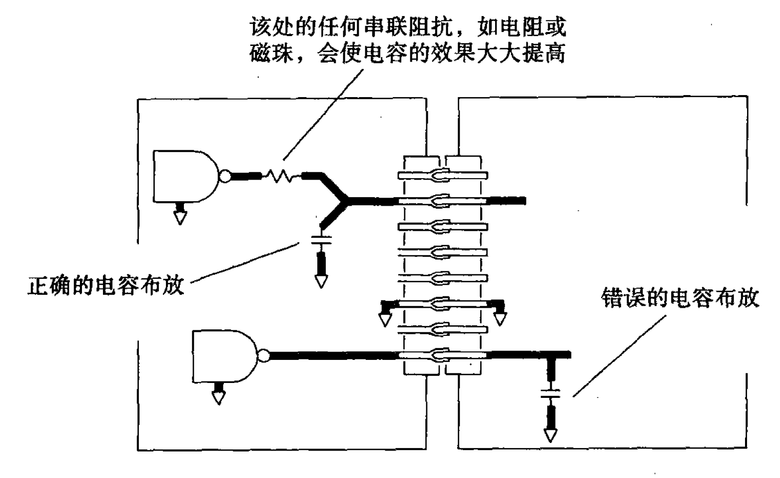


图 9.3 降低信号上升时间的方法

9.1.2 如何通过接地改变返回电流路径

下面给出了连接器特性的5个准则，结合式（9.1），可以帮助估算连接器不同的接地排列时的性能。当对一个系统进行计算调整时，这些准则很有效。同时，使用这些准则，当提出不同的变更之后，我们可以预测将会发生什么情况。

准则1 在图9.1中，通过改变接地模式，可以减小（或增加）特定线路之间的互感。如果将地线移至距离环路X和Y更远的地方，即增大b和c的值，式（9.1）中的两项都会增加，互感$L_{X,Y}$会增大。反之，将地线靠近环路X和Y，将会减小其互感。互感的变化与距离的对数值成正比。

准则2 额外增加的地会有更直接的效果。记住式（9.1）中第二项（地线项）最大。由于地线与环路X和Y紧密耦合，地线上的电流对环路Y有很大的影响。如果我们能将地线上的电流分为两半，互感$L_{X,Y}$几乎会减少一半。

如图9.4所示，通过在信号X上方增加一条地线，把地线上的电流分为两半，电流将分为两部分，分别流经每一条地线。相应地，互感$L_{X,Y}$也会减小。增加更多的地线将进一步分散地线电流，但是不再像最初那样将电流一分为二。

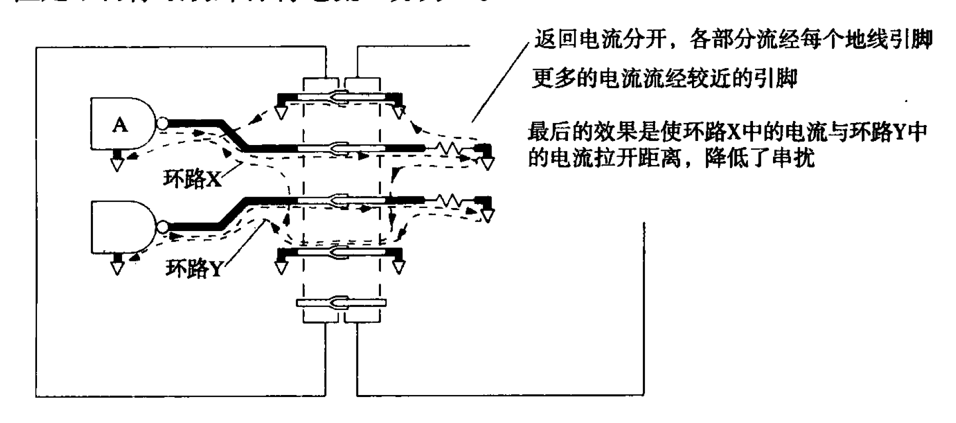


图9.4 增加第二个地来分配地电流

准则3 在信号X和Y之间插入地线与在它们之外增加地线有很大的差别。如果我们在X和Y之间增加N条地线，如图9.5所示，使两者的间距加大，它们之间的耦合随之成比例下降，耦合正比于：

$$\frac{1}{1+N^2} \tag{9.4}$$

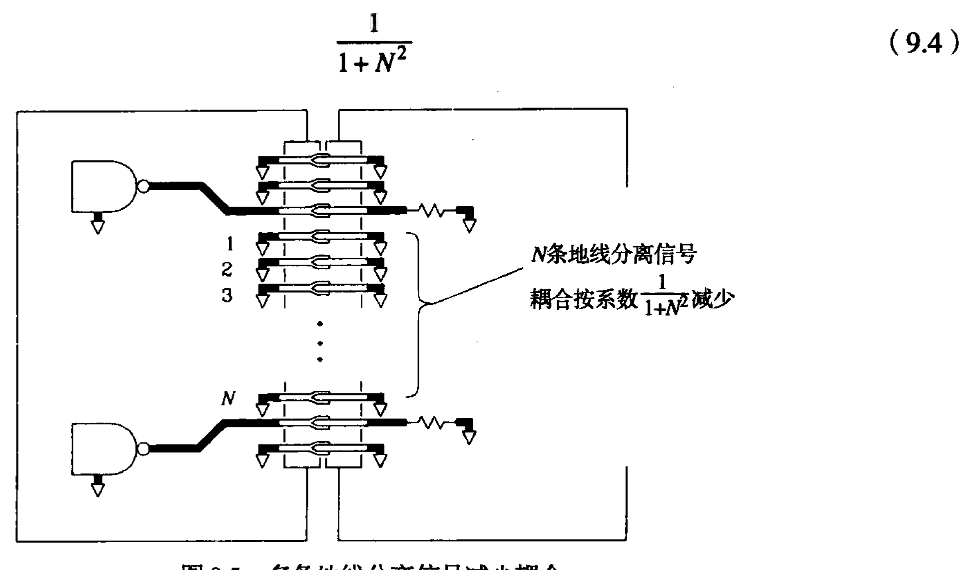


图9.5 多条地线分离信号减少耦合

准则 4 耦合到连接器上任意给定线路的噪声来自其他每条线。简单地减少连接器上的信号个数就能减小总的串扰。另一方面，将连接器上的信号分成几组，通过在各组之间插入地线即可减小其相互干扰。分组有效地减少了对特定的接收器产生严重串扰的线路数量。串扰基本上与地线之间的信号线数目成正比。

准则 5 在连接器边沿增加额外的地线对减少串扰几乎不起作用，在连接器边沿采用大的接地效果也一样。

记忆要点

- 连接器产生串扰的主要原因是互感，而不是互容。
- 在连接器上分布地线能减少串扰。

9.2 串联电感——连接器怎样产生电磁干扰

电磁干扰（EMI）是由大环路中的信号电流引起的。

图 9.6 举例说明了一个普通的电磁干扰问题。一个 64 位总线从板卡 A 经过连接器 B 连到母板卡 C 上，母板卡可能是一个主 CPU 卡或是一个通往其他子卡的无源通道。64 条信号线的返回电流从母板卡 C 流回板卡 A，其中的绝大部分通过了连接器 B 的接地脚。

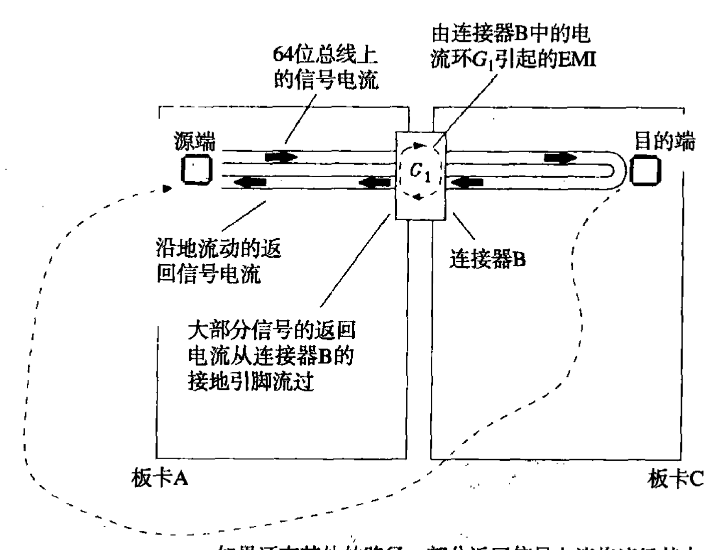


图 9.6 一个 64 位总线信号的返回电流

只有一小部分信号返回电流经由不同的路径流回板卡 A，然而，正是这一小部分返回电流引起了大量的 EMI 问题。

高频电流流经大的环路时会辐射出大量的电磁能量，这将不能通过 FCC 或 VDE 所规定的辐射测试。EMI 设计的主要工作是使所有信号的电流环路横截面的面积最小。例如，在一个完整地平面上，高频电流趋向于紧贴走线正下方返回（见 5.1 节），一条 6 in 长、距离地平面 0.010 in

的走线所围起来的环路面积仅仅为0.06 in^2。这么大的环路面积，在EMI方面是可以接受的。在图9.6中，板卡A和C上的64位总线信号由完整地平面返回，因此我们可以忽略其信号和地之间的环路面积。

返回电流路径上的任何阻断或不连续，如通过连接器接地引脚的改道分流，会在电流环路上产生“气泡”(bubble)，这些气泡是否会带来足够大的面积，从而导致辐射超标，取决于回路中信号电流的总 dI/dt 值。

在图9.6中，环路面积上的气泡一般发生在连接器B内，因为连接器上的信号和地线引脚是分开的。该气泡记为 G_1，64位总线信号路径的环路电感大部分来自环路 G_1 的电感。

信号返回电流是否有其他的返回路径，取决于连接器B的物理结构，以及板卡A和C所在的机箱结构的具体情况。任何电流在返回位于板卡A上的源端时，如果不经过连接器B，则将包含一个大的环路面积，并产生大量的辐射。

例如，在图9.7中，假设板卡A和C共用两个连接器，另外增加的连接器记为D，将其安排在与连接器B相隔一段距离的地方。现在有一部分信号的返回电流可以由连接器D上的地线流回A，如图9.7中的环路 G_2 所示。

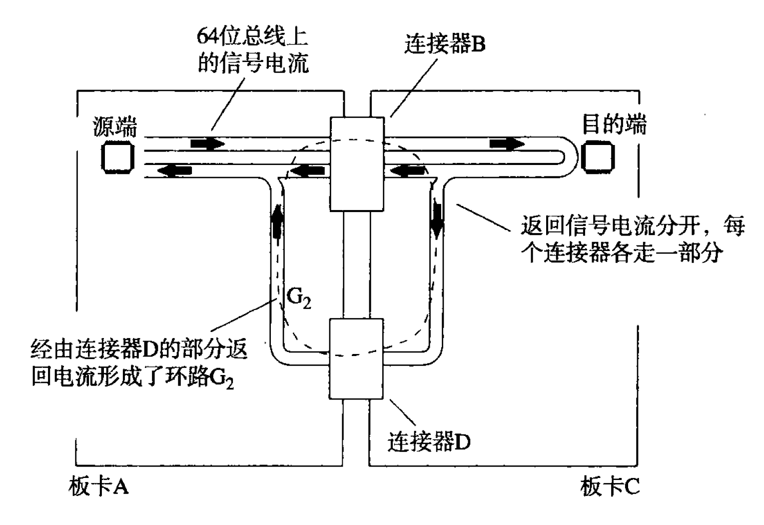


图9.7 通过连接器D转向的返回电流

高速信号返回电流通过连接器D的比例，取决于环路 G_1 的电感（见图9.6）与 G_2（见图9.7）的电感的比值：

$$\text{流经D的电流} = (\text{从A返回的电流})\frac{L_{G1}}{L_{G2}} \tag{9.5}$$

在非常低的频率上，流经连接器D的信号返回电流的量取决于阻抗的比值，而在较高的频率上，则取决于式(9.5)中电感的比值。既然EMI是一个高频问题，这里我们也就只关心两个环路电感的比值。

因为环路 G_1 面积较小，其电感也比 G_2 要小一些，因此只有一小部分的返回信号电流经过路径 G_2。但是，即便如此小的一部分电流也足以使辐射超标。在30 MHz以上，在距设备3 m

远处进行测试，FCC和VDE的辐射限制都大致为100 μV/m[①]。关于辐射标准的更多细节以及防止电磁辐射的设计技术，可以参考Ott[②]，Mardiguian[③]和Keiser[④]等人的论著。

要想精确计算一个数字产品的辐射强度等级是件不现实的事情，因为有太多的因素会影响结果。式（9.6）表示了一个简单的约束条件：开放的测量试验场合，30 MHz以上，满足FCC和VDE辐射限制的环路面积、峰值电流和上升时间。

$$E = 1.4\times10^{-18}\frac{AI_pF_{clock}}{(T_{10\%\sim90\%})} < 10^{-4}\ \mathrm{V/m} \tag{9.6}$$

其中，E = 3 m处的辐射电场强度，V/m

A = 辐射环路面积，in^2

I_p = 峰值电流，A

$T_{10\%\sim90\%}$ = 信号上升时间，s

F_{clock} = 时钟频率，Hz

关于式（9.6），需要注意：

- 最终产品的辐射指标与式（9.6）所预算的指标相差20 dB是很常见的，其中包括一个很大的修正系数。
- 应该明确，辐射测试是测试系统中所有线路辐射的总和[⑤]，如果一条线刚刚符合标准，那么增加了100条线肯定就不符合标准了。
- 在设计最后敲定之前，先搭建一个模拟系统测试一下，其中只需包括一些穿过连接器系统的时钟信号，听起来很浪费，但最终来看会节省很多钱。因为等到工程结束需要重新设计机械封装和屏蔽时，成本会急剧增加。

例9.1 一个连接器的噪声辐射

图9.8显示了一个典型的16位总线。我们来分步计算路径G_1和G_2的电感，以及路径G_1的辐射和路径G_2的辐射。

路径G_1的电感（取自附录C中一个矩形环路的情况）：

r = 0.025/2（引脚半径，直径的一半，in，
注意，我们用的是h/r，而不是$2h/d$）

W_1 = 0.2（信号到地的距离，in）

h = 0.4（连接器引脚长度，in）

$\frac{1}{2}$ = 修正系数，由于信号引脚两边有地线（准则2，见第9.1节）

① FCC/VDE在高频的限制接近200 μV/m，对于最初的规划，只使用100 μV/m。

② Henry Ott, *Noise Reduction Techniques in Electronic Systems*. 2nd ed., John Wiley, New York 1988.

③ Michel Mardiguian, *Interference Control in Computers and Microprocessor-Based Equipment*. Don White Consultants, Inc., 1984, Gainesville, Vir.

④ Bernhard Keiser, *Principles of Electromagnetic Compatibility*, Artech House, 1987, Norwood, Mass.

⑤ 对于随机信号，总的辐射与信号数量的平方根成正比。对于有相互关系的信号（如时钟线），辐射可以差不多与信号数量直接成正比。

$$L_{G1} \approx \frac{1}{2}\left\{10.16\left[w_1 \ln\left(\frac{h}{r}\right) + h\ln\left(\frac{w_1}{r}\right)\right]\right\}$$

$$= \frac{1}{2}\left\{10.16\left[0.2\ln\left(\frac{0.4}{0.013}\right) + 0.4\ln\left(\frac{0.2}{0.013}\right)\right]\right\} \quad (9.7)$$

$$= 9.0 \text{ nH}$$

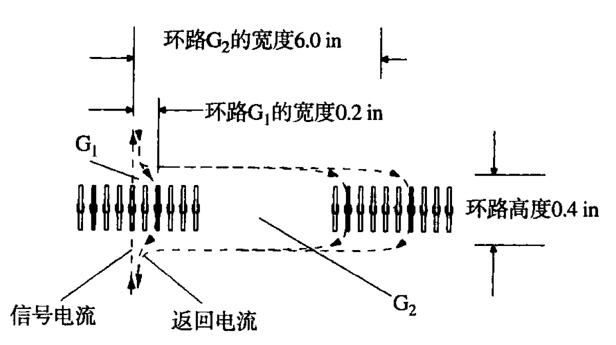


图 9.8 关于返回电流分流的例子

路径 G_2 的电感（取自附录 C 中一个矩形环路的情况）：

$r = 0.025/2$（引脚半径，直径的一半，in）

$w_2 = 6.0$（信号到连接器 D 的距离，in）

$h = 0.4$（连接器引脚长度，in）

$$L_{G2} \approx 10.16\left[w_2 \ln\left(\frac{h}{r}\right) + h\ln\left(\frac{w_2}{r}\right)\right]$$

$$= 10.16\left[6\ln\left(\frac{0.4}{0.013}\right) + 0.4\ln\left(\frac{6}{0.013}\right)\right] \quad (9.8)$$

$$= 234.0 \text{ nH}$$

假设每个驱动信号都通过 50 Ω 传输线传播，幅度为典型的 TTL 电平 3.7 V，信号电流的峰 – 峰值为 74 mA。峰值电流是其一半或 ±37 mA。

采用式（9.5）求出路径 Y 的峰值电流：

$$I_{G1} = 0.037 \text{ A} \quad (9.9)$$

$$I_{G2} = 0.037\frac{9.0 \text{ nH}}{234 \text{ nH}} = 0.0014 \text{ A} \quad (9.10)$$

现在采用式（9.6）来估算环路 G_1 和 G_2 的辐射，首先计算 G_1：

$A = 0.08$（引脚长度 0.4 in × 信号到地距离 0.2 in，in^2）

$I_{G1} = 0.037$（峰值电流，A）

$T_{10\%\sim90\%} = 5 \times 10^{-9}$（信号上升时间，s）

$F_{clock} = 10^8$ Hz

$$E_{G1} = 1.4\times10^{-18}\frac{0.08\times0.037\times10^8}{5\times10^{-9}} = 82\ \mu\text{V/m} \quad (9.11)$$

一条信号线的辐射为82 μV，总的辐射与相关信号线数量的平方根近似成正比[①]，所有16条线的辐射量为：

$$E_{G1,总} = 82 \times 10^{-6} \times 16^{1/2} = 328\ \mu V/m \tag{9.12}$$

按照这样的设计，这个连接器的安排将不能通过规定测试，再看看连接器D的情况（见图9.7）：

$A = 2.4$（引脚长度0.4 in ×信号到地距离6 in，in^2）
$I_{G2} = 0.0015$（峰值电流，A）
$T_{10\%\sim90\%} = 5 \times 10^{-9}$（信号上升时间，s）
$F_{clock} = 10^8$ Hz

$$E_{G2} = 1.4\times10^{-18}\frac{2.4\times0.0014\times10^{8}}{5\times10^{-9}} = 94\ \mu V/m \tag{9.13}$$

一条信号线的辐射为94 μV，所有16条线总的辐射为：

$$E_{G2,总} = 94 \times 10^{-6} \times 16^{1/2} = 376\ \mu V/m \tag{9.14}$$

实际上，环路G_2辐射比G_1辐射大，这是因为电感L_{G2}只随连接器B与D之间距离的对数值的增加而增加，而环路G_2面积的增加直接正比于连接器B和D的距离。电感的增加虽然使得流过G_2的电流减少，但是环路面积增大导致增加的辐射要大得多。连接器B和D之间距离的增大实际上会使辐射问题更加恶化。

下面是一些能有效减少连接器辐射的准则：

准则1 在连接器B中多用一些接地引脚，使地线靠近每一条信号线，从而有效地减小连接器B中的有效辐射环路面积。

准则2 在连接器B中增加更多的地线也能降低其电感，由式（9.5）可知，这样可以减少在远端环路中流过的电流。

准则3 将板卡A上所有的母板卡连接器紧密放置，以破坏或消除远端返回电流路径。

准则4 沿着板卡A和板卡C的边缘布放连续的接地点，根据式（9.5），这样可以提供一个阻抗非常低的返回路径，降低远端环路电流。

准则5 不要把I/O电缆连接在板卡A的外边缘上，这样会从母板卡C上产生一个大的远端返回电流路径，经过大地和I/O电缆返回板卡A。应该将电缆连在母板卡上，或者在母板卡上靠近连接器B处进行高频滤波。

准则6 对于采用的驱动门电路，要使其上升沿时间要尽可能长。式（9.6）表明，辐射与上升时间的倒数成正比[②]。

① 假设所有线路上的信号是随机的、不相关的。作为总线测试的一种最坏情况，如果所有信号一起跳变，辐射将会更严重。

记忆要点

- 信号电流流过大的环路会导致EMI辐射。
- 为每个连接器提供一个低电感的返回电流路径。
- 破坏或消除远端返回电流路径。

9.3 寄生电容——用在多支路总线上的连接器

与点到点连接应用相比，在多支路总线的应用中，连接器系统的负荷要多一些。在点到点应用中，被传送的信号只穿过连接器一次。在这种情况下，连接器的串联电感决定了其传输性能。

多支路情况下就有很大不同，在如图9.9所示的多支路总线中，连接在总线上的发送器每次只有一个使能（enabled），而其他发送器则保持使能禁止（disabled），但其还是连接在总线上，直至轮到其发送。这种特殊类型的总线两端都进行了端接，以防止反射，总线上传播的信号的上升时间只是线路总长度的一小部分。

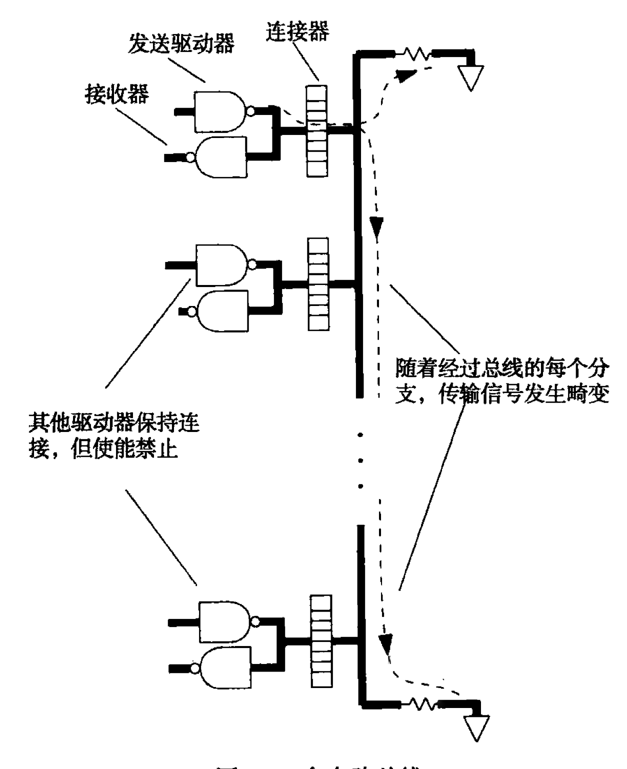


图9.9 多支路总线

随着经过总线的每个分支，传输信号逐步发生畸变。与源端连接器的串联电感的影响相比，多个连接器寄生电容的积累导致信号畸变更严重。对于多支路应用，需要寄生电容非常低的连接器，即使要付出电感更大的代价。

对于高速总线操作，需要使每个总线分支处的对地集总电容最小。4.4.2节讨论了集总电容对传输线信号的影响，以及为什么电容越小会越好。

每个总线分支处的集总电容包含3个部分，其中只有一个与连接器有关。

1. 连接器的引脚到引脚的电容及其在印刷电路板上的焊盘电容。
2. 连接本地驱动器和接收器到连接器的走线电容。
3. 本地接收器的输入电容，加上本地驱动器在使能禁止时的输出电容。

9.3.1 引脚到引脚的电容

这一项很容易测量。将连接器安装到板子上，留出一个信号引脚，其他所有引脚接地，用普通的电容表就可以测量信号引脚到地的电容。

如果没有电容表，可以使用图 1.6 所示的电路来测量。

大多数连接器的引脚间距为0.1 in，任意信号引脚到地的电容一般为几个皮法（pF），在一个板间（板到板）的连接器上，两边印刷电路板上的焊盘会各增加0.5 pF左右。

有些连接器的引脚间距特别大，或者有其特殊的引脚排列，这都有助于减小电容，同时也为板子焊接面上的焊盘留出了更多的间距，这也正是生产技术人员所期望的。对于引脚间距为0.05 in或更小的连接器，引脚的交错排列变得越来越重要。

9.3.2 电路走线电容

根据走线的阻抗和传播延时，采用式（9.15）可以计算每英寸长度电路走线的电容：

$$C_{每英寸} = \frac{T_d}{Z_0} \tag{9.15}$$

其中，T_d = 走线传播延时，ps/in（见 1.3 节）

Z_0 = 走线阻抗，Ω（见 4.5 节）

C = 电容，pF/in

9.3.3 接收器和驱动器电容

在很多高速接收器的技术规范文档中，生产商说明了其电容参数。但是，如果没有技术规范文档，可以采用图 1.6 所示的电路测量其中一个样品。测量时，调整脉冲发生器产生一个脉冲，使其电压大小处于接收器有效范围的中间，而且幅值和实际应用条件下的幅值相差不多。给接收器上电。一般典型的电容值为 2~10 pF。

一个三态驱动器在处于关闭状态时的电容是很大的。很多生产商不提供这个电容参数，希望用户忽略这个因素。实际上驱动器由很大的晶体管组成，当其关闭时具有非常大的寄生电容。

只有通过测量的方法才能得到驱动器的实际电容，采用的是与接收器相同的测量方式。发送门加上电源，但其输出使能禁止，使脉冲发生器偏置在门电路的有效范围。测量值一般不会高于 80 pF。

例 9.2 走线电容

一条内部走线，从连接器引出，首先进入一个驱动芯片，然后到一个接收器，总长0.75 in，其电容是多少？

T_d = 180 ps/in（FR-4 内部走线）

Z_0 = 50 Ω

$$C_{每英寸} = 180/50 = 3.6\ \text{pF} \tag{9.16}$$

$$C_{总} = 0.75 \times 3.6 = 2.7\ \text{pF} \tag{9.17}$$

9.3.4 均匀间隔负载

4.4.2节讨论了集总电容对传输线信号的影响，并指出与把所有的电容集中到一点相比，对于信号的传播，间隔均匀地布放总线分支点，可以减小总线阻抗，降低干扰的影响。

在一个插板式的机架系统中，如果插槽沿着母板卡均匀安置，并且每个板卡都插在插槽上，这时的均匀间隔模型是适用的。如果系统工作时有些插槽总是空的，均匀间隔模型将不再适用。

有一种折衷模型，假定连接器的电容在每个插槽中，但没有插卡。只有连接器电容的作用对降低背板的阻抗、降低传输速度的影响是显著的。降低背板的阻抗带来一个好效果：当插入每块板卡时，对整个传输特性的影响很小。

9.3.5 低速总线

如果不需要很高的速度，可以在多支路总线中考虑源端端接。这种情况下可以省略图9.9中总线两端的电阻，通过一个串联衰减电阻把每个三态输出连接到总线上，接收端可以直接连到总线上①。在插板式的机架应用中，这种拓扑结构的优点在于，在背板上不需要端接元件。

如果驱动器的上升时间比总线的电气长度长，总线作为一个集总电路元件，因此没有反射。源端电阻给总线的集总电容充电，虽然缓慢，但却是正常的方式。

如果驱动器的上升时间和总线的电气长度相当，总线上会出现反射。我们可以减缓驱动器的上升时间，直到总线表现为一个集总电路，从而减少反射。通过使源端电阻大于总线阻抗，就会得到如4.4.1.2节所述的RC上升时间的效果，随着阻抗的增加，系统达到一个慢的单调的RC上升特性。连接器的电容，以及其他走线和驱动端或接收端电容，都通过源端电阻缓慢地充电。

本节提议使用的源端电阻与4.3.3节中描述的源端端接有所不同。在4.3.3节中，我们使源端电阻等于传输线阻抗，以获得没有反射的传输，这种方式只适用于点到点的线路。在多支路总线情况下，没有合适的源端阻抗值可以防止反射。无论使用哪种阻值的电阻，信号都会在总线的两端来回反弹。我们这里的方法是使源端电阻大于总线的特性阻抗，从而向总线缓慢、单调地充电。

如果可以提供等待，使总线在每个时钟之间稳定下来，那么就可以采用一个大的源端电阻，从而具有以下优点：

- 降低功耗，静态驱动电流为零
- 简单，背板上不需要端接电阻
- 降低EMI，减少了流过连接器的电流

① 有些设计者提倡把接收器接在驱动器上，从而使其与线路都被串联阻抗隔离。这样做的结果是降低了总线上的集总容性负载，同时也使接收器的响应速度降低。

记忆要点

- 与点到点连接应用相比，在多支路总线的应用中，连接器系统的负荷要大。
- 对于多支路应用，我们需要寄生电容非常低的连接器，即使要付出电感更大的代价。

9.4 连接器中耦合的测量

图9.10中的设置可以用来测量实际运行条件下的任何连接器的性能。调整脉冲发生器，使其产生的脉冲和设计中使用的驱动波形具有基本相同的上升时间。用示波器测量到的实际耦合噪声将被作为其在真实电路中的耦合噪声。

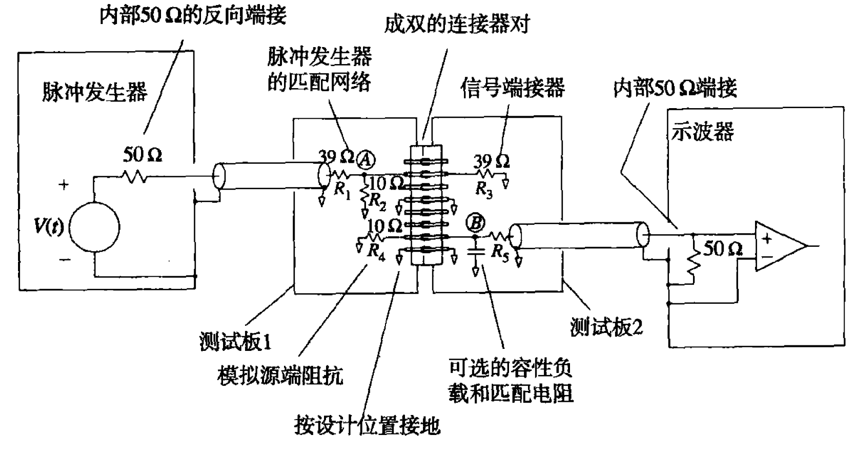


图 9.10 测量连接器串扰的测试装置

把源端和目的端电缆分别连接到不同的引脚，可以测量从任意源端耦合到任意目的端的噪声。测量噪声和间距的关系，然后估算每个接收位置的总串扰噪声。电缆长度可以是任意的，以便于在测量中测试电缆能够方便地连接测试系统。

9.4.1 接地引脚和信号引脚

按照实际系统中的设计，把所有的接地引脚都焊接到测试板1和2上，除了待测信号引脚以外，其他的信号引脚都不连接。

临时将个别接地引脚从接地平面上断开，可以直接测试接地点的重要性。注意，只需要将连接器的一边的接地点断开，以破坏其保护作用。断开引脚一边的接地点就中断了信号返回电流，如果将该引脚另一边的接地点也断开，没有什么区别。这个实验证明了连接器中大多数耦合是感性的，而不是容性的。如果引脚作为部分法拉第屏蔽非常有效，那么只需要在连接器的一边接地。

9.4.2 脉冲发生器和源端阻抗

脉冲发生器采用反向端接，并用50 Ω的匹配电缆连接，以消除源端电缆上的反射和振铃。在图9.10中，源端电缆用一个匹配网络端接。为了进一步消除反射，匹配网络为输入脉冲提供了一个大约50 Ω的端接电阻。同时，与实际中使用的门电路的输出阻抗值类似，匹配网络也

提供了一个低的输出阻抗，以驱动连接器。如果不知道驱动门电路的输出阻抗值，就用10 Ω，我们并不想成为国家标准局（National Bureau of Standards），只是想看看串扰是否会成为一个问题。

最理想的情况当然是设置A点信号的大小与设计使用的信号幅度相等，必要时也可以使用不完全相同的测试信号，但要记住根据其差异修正最终的测试结果。

设置脉冲发生器的上升时间和最终完成电路的驱动上升时间相等[①]。如果脉冲发生器的输出不可调，那么就利用现成的发生器，假定噪声和驱动波形的上升时间成反比，然后修正最终结果。

9.4.3 传输线上的端接阻抗

端接传输线时，采用一个阻抗代替最终完成的电路。如果最终电路是阻性端接，即可只用一个电阻代替；如果最终电路是一个门电路的输入加上一截短走线的端接，即可使用一个小电容，该电容代表门电路的输入电容和走线电容。

9.4.4 模拟接收线的源端阻抗

如果知道了驱动器的源端阻抗，R_4就设置为相应的值，否则，R_4设置为10 Ω。

在测试到的噪声中，当把R_4短接时测试到的噪声与当R_4和R_3阻值相等时的差值系数为2。对于最初的估算，系数2不是很有意义。

另一方面，在该处接上一个实际的驱动器，上电并确认其输出使能。如果其输出使能被禁止（三态），在B点测得的噪声会很小或者没有。可以试试看。

9.4.5 匹配电阻

如果计划采用阻性端接最终完成的电路，那么在R_5位置处布放一个匹配电阻，阻值等于：

$$R_5 = Z_0 - 50 \tag{9.18}$$

其中，Z_0 = 完成电路中的端接阻抗，Ω

R_5 = 匹配电阻，Ω

如果计划使用容性负载，那么在B点布放一个电容接地，电容大小等于门电路输入电容加上走线电容，然后在R_5处使用一个470 Ω的电阻，制作成一个10:1的探头。

注意，在分析最终的测试结果时，要计算探头的衰减。探头的增益等于：

$$G = \frac{50}{R_5 + 50} \tag{9.19}$$

其中，R_5 = 匹配电阻，Ω

G = 探头增益（测量结果乘以1/G，得到B点的实际电压）

测试中要使用示波器内部的50 Ω端接，并采用50 Ω同轴电缆连接到示波器。

---

① 在这个应用中使用了惠普公司（现为安捷伦公司，Agilent Technologies Inc.——译者注）的脉冲发生器Hewlett Packard 8012B，效果非常好，其输出信号的上升时间最小可调到5 ns，而且Hewlett Packard 80128A的输出信号的上升时间最小可调到1 ns。在1 ns以下，要依照设计走线的几何形状连接实际驱动芯片的引线。

记忆要点

- 通过一个简单的测试装置可以展示出连接器串扰的特征。

9.5 连接器下地平面的连续性

在图9.11所示的示意图中，连接器的使用不合适，在高速电路中将不能正常运行。在布线图的地平面上，连接器引脚穿过的地方出现了一个大洞。尽管有很多的接地引脚，但信号返回电流必须绕过这个大洞，从而破坏了交替接地的有效性，实际上不如在连接器两端各提供一个接地引脚。

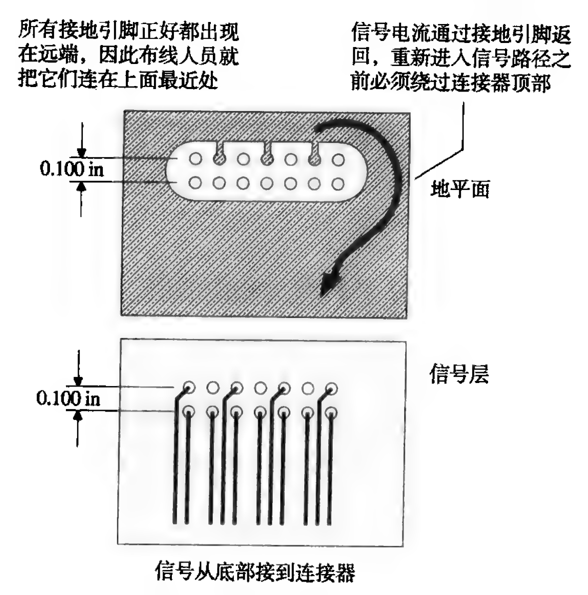


图 9.11　不好的连接器布线

这个问题的一个解决方法就是走地线时要穿过连接器引脚所在区域，如图 9.12 所示。

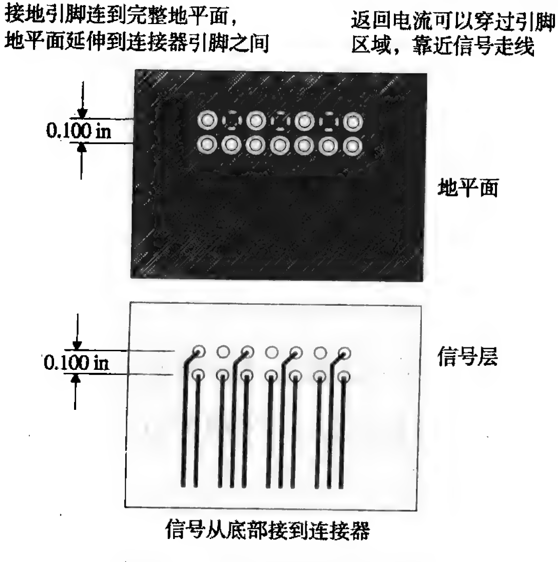


图 9.12　较好的连接器布线

对于引脚间距只有0.050 in的微型连接器，可以使用图9.13所示的接地模式。这种方法虽然不如图9.12所示的方法好，但至少不会像图9.11中那样，返回电流信号要绕过连接器，走很长的路径返回。

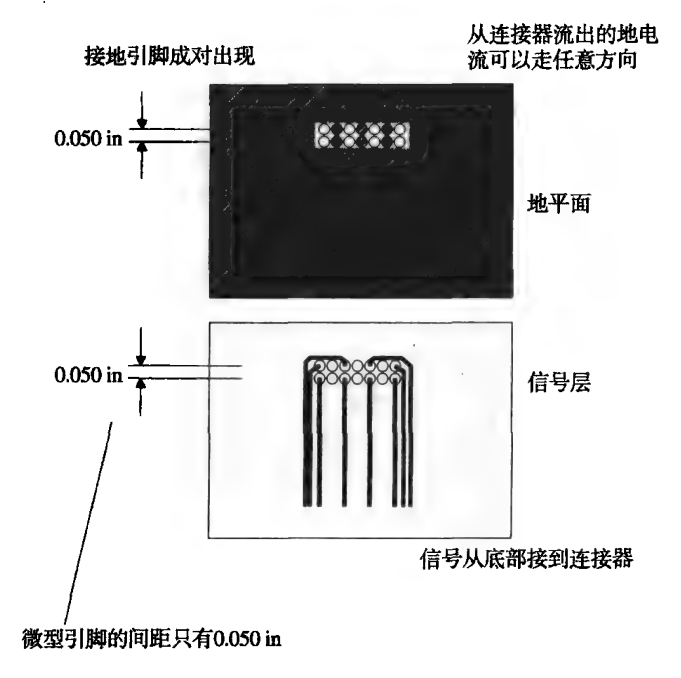


图9.13　微型连接器的布线

有时，印刷电路板制造商可以将内层焊盘做得比外层焊盘小。这种情况下，当外层焊盘之间不能走线时，可以在内层焊盘之间走线。

最后，有些微小间距（fine-pitch）的连接器采用交错排列的引脚，这样就增加了引脚间距，这个特性方便了地线的布置。

记忆要点

- 如果连接器上的返回信号电流必须绕过地平面上的洞，那么在连接器上接再多的地也于事无补，与在连接器两端单接一个接地引脚相比，性能没有任何提高。

9.6　采用外部连接解决EMI问题

裸露在印刷电路板之间的高速信号线路经常无法通过FCC和VDE辐射测试。下面的3种方法可以使辐射减小到可接受的水平以下：

1. 滤除信号中的高频成分，这样会减缓信号的上升和下降沿。
2. 屏蔽电缆。屏蔽为信号电流提供了一条低电感返回路径，可以防止返回电流通过远端路径。屏蔽线和产品机壳的正确连接是关键。
3. 在电缆上配置共模扼流圈，这样就增大了远端电流路径的电感，减少了其中的电流。这对于屏蔽或非屏蔽的电缆都是有帮助的。

当设计一个新系统时，不要忘了查看 9.8 节关于差分信号的设计。

9.6.1 滤波

如果容许减缓上升时间，就能够对所有输出的数字信号在离开机箱之前进行滤波。在高频时，电流环的辐射效率会显著地增加。典型的滤波器需要在每个逻辑驱动器上串联一个小阻抗，该串联阻抗通常经过一个旁路电容连接到地。

这个旁路电容接到一个干净的地（quiet ground）是至关重要的。在一个大的系统中，将电容只是连接到一个局部的数字地是不合适的，因为局部的数字地上的噪声如果被带出了机箱，经常会大大超出 FCC/VDE 辐射标准。

为了防止出现这个问题，一些设备厂家在靠近连接器挡板旁安装了一个小的印刷电路板，该板实现内部连接器到外部连接器的转换，同时也包括滤波元件。该板的地就直接连接到机箱上，而不是连接到任何一块电路板的数字地上。

连接器厂家已经看到了这样的问题，现在提供的“D”型连接器就具有内置的滤波电路。这些连接器的优点是尺寸小，与机箱之间具有理想的电气连接。

9.6.2 屏蔽

数字工程师最常用的方法是屏蔽。屏蔽的优点在于它完全是一种机械方法，只需要很少的模拟电路。图9.14举例说明了屏蔽作用的物理学过程。通过在内部导线周围提供连续的金属防护，使返回信号电流均匀分布在输出信号线路周围，信号和地路径之间最后的有效辐射电流环就可以非常小。对于一个理想的导体，均匀对称的屏蔽几乎没有辐射。

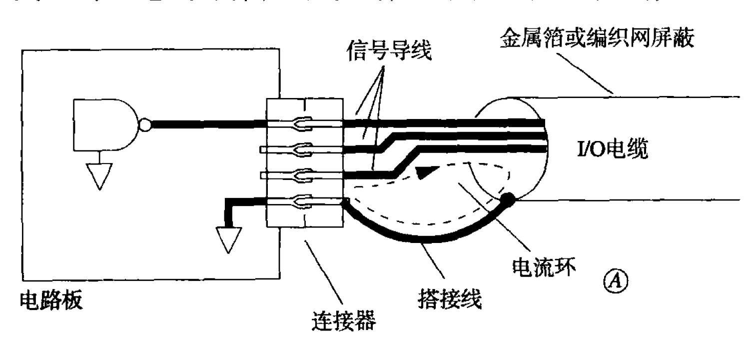


图 9.14 屏蔽电缆上搭接线环路的 EMI 辐射

既然一个理想屏蔽的电缆不向外辐射，那么如果两根电缆均各自进行了屏蔽，它们之间的串扰实际上就不存在了。另一方面，同一个屏蔽电缆内部的线路之间的串扰是非常大的，因为所有的线路共用相同的地路径。

在屏蔽罩末端，需要为从屏蔽罩流向本地机箱地的电流提供一条低电感路径。一些厂家提供一段搭接线（drain wire）来接地，搭接线和屏蔽罩紧密连接，搭接线采用和内部导线相同规格的导线，但是没有外部的绝缘皮。注意，图 9.14 中的电流环 A 通常很大，足以超过 FCC/VDE 限制！在低频模拟应用中，搭接线工作得很好。但是对于高速数字信号，其接地效果很差。

为了防止搭接线电流环的辐射，应坚持采用金属外壳的连接器，金属箔或编织网屏蔽直接进入金属壳并夹紧，引线完全不裸露。金属外壳应和产品金属机箱相应采用比较宽、扁、低电感的接点连接。

如果机箱是塑料的，就没有好的地方来连接金属外壳了。这种情况下，带有金属外壳的连接器起不到多大作用。对于塑料机箱，可以使用上述第一种和第三种方法来减少噪声。

9.6.3 共模扼流圈

系统设计中几乎从来不用共模扼流圈这种方法，除非在使用其他的措施还不能通过FCC/VDE测试时，可以用做一种补救方法。

共模扼流圈在机箱外部，但是靠近I/O连接器，将I/O电缆在一个大磁芯上绕几圈。通常情况下，信号电流从电缆中的信号导线流出，并沿着同一条电缆中的地线返回。穿过磁芯的最后电流实际为零，所以共模扼流圈对于沿着电缆返回的电流没有影响。

但是，对于那些通过其他路径返回的电流，磁芯的影响很大。这些电流只从一个方向穿过磁芯，因此会经受整个绕线的电感，如果此电感超过远端返回环路的正常电感，磁芯就会减少在那些远端流过的电流。

对于不同形状的电缆，有不同的共模扼流圈，甚至平面的扁平电缆也可以安装特殊的共模扼流圈。

在装配共模扼流圈之前，先检查一下相关频率附近的阻抗值。在高频段，并不是所有磁芯材料都有效。

记忆要点

- 裸露在印刷电路板之间的高速信号线路经常无法通过FCC和VDE的辐射测试。
- 如果容许减缓上升时间，就可以对所有输出的数字信号在离开机箱之前进行滤波。
- 共模扼流圈能减少远端返回环路中的电流。
- 图9.14中的搭接线上电流环A的辐射通常很大，足以超过FCC/VDE限制。

9.7 高速应用的特殊连接器

AMP和Augat公司都开发了一些特殊连接器，应用于高速的点到点连接。这些连接器内置了接地装置，接地装置主要有两个功能：首先提供低阻抗的信号返回通路，以减小串扰；其次增加每个引脚对地的寄生电容，以抵消引脚的串联电感。在传输线应用中，这个抵消减小了点对点传送时的信号畸变。

Teradyne开发了具有专有特点的连接器，应用于多支路总线。为信号提供阻抗非常低的返回路径，可以减少辐射并且不用增加寄生电容。低的寄生电容对多支路总线是一个很好的特性。

9.7.1 AMP Z型点对点连接器

图9.15给出了AMP[①]Z型封装带状线（stripline）连接器的截面图和透视图[②]，这种连接器有4行信号引脚。

---

① AMP是AMP的注册商标。

② 摘自M. Sucheski and D. Glover, "A High De nsity, High-speed, Board to Board Stripline Connector," AMP Order No. 82509, AMP Inc., 1990, Harrisburg, Penn。得到了AMP公司的许可。

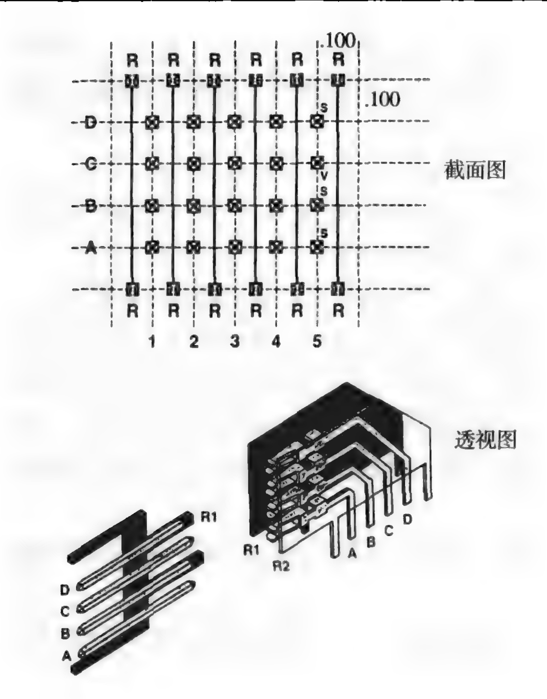


图 9.15 应用于高速的点到点连接的 AMP Z 型封装连接器

在每列的四个引脚之间装有薄的金属片，金属片作为低电感返回电流的载体，金属片的接地脚凸出在连接器的两边，连接器内的金属片将信号返回电流扩散开，降低了连接器的串联电感。

这种连接器的列与列之间引脚的串扰很小。据 AMP 公司的报告，这种连接器可以用于上升时间达到 250 ps 的应用。按照图 9.10 的设置，500 ps 的上升沿，其串扰小于 3%。经过连接器的传播延时预计在 150 ps 左右。

扁平金属片增加了每个引脚上信号对地的电容，此电容抵消了连接器固有的串联电感。$(L/C)^{1/2}$有效的比值在 40~56 Ω之间，取决于焊盘的设计以及待测引脚所在的行。该连接器适用于和 50 Ω 传输线的串联。

9.7.2 Augat 点对点连接器

Augat 制造了电子可视化互连（Electronically Invisible Interconnect，简称 EII）的连接器，这个独特的连接器实际上内置了一段微型扁平电缆，沿着一个微带线的挠性电路，一块电路板上的信号走到另一块电路板上。挠性电路可以根据任何阻抗规格进行用户定制。这种连接器非常小，总的传播时延为 115 ps。

Augat 报告称该连接器可以用于上升时间小到 35 ps 的应用。在上升沿时间为 900 ps 的情况下，微带设计产生的串扰为 2%。

每个引脚的标准微带阻抗在 45~55 Ω 之间，该连接器适用于和 50 Ω 传输线的串联。

9.7.3 Teradyne 多支路总线连接器

Teradyne 背板（backplane）连接器系统的信号引脚有 4 行，同时另外提供两行接地引脚，按行排列在信号引脚的两侧，和 AMP Z 型类似，但只是两端类似。

如图9.16所示，Teradyne的低阻抗接地金属片是水平安装的，而不是竖直安装的。这些金属片提供了低电感的信号返回电流路径，但是列与列之间没有隔离，因此该连接器的串扰要比AMP Z型的差。由于金属片和信号引脚分开，相应的好处就是不增加电容。信号对地电容相当小，所以对于多支路总线应用来说，这种连接器是一种很好的选择。

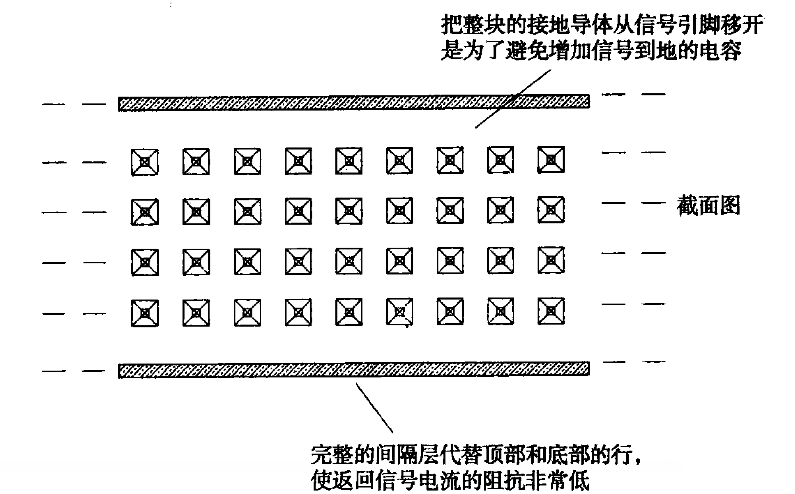


图9.16 用于多支路总线的Teradyne高速连接器

记忆要点

- 在高速设计中，需要使用特殊的连接器控制串扰和EMI。

9.8 穿过连接器的差分信号

通过差分信号解决信号返回电流问题的方法，不是通过为信号提供低阻抗的路径，而是要消除返回电流。

差分信号的原理很简单。传送两路信号，而不是一路。发送一路信号，再加上一路与之反向相等的信号。如果前者的返回电流是正的，那么后者的返回电流就是负的，两者相加，返回电流就抵消了（见图9.17）。

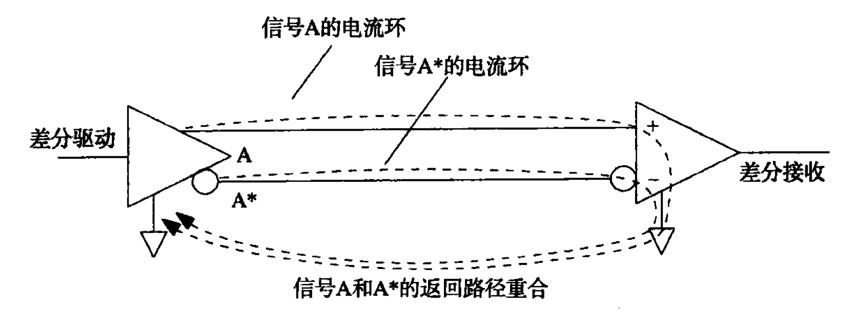


图9.17 差分信号消除返回信号电流

在接收端，通过比较两路信号来判决它们的逻辑极性。比较时不需要本地参考电压。发送端和接收端地电压的偏移对两路信号的影响是相同的，所以对两路信号的差分值就没有影响了。差分接收不受发送端和接收端地电压偏移的影响。

差分信号对中仅有的信号返回电流是由于两路发送信号之间的任何不平衡造成的。如果差分信号不是精确地反向，它们的返回电流就不能精确地抵消。这种电流的不平衡称为“共模电流”(common mode current)。在一个设计得很好的差分驱动中，共模电流不到主要电流的1/100，低的共模电流有利于提高EMI性能。

当通过一个连接器发送差分信号时，要确保其在相邻的引脚上，这样它们的返回电流路径重叠，返回电流抵消。同时，印刷电路板走线时要保持差分信号走线相互靠近。当其中的一条走线比另一条走线稍微长一些时，将会出现不平衡电流，它是信号电流的一部分，下面的公式用于确定共模电流大小：

$$\text{不平衡部分} = \frac{T_p X}{T_{10\%\sim90\%}} \tag{9.20}$$

其中，T_p = 介质的传播时延，ps/in

X = 走线长度差值，in

$T_{10\%\sim90\%}$ = 信号的上升时间，ps

不用担心差分线对中两个信号之间的串扰。与普通走线相比，差分线对的间距可以稍近。因为一条信号线上的串扰和与其配对的信号是相关的，所以只能看到很小的干扰。如果两线走得非常近，每一条走线的阻抗就会减小。这种影响的补偿方法是，采用更小一点的端接电阻或采用比常规走线更细的走线。

例 9.3 差分的不平衡

在FR-4介质材料上，差分对的两路信号布线相互靠得很近。上升时间是500 ps，一路信号由于绕过板上的一个孔，转向了0.3 in。不平衡比例为多少呢？

$$T_p = 180\ \text{ps/in (FR-4)}$$

$$X = 0.3\ \text{in}$$

$$T_{10\%\sim90\%} = 500\ \text{ps}$$

$$\text{不平衡部分} = \frac{180\times0.3}{500} = 0.108 \tag{9.21}$$

我们正好得到了一个平衡在1%以内的差分输出，然后把它的不平衡增加到10%以上。

记忆要点

- 差分接收不受发送与接收端地电压偏移的影响。
- 在一个设计得很好的差分驱动中，共模电流不到主要电流的1/100。

9.9 连接器的电源管理特性

现在有许多专门用于背板的连接器，其引脚的高度参差不齐，具有两种、三种甚至四种引脚高度可选的连接器也很常见。当一块板卡插入带电的背板时，这种引脚高度不同的特性可以帮助安排实现电源软启动和复位操作的顺序。

典型的情况是，接地引脚最长，首先接触上；电源引脚次之，随后接触上。电源有时通过两个不同长度的引脚顺序上电，首先是软启动电源，再接着是整个系统上电（见8.2.3节）。最后，板卡上传送数据信号的最短引脚接触上。经常会有一根数据引脚启动一个定时器，使板卡在复位状态保持一个固定的时间周期。这个复位特征提供了充足的时间让板卡完全插入到插座上。当板卡插入到插槽时，整个操作次序需要不到0.1 s的时间。

当使用引脚长度不一致的连接器时，在连接器的两端使用两套完全一样长的引脚，这样，当板卡插入插槽时，无论朝哪个方向倾斜，都能使长引脚首先接触上。

记忆要点

- 当一块板卡插入带电的背板时，引脚高度不同的特性可以帮助安排实现电源软启动和复位操作的顺序。

第10章 扁平电缆

扁平电缆是指任何由多股导线组成的宽而扁平的带状电缆。扁平电缆的概念很简单，但它的实现却是多种多样的。

在图10.1中，最初的3 M电缆，由嵌入了多股导线的厚厚的灰色塑料绝缘介质挤压而成。随后有了一些发展变化，如彩虹电缆（rainbow cable），类似于由独立的圆形导线粘接在一起而成。发展到最后，有些扁平电缆便直接把导线承载在一条结实的塑料绝缘带子的表面。每种不同的电介质结构都有各自不同的高频特性。

无论采用什么样的电介质结构，扁平电缆的导线总是相互平行的，并且线与线之间保持精确的间距。扁平电缆的统一间距使制作成排端接连接器（mass termination connectors）变得很容易，一次操作就可以把扁平电缆中的所有导线同时压接进去。在连接多股导线的电缆时，这种同时压接的方法是一种廉价的方式。扁平电缆能不断发展到今天，就是因为在连接成排端接时很便宜。

对我们来说，幸运的是扁平电缆中导线的统一间距产生了一个有价值的结果：扁平电缆可以成为非常好的传输线。

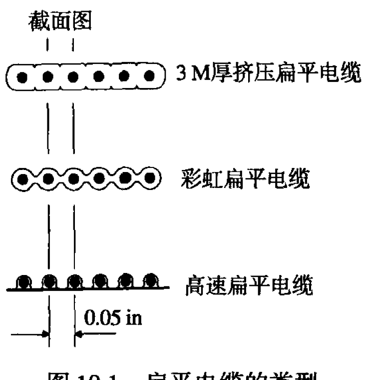


图10.1 扁平电缆的类型

10.1 扁平电缆的信号传播

扁平电缆的上升时间与电缆长度的平方成正比：

$$T_{10\%\sim90\%} \approx \frac{3L^2}{K} \tag{10.1}$$

其中，$T_{10\%\sim90\%}$ = 10%~90% 上升时间，ns

K = 与电缆相关的常数，ft^2-GHz

L = 长度，ft

长度的平方是变化非常快的函数，如果电缆截掉一半，上升沿时间将是原来的1/4。如果长度截短为原来的1/10，上升沿时间将是原来的1/100。

这种关系是只适用于扁平电缆，还是适用于所有电缆呢？答案是对于所有的同轴电缆、双绞线和扁平电缆都适用。下面将解释其原因。

无论什么类型的电缆，其频率响应只取决于该电缆单位长度上的电感、电容和阻抗。在数字频率中，响应曲线的类型取决于趋肤效应（skin effect）[①]，见4.2.3节。所有电缆，无论是同轴电缆、双绞线还是扁平电缆，都具有相同的基频响应曲线，如式（10.1）所述。对于数字系统来说，重要的区别仅在于式（10.1）和式（10.2）中出现的常数K。

$$|H(f)| = e^{-0.546\left[\frac{(L^2)(f)}{K}\right]^{1/2}} \tag{10.2}$$

其中，$H(f)$ = 在频率等于f时的频率响应值

f = 频率，GHz

K = 与电缆相关的常数，ft^2-GHz

L = 长度，ft

与AWG30扁平电缆相比，RU-59U同轴电缆的每英尺电阻更低，因此其K值更高。所以，每英尺RG-59U同轴电缆的信号衰减比AWG30扁平电缆要小。在任何特定频率下，两种电缆的衰减不同，但是，在对数－对数坐标纸（log-log paper）上绘出两种电缆的频率响应曲线，其形状却是相同的。

由曲线波形的相同能得到什么呢？从式（10.2）可以看出，如果改变K值或者长度值，响应曲线会发生移位。如果改变K的同时相应改变长度，使L^2/K保持不变，响应曲线将保持不动，这是理解电缆衰减的关键。一段长的同轴电缆或者一段短一些的扁平电缆，其频率响应曲线是相同的。

10.1.1 扁平电缆的频率响应

令人惊奇的是，在短距离工作时，扁平电缆是令人满意的。当然，其响应也取决于如何接地。这里，假设采用G-S-G（地－信号－地）的连接模式，如图10.2所示。这种连接模式的特性阻抗在80~100 Ω之间，具体值取决于采用的电介质材料。

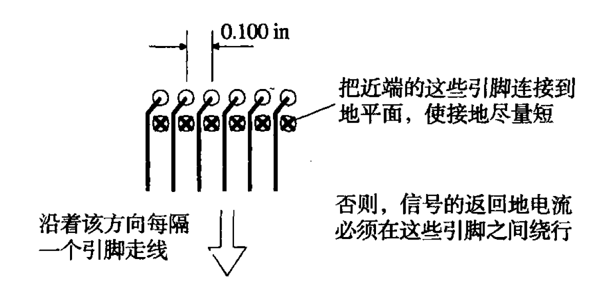


图10.2 双排扁平电缆连接器的地－信号－地结构

① 如果绝缘介质的电介质特性发生变化，这个方程将存在一些变化。对于尺寸长度适当的电缆，在"趋肤效应"频率以下，接近100 kHz时，还存在其他的变化。最后，如果在低频条件下，电缆恢复为RC模型，从而引起不常见的相位失真。RC模型的问题，通常发生在非常长的电缆情况下，因为其工作频率必须在几千赫内（最初的大西洋海底电缆就是工作在此模型下）。

参照图10.3，在整个10 ft的范围内，我们希望当频率超过500 MHz时衰减小于3.3 dB。下一节将说明该衰减值如何提供一个1 ns的上升时间。

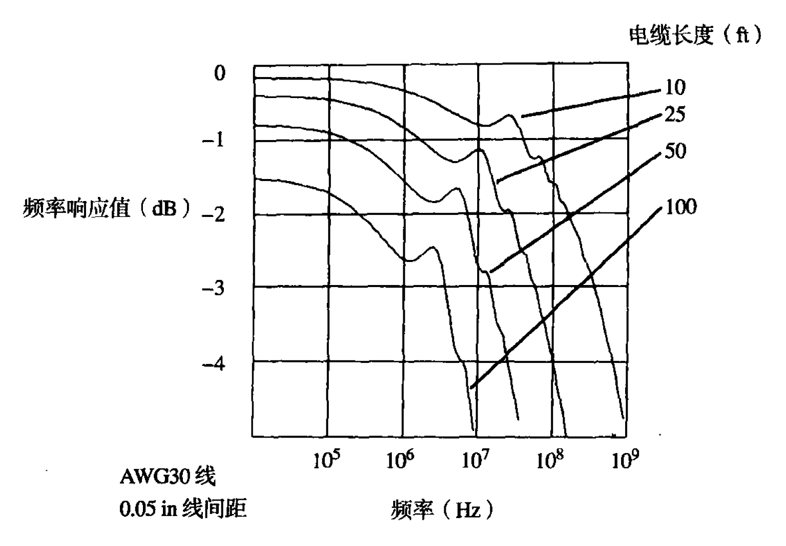


图10.3　扁平电缆的频率响应

有效带宽与距离的平方成反比。当连接距离小于10 ft时，扁平电缆的性能是非常好的。

当距离大于10 ft时，扁平电缆的性能明显劣化。在100 ft时，3.3 dB衰减点发生在5 MHz处，上升沿时间变为100 ns。

图10.3所绘出的频率响应，分别显示了电缆长度为10 ft，25 ft，50 ft和100 ft时的频率响应。所有情形下响应曲线的形状都是相同的，但是发生了移位。这些曲线是由MathCAD[①]计算出来的，并假设电缆的端接电阻近似于其特性阻抗。因为所有实际的传输线阻抗都是复数（不是实数），电阻不可能做到精确终端匹配，因此会产生小的反射。在频率响应曲线上显示出的就是在3~30 MHz区域内出现凸起（bump），这些凸起只有0.25 dB的高度，对于测量到的阶跃响应的影响很小。

有些擅长理论分析的人在绘制响应曲线时假设了一个理想的端接，因此响应曲线不会有凸起。这里采用的是电阻，是实际数字电路中最常用的端接方式。

对于纯阻性端接，除了凸起外，还有另一个缺点，即电缆的阻抗会导致直流衰减。在长距离情况下，逻辑信号的电平也许永远也达不到满幅值。以图10.3为例，100 ft的响应曲线，在低频段有1.5 dB的衰减。最终的幅值永远也超不过满幅值的84%。这是电压裕量恶化的一个重要原因，从而促使采用线路接收器时要仔细地使开关门限居中。与普通的逻辑门电路相比，由于电压裕量的降低，这些接收器灵敏度要低一些。

电缆的电介质结构在两个方面影响其性能，它控制着信号的传输速度和衰减。传输速度的单位是ft/ns，与介电常数的平方根成反比。由于电缆中的电介质材料完全包裹着导线，所以呈现出的有效介电常数更高，从而使总的传输速率降低。如果电缆中的导线承载在薄而平的塑料片上，其大部分电场在空气中传播，那么它的介电常数就比较低，传输速率就比较高。

① MathCAD是MathSoft公司的注册商标。

衰减取决于串联电阻与电缆阻抗之比。在高频条件下，趋肤效应导致串联电阻随频率的平方根的上升而上升，这使得衰减也随着频率的平方根的上升而上升。不同的电介质结构会改变电缆的特性阻抗，从而影响衰减。电缆中的电介质材料完全包裹着导线，所以呈现出的有效介电常数更高，导致阻抗降低，衰减增大。如果电缆做在一个薄而平的塑料片上，那么速率会更高，衰减更少，上升时间更快。

10.1.2 扁平电缆的上升时间

我们可以通过对电缆的频率响应进行傅里叶反变换，计算出其上升时间。对前一节用到的4种电缆长度，图10.4给出了计算结果。

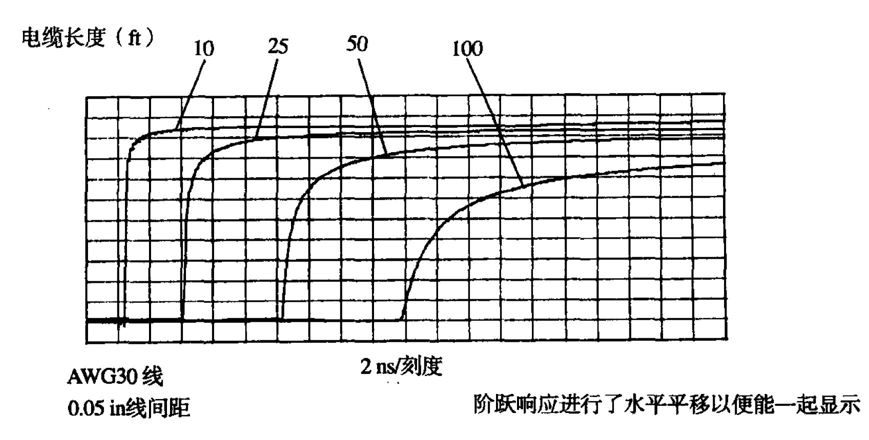


图10.4 扁平电缆的阶跃响应

随着电缆长度的增加，上升时间展宽得更多。上升时间与电缆长度的平方成正比。如果电缆很长，信号永远上升不到满幅值，这个结果是由于电缆阻抗产生的直流衰减引起的。

与通常逻辑门电路或者复杂系统产生的高斯上升波形不同，这些电缆的波形是其特有的$1/\sqrt{f}$频率响应的结果。每个脉冲的中间段迅速上升，但之前或之后是一个长而缓慢变化的拖尾。这种特性是所有传导型电缆（光纤除外）所共有的。

在非常长的距离上，当电缆回到*RC*工作模型时，响应变得不对称。前面部分收缩，但是最后缓慢上升的拖尾变得更差。在长距离传输中，这些长的拖尾会导致严重的码间干扰。对于正常的数字应用系统，应该保持系统时钟比电缆的10%~90%上升时间慢许多，以避免脉冲之间的重叠。

有时候，我们需要根据电缆的规格来预测它的上升时间。如果我们有了该电缆的完整频率响应曲线，这项工作很容易完成。首先要找出*K*值，使式（10.2）最适合该电缆的频率响应。如果得到一个特定长度和频率的衰减值，就可以通过式（10.2）反算出*K*值。

$$K = \frac{L_0^2 F_0 (22.5)}{A_0^2} \tag{10.3}$$

其中，K = 与电缆相关的常数，ft^2-GHz

L_0 = 电缆的指定长度，ft

F_0 = 电缆的指定频率，GHz

A_0 = 衰减，dB

产品目录通常分别列出几个特定频率和长度的衰减值，我们可以试着计算出不同特征点的K值。对于不同的频率，K值稍微有些变化，这是由于电介质的非理想性导致介电常数按照频率的函数稍微有所变化。接近设计工作频率的特征点的结果是最佳的结果。

知道了K值之后可以利用式（10.1）求出上升时间。

$$T_{10\%\sim90\%} \approx \frac{3L^2}{K} \tag{10.4}$$

其中，$T_{10\%\sim90\%}$ = 10%~90% 上升时间，ns

K = 与电缆相关的常数，ft^2-GHz

L = 长度，ft

10.1.3 测量上升时间

在下列条件下，测量电缆的传播特性：

1. 在电缆的远端用电阻端接。源端阻抗必须低于电缆的特性阻抗。如果源端阻抗高，至少保证它是纯阻性的。另一方面，采用实际设计中要使用的驱动器。
2. 端接电阻的值等于$(L/C)^{1/2}$，其中，L和C分别为每英尺电缆上的电感和电容值。这是最好的阻性端接，其反射很小，但是不为零。
3. 输入信号必须是个阶跃函数，它的上升时间必须远远小于电缆的上升时间。选用的示波器速度也应该比电缆快。如果示波器和脉冲发生器（或驱动器）相对于电缆而言不够快，要从测量结果中减去示波器和脉冲上升沿时间的影响。首先，直接把示波器与脉冲发生器（或驱动器）相连接，测量上升时间T_{drive}。然后，安装电缆再一次测量上升时间。

$$t_{电缆} = [(t_{测量})^2-(t_{驱动})^2]^{1/2} \tag{10.5}$$

其中，$t_{电缆}$ = 电缆的实际上升时间，s

$t_{测量}$ = 测量到的电缆上升时间，s

$t_{驱动}$ = 测量到的示波器和脉冲发生器（或驱动器）的上升时间，s

4. 采用不增加线路负载的探头检测输出。大多数 10:1 的商用探头不适合于此用途。为了测量，定做一个 10:1 的探头或者买一个专用的低电容高频有源探头。普通的 10 pF 探头在 500 MHz 时阻抗值为 $-j31\ \Omega$。这种探头将严重影响测量。

记忆要点

- 任何扁平电缆的上升时间都随其长度的平方而变化。
- 所有的电缆，无论是同轴电缆、双绞线还是扁平电缆，都有相同的基本频率响应。其频率响应，以分贝为单位，与频率的平方根成反比。
- 扁平电缆的电介质结构，影响信号传播的速度和衰减。

10.2 扁平电缆的串扰

随着信号导线中接地布局的变化，扁平电缆的串扰也会变化。如果有足够的接地，串扰的衰减能达到任何级别。但是需要多少接地才算是足够呢?

10.2.1 串扰的基本计算

扁平电缆的串扰是感性耦合和容性耦合的共同结果。如5.7节所述，串扰的感性部分和容性部分在强度上几乎相等。由于其几乎相等，所以几乎没有前向耦合，但却产生了很大的反向耦合系数。

因为两大耦合方式的前向耦合差别很小，几乎不可能对其进行计算和分析。直接测量是最好的方法。当测量前向串扰时，要认识到环绕扁平电缆的电磁场延伸到了电缆的周围空间。如果在扁平电缆表面附近出现其他的导电或导磁材料，测量结果会发生变化。当测量时，应该把电缆支撑在导体或绝缘体材料之上几英寸处。

反向耦合相当大，通过简单的几何图解方法可以得到结果。因为感性和容性的分量几乎均等，可以只计算感性耦合，然后把结果加倍。计算感性反向耦合的步骤分3步。首先，建立信号线辐射出的磁场图的模型；然后，通过积分算出接收信号线之间吸收的磁通量；最后，把单位时间的磁通量的变化变换为电压。

如图10.5中的例子所示，计算串扰的最简单的几何图解方法是四线法。

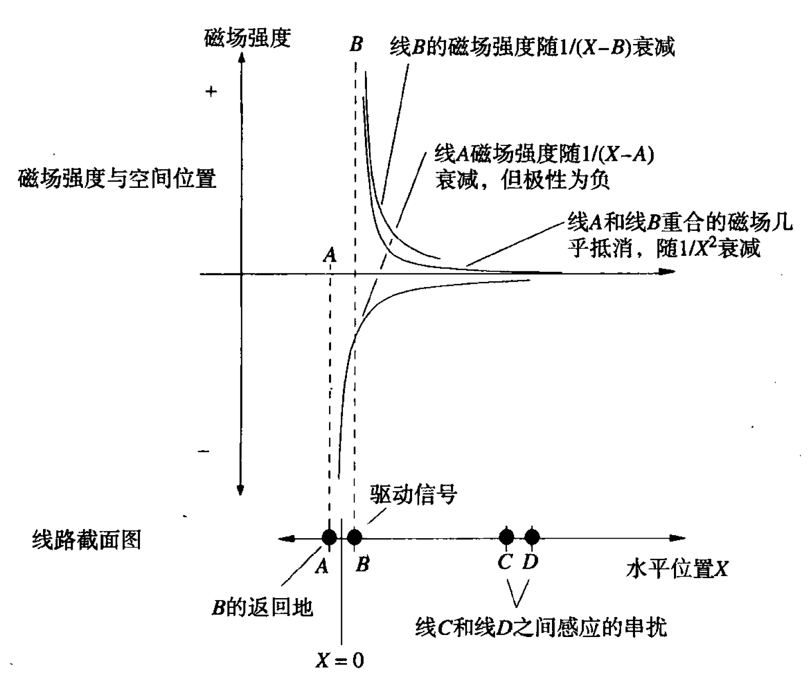


图10.5 简单的串扰结构图

在图10.5中，线B上承载的是传输发送信号。我们将假设所有的信号电流沿线B流出，沿地线A返回其源端。因此，线A和线B上的电流相等，方向相反。下面计算线C和线D之间感应的串扰。

让我们凭直觉来看看能否推导出最后答案的一些特性。我们有以下的实际情况可以利用:

- 磁场强度是到每条线的距离的函数，随 $1/R$ 而变化。
- 信号线的磁场与返回电流路径磁场部分抵消。总的磁场剖面图是 $1/R$ 的导数，从而与 $1/R^2$ 成正比。离开线 A 和线 B 的任何小块区域的磁通量的积分随 $1/R^2$ 变化。
- 由信号线与返回线抵消的部分磁场与它们之间的距离成正比，记为 Δ_1。
- 两条接收线之间吸收的磁通量与它们之间的距离成正比，记为 Δ_2。

从这 4 种实际情况可以推导出下面关于从线对(A, B)到线对(C, D)的耦合：

$$\text{耦合大致正比于}\frac{\Delta_1\Delta_2}{R^2} \tag{10.6}$$

比例常数是电缆特性阻抗和电缆延时的函数。式（10.7）列出了两个线对之间总的反向耦合系数：

$$K_r \approx \frac{2538}{\text{delay}}\frac{1}{Z_0}\frac{\Delta_1\Delta_2}{X^2} \tag{10.7}$$

其中，K_r = 反向耦合系数

delay = 线路延时，ps/in

Z_0 = 线路特性阻抗，Ω

X = 线对间距，in

Δ_1 = 线对 1 的线间距，in

Δ_2 = 线对 2 的线间距，in

细心的读者也许已经发现，式（10.7）是线对之间互感与信号环路自感比值的一半。可以通过一个低频的电感表测量出互感和自感，然后取两者比值的一半，从而求出反向耦合系数。

如果一个电缆中有许多地线，式（10.7）中的耦合比率至少要减少一半，甚至可能是其确定值的 1/4。

10.2.2 多地的效果

前面章节假设信号 B 的所有返回电流都沿地线 A 返回。实际的扁平电缆有多条地线。返回信号电流总是根据每条路径的电感从各条地线分别返回。大部分返回电流从距信号线较近的低电感路径返回，小部分从远离信号线的路径返回。

设想电缆中有 N 条地线，用 1 到 N 来指示。X_0 为驱动信号线到最近地线的距离。如果驱动信号线位于两条地线的正中间，X_0 等于信号线到任意地线之间的距离。地线 n 上的返回信号电流近似为：

$$I_X \approx \frac{K_1}{1+\left(X_n^2 \big/ X_0^2\right)} \tag{10.8}$$

其中，X_0 = 信号和第一条地线之间的距离，in

X_n = 信号和第 n 条地线之间的距离，in

I_n = 地线 n 上的返回电流，A

K_I = 常数，相关的返回电流之和等于信号电流

任何信号线上的串扰由信号线附近的地线电流决定。扁平电缆通常采用的是地-信号-地，或G-S-G结构，地线和信号线交替排列。每条信号线位于两条地线之间。在地－信号－地结构的电缆中，串扰是地线与驱动信号线之间的实际距离X的函数，紧随地电流分配的变化而变化：

$$V_r \approx \frac{K_2}{1+\left(X^2 / X_0^2\right)} \tag{10.9}$$

其中，X_0 = 驱动信号和第一条地线之间的距离，in

X = 驱动信号和待测信号之间的距离，in

V_r = 反向耦合系数

K_l = 由电缆结构所决定的常数

式（10.9）中的系数K_2的范围大约是从1/10到1/4。这与最邻近的反向串扰的范围在2%~5%以内相符合。

对于地线较少的电缆，串扰要大很多，但仍然按$1/X^2$衰减。它同样与传输线到最近的返回线之间的距离Δ_1，以及接收线到最近地线之间的距离Δ_2成正比。

在地线较少的电缆中，地线增加一倍，可以使Δ_1和Δ_2都减少一半，使远端线的串扰减少到1/4。相邻线之间的串扰几乎没有变化，除非在它们之间加入地线。

10.2.3 双绞线的效果

恰当地使用双绞线能带来独特的好处。理想的安排是每条信号线都与其最近的返回路径紧紧地双绞在一起，这样就保持了导线之间近距离的物理接触，降低了间距Δ_1。双绞电缆中的每条信号线都应该有其单独的双绞返回地线。

当一个信号沿着双绞线对X传播时，导线之间每双绞一次，从线对发出的磁场的极性就翻转一次。记住，两条导线发出的磁场极性相反，几乎全部抵消。线对旁边某一距离处的磁场极性由距离最近的导线决定。随着导线彼此扭转，其中的一条或另一条与该处更近，从而使其磁场极性发生翻转。

导致的结果是，一条双绞线在一条直的、平行线对上形成的串扰实际上是零。最后的净串扰都被交替的加、减耦合抵消！

假如邻近的双绞线对的导线双绞方向相同，那么两线对之间的最后净串扰也是零。该结果的前提假设是导线的布置统一，以固定的比率双绞。

实际的双绞线电缆中，每个双绞线对上都合并使用了不同的绞线率（twist rate）。这往往用来抵消由于在双绞过程中不对称而引起的感应。如果两线的绞线率一致，那么绞线机上的轻微摇摆可能导致持续的感应结果。高品质的双绞线电缆，对每个线对，或者使用完全不同的绞线速率，或者使用随机变化的绞线速率。除非上升沿的长度达到了多次双绞的长度，否则不要指望双绞可以抵消许多串扰。确保抵消串扰的双绞数不是取决于绕线率，而是取决于电缆中导线间绕线率的最小差值。

假如在一根电缆中有两条双绞线对，在某一长度内，线对A比线对B要多绞一圈，则该长度称为两线对的旋进长度（precession length）。一个精确的旋进长度内的总耦合为零。在一个旋进长度的一部分上的耦合不为零。当上升时间在纳秒数量级时，为了完全获得双绞的好处，

我们所需要的旋进长度在1英寸数量级。为了保证所有线对的旋进长度为1英寸或更短，需要每英寸上总的双绞数很大。

幸运的是，导线双绞很少有不良影响，最好试一试，总比不试好。

对于一对通信导线，双绞的另一个好处是降低电磁辐射。每个信号的大部分返回电流都流经双绞地线，其交替变化抵消了辐射场的图形（radiated field pattern）。

当与差分传输结合使用时，双绞电缆才真正是超群出众。在正信号（+）导线和负信号（-）导线之间的微小环路范围内，几乎包含了差分信号的全部返回电流。与单端传输的辐射电平相比，这种方式使辐射降低20~30 dB。当使用差分信号时，双绞电缆中相邻双绞线对之间的串扰非常低。

当在连接器上为差分线对分配适当引脚时，要非常小心。一个不经意的错误，可能会导致一对信号线双绞在一起，而不是每条信号线与其地线在一起。结果肯定很热闹，但你的经理可能不会高兴。

双绞线电缆也可以用在扁平的带状结构中。一般大家熟悉的是Twist 'N' Flat①。这种电缆由多个独立的双绞线对粘接成平面带状结构。每隔几英尺，双绞线转换成一段普通的平面带状电缆，这一段预留的出线适合于压接成排端接的连接器。因为平面部分的耦合与通常的平面带状电缆类似，所以我们只能得到双绞线的部分优势，而不是全部，但好处是可以用廉价的方式与连接器相接。

10.2.4 串扰的测量

图10.6举例说明了一个典型的扁平电缆上的远端（前向）和近端（反向）串扰。该电缆长8 ft，线间距0.05 in。线规为AWG30，直径为0.01 in。

图10.6顶部的图为电缆起点的驱动波形，记录了3种不同上升时间的波形：5 ns，10 ns和20 ns。采用Tektronix 11403数字示波器记录不同的响应曲线，然后叠加在图上。

电缆有10条导线，导线每隔一条就两端接地。这是一个地-信号-地配置。信号出现在偶数导线上。驱动信号穿过6号线，在8号线上显示串扰。8号线的两端和6号线的远端以电缆的特性阻抗100 Ω端接。

图10.6的第二部分显示了8号线上的近端（反向）串扰。近端噪声波形的垂直刻度比驱动信号放大了25倍，以便我们能看清串扰。串扰与信号之比大约为2.5%。对于*G-S-G*配置的电缆来说，2~5%的范围是正常的。

近端串扰脉冲随着驱动波形立即开始，其上升沿和下降沿与驱动波形的上升沿和下降沿一致。串扰形成了一个拉长了的脉冲。脉冲宽度等于22 ns，是电缆单向延时（one-way delay）的两倍（见5.7节）。因此，单向延时时间一定是11 ns。在这个8 ft的电缆上，每英寸的延时为：

$$D=\frac{11\text{ ns}}{96\text{ in}}=114\text{ ps/in} \qquad (10.10)$$

电缆的有效相对介电常数一定是：

① Twist 'N' Flat是Amphenol公司的注册商标。

$$\varepsilon_r = \left(\frac{D}{C}\right)^2 = \left(\frac{114}{85}\right)^2 = 1.8 \tag{10.11}$$

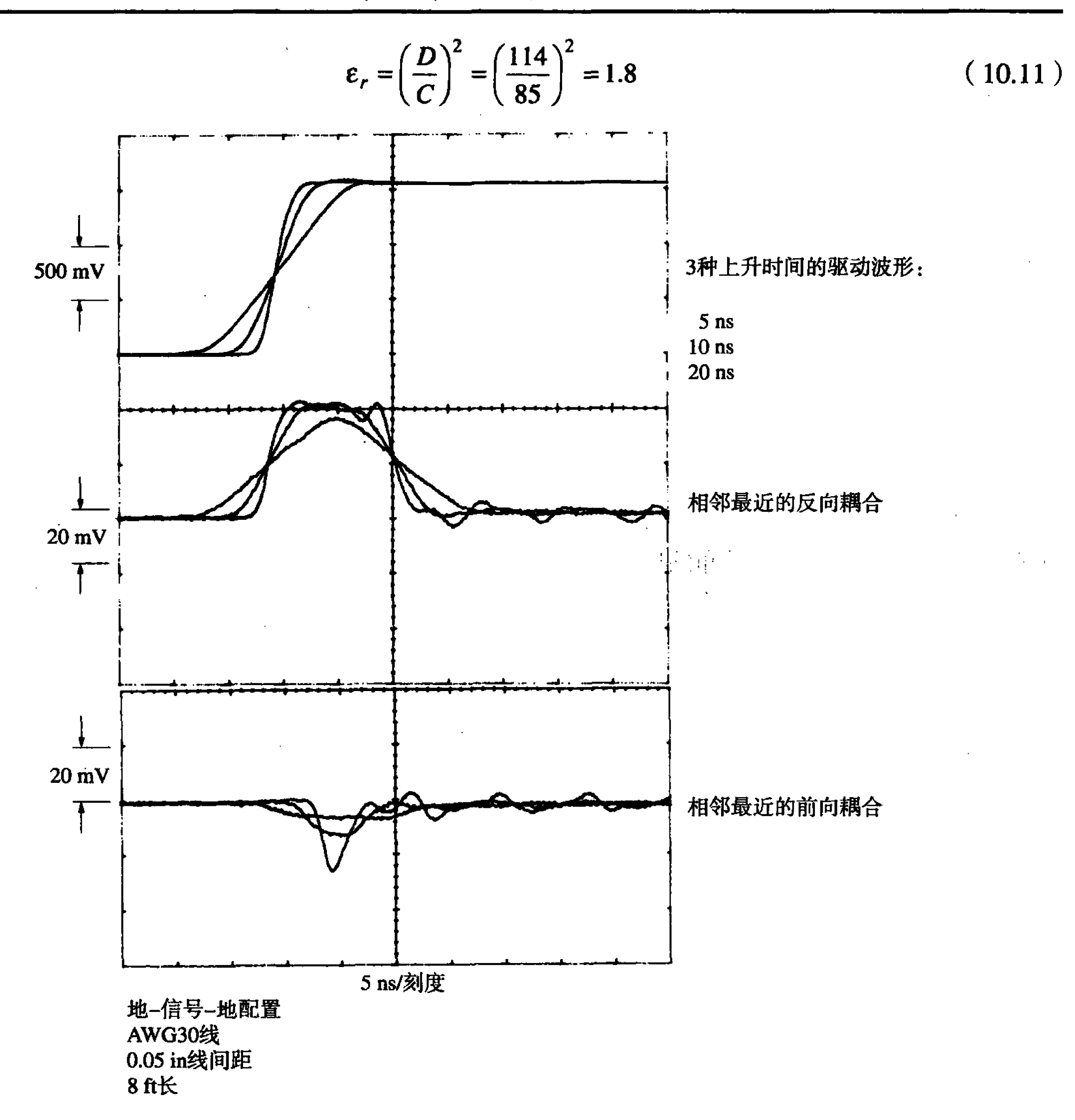


图 10.6 扁平电缆上的前向和反向耦合

如果进一步降低驱动信号的上升时间，近端串扰将没有时间达到满幅值。当驱动信号的上升时间小于20 ns时，近端串扰有一个固定的幅值。在*G-S-G*电缆中，单独导线之间的近端串扰被限制在最大幅值的2~5%以内。

电缆中每条信号线上的串扰是来自所有导线串扰的总和。假设8号线两端产生的串扰相同，按照$1/(1+n^2)$的串扰规则，加上其他更多的较远串扰，得到的近端串扰总和在8~20%的范围以内。

图10.6的第三部分显示的是远端串扰。远端串扰波形的刻度也比驱动信号的刻度放大了25倍。远端串扰是一个短的尖脉冲，与近端串扰拉长的脉冲不同。与近端串扰相比，由于远端串扰达到最大幅值的1.6%，这种配置的远端串扰带来的麻烦要小得多。同样，由于远端串扰衰减非常快，在一个很短的时间延迟后，我们就可以安全地锁定数据线。近端串扰持续两个完整的电缆延迟。如5.7.2节所讨论的，当使用低阻抗驱动器时，近端串扰会转换成远端串扰，破坏了远端串扰快速衰减的特性。快速衰减特性只对源端端接的线路起作用。

远端串扰随驱动信号的导数而变化。所以，当我们缩短上升时间时，串扰增加但不跳变。在图10.6中，1 ns的上升时间在电缆上将生成8%的串扰。但100 ps的上升时间不可能产生80%的串扰。因为串扰和驱动信号相互影响严重，所以我们的串扰计算假设的是小串扰，省略了计算互相影响的麻烦。在任何情况下，都应该想到上升时间为100 ps将会产生非常大的串扰。如果用两个或三个地（而不是一个地）来分隔信号线，远端串扰将有望大幅度地下降。

远端串扰会随着其在电缆上的传播而积累。电缆越短，远端串扰将会越少；电缆越长，远端串扰越多。

近端串扰的幅度与电缆长度无关，会保持不变。但是，随着电缆的延伸，脉冲的宽度会变宽。

10.2.5 扁平电缆的堆叠

当导线相互靠近时，串扰会显著增加。这适用于扁平电缆，也同样适用于其他类型的电缆。

如果将两条扁平电缆上下相互紧紧堆叠在一起，很容易出现串扰，比电缆中导线之间的串扰要大得多。当对扁平电缆布线时，经常使用线缆隔板（cable spacers）使电缆保持隔离。

当把电缆折叠以配合一个圆形屏蔽物时，将会看到串扰有类似的增加。

记忆要点

- 只要提供足够的接地，串扰衰减可以达到任何级别。
- 串扰按 $1/x^2$ 衰减。同时，串扰和发送导线与其最近的返回导线之间的间距 Δ_1，以及和接收导线与其最近的地线之间的距离 Δ_2 成正比。
- 在地－信号－地配置或 *G-S-G* 的配置中，相邻最近的信号之间的反向串扰系数大约是2~5%。
- 在双绞线电缆中，如果上升沿长度超过 *N* 个双绞旋进（precession）周期，其耦合值有望达到普通平行导线电缆的 $1/N$。
- 远端串扰会随着在电缆上的传播而积累。
- 近端串扰的幅度与电缆长度无关，会保持不变。但是，随着电缆的延伸，脉冲的宽度会变宽。

10.3 扁平电缆连接器

成排端接连接器通过一次快速压接，便可以同时连接扁平电缆中所有的导线。当压接扁平电缆时，成排端接连接器的引脚穿透电缆的绝缘体，与内部的导体连接，在每条线上形成永久的不漏气封口。这些连接器也称为绝缘分离连接器（insulation displacement connectors），适合于一次性的压接，而且只能一次。不能拆开绝缘分离连接器重新使用。在压接插入过程中，引脚形成永久性的变形，如果第二次压接，引脚将不能完全到位。

成排端接连接器压接到扁平电缆的一端，其他的连接端在电缆的另一端。其他连接端的引脚可能设计成阳的（male）或阴的（female），以便与其他类型的连接器形成可拆卸的互连。有些成排端接连接器有焊接引脚，以便于直接永久性地焊接到印刷电路板上。

无论采用什么样的机械方案，扁平电缆连接器总会引起寄生电感和电容。和其他任何连接器一样，因为这些寄生参数的影响，数字信号环路的性能会下降。

10.3.1 连接器的电感

式（10.12）估算了由单个信号引脚和一个接地引脚所形成的一个环路的自感。

$$L = 10.16x\ln\left(\frac{H}{r}\right) \tag{10.12}$$

其中，L=电感，nH

H=引脚间距，in

x=连接器引脚长度，in

r=连接器引脚半径，in

采用典型值：$r = 0.0125$，$x = 0.4$ 和 $H = 0.1$，可以得到一对引脚的电感为 8 nH。在一个 *G-S-G* 配置中，如图 10.2 所示，由于附近有多个地，这个近似值减半。

一个电感的值为 L 亨，与传输线的阻抗 Z_0 相串联，导致上升时间降低为：

$$T_{10\%\sim 90\%} = 2.2\frac{L}{2Z_0} \tag{10.13}$$

8 nH 单引脚电感与 100 Ω 的线串联，产生 100 ps 上升时间。在 *G-S-G* 配置中，这个下降要小一些。

10.3.2 连接器的电容

式（10.14）估算出了单个信号引脚与一个地引脚之间的分布电容。

$$C = 0.7065\frac{x}{\ln(H/r)} \tag{10.14}$$

其中，C=电容，pF

H=引脚间距，in

x=连接器引脚长度，in

r=连接器引脚半径，in

采用典型值：$r = 0.0125$，$x = 0.4$ 和 $H = 0.1$，可以得到每对引脚之间的电容为 0.136 pF。在 *G-S-G* 配置中，如图 10.2 所示，由于附近有多个地，结果是这个近似值的两倍多。

一个 C 法拉的电容，与一条阻抗为 Z_0 的传输线并联，导致上升时间降低为（见式（4.76））：

$$T_{10\%\sim 90\%} = 2.2C\frac{Z_0}{2} \tag{10.15}$$

0.136 pF 的单引脚电容与 100 Ω 的线并联，产生 15 ps 上升时间。在 *G-S-G* 配置中，会降低得更多。

10.3.3 减少寄生效应的交错连接

当工作在次纳秒级（subnanosecond）的速率时，连接器的寄生效应的影响比较大。任何能减少寄生效应的努力，都是有用的。

AMP 公司生产了一种成排端接连接器，在高速电路中工作得很好。连接器的元件编号为 AMP 1-111037-1。这种连接器一端提供绝缘分离引脚（insulation displacement pins），用来压

入扁平电缆。另一端提供焊接引脚，直接永久性地焊到印刷电路板上。由于减少了许多可拆卸特性，缩短了引脚，因此减少了总的寄生效应。

如图10.7所示，AMP 1-11037-1连接器也采用了引脚交错的结构。交错的结果是增加了串联电感，同时减少了并联电容。当连接器用于多支路总线时，引脚交错是很好的折衷方案。

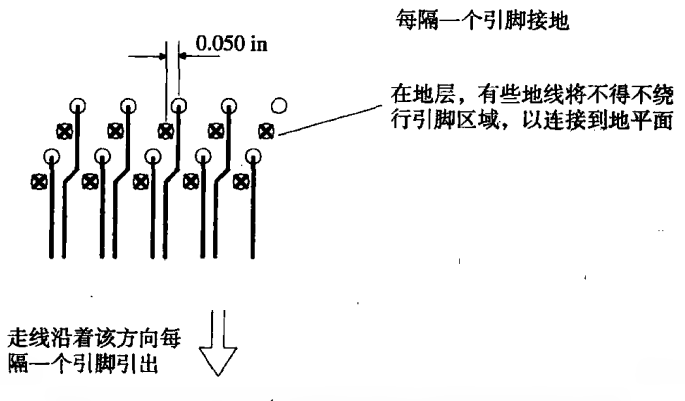


图10.7 交错的扁平电缆连接器引脚减少了寄生电容

记忆要点

- *扁平电缆能不断发展到今天，原因在于它与成排端接连接时非常便宜。*
- *任何连接器的方案，都会引入寄生电感和电容。*

10.4 扁平电缆的电磁干扰

当在机柜之间走线时，扁平电缆会面临严重的电磁干扰问题。为了解决这个问题，电缆厂商已经生产出几种类型的屏蔽扁平电缆。

10.4.1 金属箔缠绕

可以用一个长的带状金属箔折叠包裹或者螺旋缠绕在扁平电缆外面，形成一个连续、完整的屏蔽。当使用螺旋缠绕屏蔽时，要确保在重叠缠绕层与前一个缠绕层之间的连接处具有良好的电气连接。否则，返回电流必须绕行信号线以返回到源端。

把一个缠绕层接到产品的机框地是个比较难处理的过程。连接器无法在集成方式下同时处理金属箔屏蔽和信号连接。为了避免9.7节讨论过的搭接线的影响，必须首先在机柜内进行屏蔽，然后沿着扁平电缆的两个边缘切开屏蔽层，把扁平电缆两端（顶部和底部）屏蔽剥开。扁平电缆的顶部和底部的屏蔽部分必须在机柜的入口处进行电气连接。

10.4.2 单面屏蔽

如果在扁平电缆的一面绑定一个扁平的铜编织带，可以带来许多好处。首先，紧密靠近的铜编织带像一个地平面，可以减少在电缆中各个线路之间的串扰。铜编织带比金属箔外罩更均匀，提供更好的传输线特性。其次，铜编织带为返回信号电流提供了一条低电感的路径。

铜编织带经常通过搭接线与地进行电气连接，这时候搭接线成了系统的薄弱点。如果有办法把铜编织带直接接到地平面，铜编织带的效果会更好。

有些挠性电路厂商现在能生产双面的挠性电缆，一面是地，另一面是信号走线。这种电缆可以通过电镀通孔，把所有的信号和地转到同一面，以便于焊接和其他的装配。

10.4.3 折叠（圆）屏蔽电缆

生产厂商可以把一个扁平电缆卷起来（scrunch）或折叠（fold）成一个圆形，以装配进普通的圆形屏蔽罩和外套管中。在这种情况下，屏蔽的扁平电缆看起来像正常的屏蔽多股电缆。

这种电缆同时具备了成排端接连接器和屏蔽的优点。但是，屏蔽作用实际上只相当于在屏蔽层和一个比较好的地之间的连接。

记忆要点

- 屏蔽为信号电流提供了一条电感非常低的返回路径。
- 当使用螺旋缠绕屏蔽时，要确保在重叠缠绕层与前一个缠绕层之间的连接处具有良好的电气连接。
- 屏蔽中的搭接线是一个薄弱点。

第11章　时钟分配

在数字系统中，时钟信号的翻转（toggle）比其他任何信号都快。对于每个数据的传输，为了完成一个周期，有些时钟必须翻转两次。时钟不但是最快的信号，而且也是负载最重的。在一个系统中，时钟连接到每个触发器，而每条单独的数据线则只扇出几个器件。

因为时钟信号速度快、负载重，所以要特别注意。本章将分析时钟驱动器、时钟信号的特殊布线，以及用于改进时钟信号分配的特殊电路。

11.1　定时裕量

图11.1中的电路是个2-bit环形计数器，又称为扭环计数器（switch-tail counter）。当时钟在低速时，Q_1始终重复输出码型（00110011）。

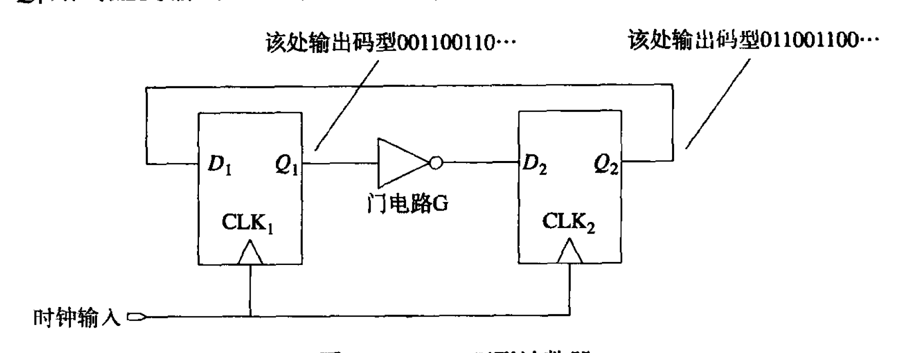


图11.1　2-bit环形计数器

提高图11.1中的时钟频率，电路仍然送出相同的码型，随着频率一直提高到某个高频率点，电路失效。电路失效是因为触发器2的建立时间不够。在失效频率点，Q_1的每一次跳变，出现在门电路G输出端的时间太晚，无法满足D_2所需的建立时间。图11.2中的时序图表示了这个失效模式。当时钟频率大于等于失效点频率时，电路不再产生0011的输出序列。这种失效类型称为定时裕量失效（timing margin failure）。

在这个电路中，定时裕量（timing margin）被定义为下面两个时间之间的时间量：

1. 信号实际从门电路G出现的时间。
2. 满足触发器2的建立要求，D_2信号必须有效的时间。

定时裕量用于衡量每个时钟周期中保留的时间间隙（slack）或额外时间（excess time）。如果一个系统中每个电路都有一个大的定时裕量，则该系统通常可以运行在更高的时钟频率下而不发生错误。

在图11.1中，随着时钟频率接近其失效频率，定时裕量降到零。因此，不要使电路工作在失效频率点附近。对于任何电路，应降低最高工作频率，使之略微低于失效频率。对于任何电

路，都要把最高工作频率降低到失效频率点以下。在所有的工作条件下，要预留一些正的定时裕量。信号串扰可能会轻微干扰信号沿的传送时间；当计算逻辑延时时，经常会发生一些常见的误算；后期在板子设计和布线中会有一些较小的变更，而正的定时裕量可以保护电路不受这些因素的影响。

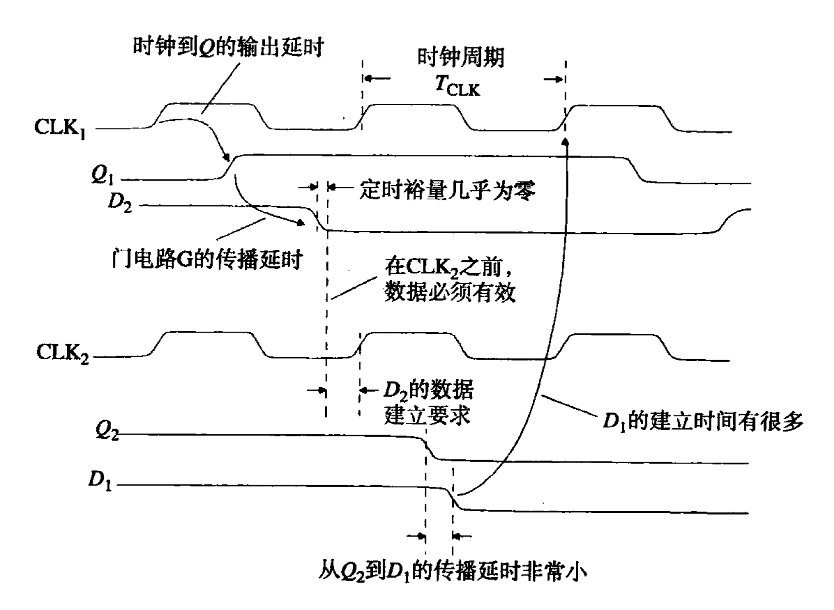


图11.2　2-bit环形计数器的定时分析

许多设计者的目标是正的定时裕量大约等于一个门电路的延时。按照这个经验规则分配定时裕量时，采用低速逻辑电路系列要比快速逻辑电路系列分配得要多一些。这样就可以在一个很宽的设计范围内，保持定时裕量与延时有一个固定的百分比。但是，必须确定可以接受的定时裕量是多少。

定时裕量取决于逻辑路径的延时和时钟周期。延时太长或者时钟周期太短，都可能导致定时裕量失效。时钟信号 CLK_1 和 CLK_2 之间的不同延时，也会导致定时裕量的失效，下一节将对此进行详细解释。

记忆要点

- 定时裕量用于衡量每个时钟周期中保留的时间间隙(slack)或额外时间(excess time)。
- 定时裕量可以防止由于信号串扰、逻辑延时计算中的错误、后期布线中的小变更造成的对电路的影响。

11.2　时钟偏移

让我们仔细地研究一下定时裕量。图11.3把环形计数器进行了分解，分析显示了定时裕量的组成部分。

我们来找出最坏情况下的定时裕量。图11.3计算了脉冲从出现在门电路G至到达的最晚时间，触发器2建立条件所需要的最早到达时间，并进行了比较。

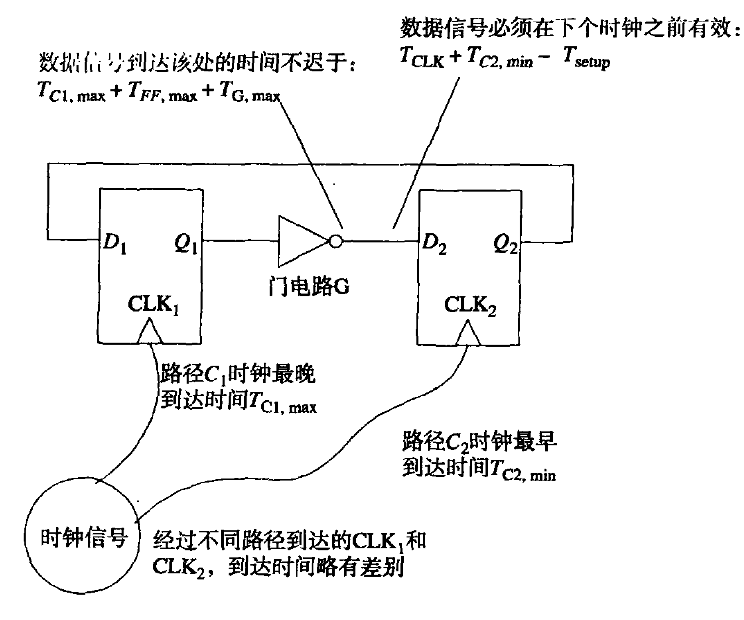


图 11.3 用时序分析来说明时钟偏移

一个脉冲通过门电路 G 可能到达的最晚时间是：

$$T_{slow}=T_{C1,max}+T_{FF,max}+T_{G,max} \tag{11.1}$$

其中，T_{slow} = 脉冲自门电路 G 最慢的到达时间，s

$T_{C1,max}$ = 路径 C_1 的最大延时，s

$T_{FF,max}$ = 时钟到触发器 1 的 Q 端的最大延时，s

$T_{G,max}$ = 门电路 G 的最大延时，包括线路延时，s

在式（11.1）中，对于所有的项都用了最大延时时间。同时，也假设所关心的时钟脉冲发生在零时间处，在式（11.1）中，没有绝对时间参考。

从门电路G来的脉冲，在下个时钟脉冲到来时，被锁存进触发器2。时钟发生在时间T_{CLK}，通过路径 C_2 到达 CLK_2 的输入。到达 CLK_2 的下个时钟的可能最早时间是 $T_{CLK}+T_{C2,min}$。触发器 2 所需的有效输入在这个 CLK_2 之前至少 T_{setup} 秒。触发器 2 所需的到达时间为：

$$T_{required}=T_{CLK}+T_{C2,min}-T_{setup} \tag{11.2}$$

其中，$T_{required}$ = 数据自 G 出现至到达所必须经过的时间，ns

T_{CLK} = 时钟周期，s

$T_{C2,min}$ = 路径 C_2 的最小延时，s

T_{setup} = 触发器 2 所需的最坏情况下的建立时间，s

D_1 处的数据必须在 CLK_2 之前至少 T_{setup} 秒钟到达。

在式（11.2）中，对于路径 C_2 采用了最小延时时间，它使要求的数据到达时间偏早。这将是最坏的条件。

来自门电路G的数据必须在$T_{required}$之前到达，以使触发器2正确建立。采用数学关系表示，我们要求：

$$T_{\text{slow}} < T_{\text{required}} \tag{11.3}$$

这个约束条件可以用式（11.1）和式（11.2）展开：

$$T_{\text{CLK}} > T_{FF,\max} + T_{\text{G},\max} + T_{\text{setup}} + \left(T_{C1,\max} - T_{C2,\min}\right) \tag{11.4}$$

简单地说，就是时钟周期必须大于触发器的延时、门电路G的延时以及建立时间。因为这三项都必须在每个时钟周期内依次出现，因此都要非常清楚。这里对最后一项稍做些解释。它包括时钟到达节点时 CLK_1 和 CLK_2 的时钟到达时间差（difference in clock arrival times），这个时间差称为时钟偏差（clock skew）。如果时钟到达触发器 1 晚了，Q_1 的输出也会滞后，从而使定时裕量恶化。如果 C_2 延时非常小，触发器 2 的时钟到达得早，数据必须更早地有效，以满足建立时间要求。这同样也会使定时裕量恶化。在任何一种情况下，都必须通过增大时钟周期、降低系统性能来解决这个问题。时钟偏差经常会影响定时裕量。

如果 CLK_2 是滞后而不是提前，会发生什么情况呢？它会带来更大的定时裕量。有些设计者利用这个结果，依次处理嵌套，仔细布置每一级时钟，以获得最好的性能。但是，如果从后级到前级有任何反馈，这种方法将不适用。在图 11.3 中，增加触发器 2 时钟的延时，可以增加 D_2 的定时裕量，但它是从 D_1 的定时裕量中减去的。大多数设计者都只是努力将时钟偏差减到最小。

在式（11.4）中，只有时钟传播延时的差值是有意义的。只要两个路径是对称的，延时的绝对值就无关紧要。

在实践中，时钟周期通常是由晶体控制的，所以参数 T_{CLK} 几乎没有不确定性。如果时钟不由晶体控制，它的标称频率必须略微低一些，以保证时钟周期大于 T_{CLK}。

例 11.1　系统定时预算

这是一个系统级的定时预算，以 ps 为单位，系统以 10E 型的 ECL 电路构成。预算包括 4 种类型的延时：

(1) 触发器 10E131 的传播延时	700	
+ 建立时间	150	
	850	850
(2) 10E171 MUX 触发器间的逻辑延时	850	
+ 电路走线 4 in	740	
× 3 部分	× 3	
	4770	4770
(3) 每个 10E111 门的最大 - 最小	50	
时钟偏移 + 电路走线 2 in 的偏差	370	
	420	420
(4) 定时裕量 15%	1065	1065
时钟周期（=135 MHz）		7105

在触发器的最大翻转频率1100 MHz以下，系统工作得很好。最大预算适用于在每个锁存器之间设计的三级逻辑电路。

时钟分配系统由一个时钟源驱动两个10E111时钟扇出门电路构成。两个门之间的最大偏移，加上不同线路长度的公差，占定时预算的10%。在这样一个好的时钟分配系统上再增加投入只能给整个系统带来很少的提高。

式（11.4）告诉我们，时钟偏移和传播延时一样会影响整体的工作速度。常识告诉我们，多数典型的电路板上时钟信号要比数据信号少得多。如果想投入少量的工作，而使定时裕量有很大的提高，就应该仔细检查时钟线。

有些生产厂商提供的驱动芯片的配置可以驱动多条时钟线。通过这些芯片的内部结构减少了不同输出之间的时钟偏移。Motorola公司的MC10E111由单个输入，9个差分50 Ω的ECL输出构成。所有MC10E111的9个输出的跳变都在50 ps以内。

记忆要点
● 时钟偏移和传播延时一样会影响整体的工作速度。

11.3 使用低阻抗驱动器

强制减小时钟偏移的方法包括两部分：

1. 把所有的时钟输入靠近安置在一起。
2. 从同一时钟源驱动。

如果一个系统有多个时钟输入，从物理上又不能安置在一起，简单强制的方法就没有用了。

在这种情况下，可以试着采用蜘蛛形（spider）的分配网络。如图11.4所示，这种网络从一个单一的时钟源分配时钟到N个远端目的地。反射被每个“蜘蛛腿”末端的阻性端接R衰减。驱动电路承受的总负载为R/N。

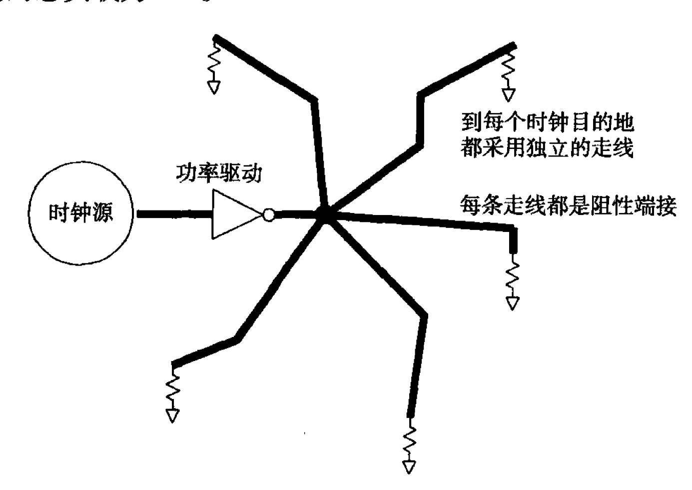


图11.4 “蜘蛛腿”时钟分配网络

如果使用75 Ω传输线，一个三条腿的蜘蛛形网络，驱动器端的总负载为25 Ω。有些商用器件的驱动负载可以达到这么低，但这样的器件不是很多。

为了驱动更多的“蜘蛛腿”，我们需要功率更大的时钟驱动器。一种简便方法是，把两个或者多个驱动器的输出并联在一起，即可做成一个大功率的驱动器。通常是把同一个集成电路的输出并联在一起。同一芯片的输出之间的偏移很小，因此，相互并联在一起的时候，还不至于把彼此烧掉。

采用分立的低阻抗放大器可以驱动多个“蜘蛛腿”。在图11.5所示的ECL功率驱动中，采用共发射极的放大级，变压器耦合输出。变压器将高阻抗、高电压的输出转换为低阻抗，大电流的输出，同时变压器也完成了直流电位的搬移。

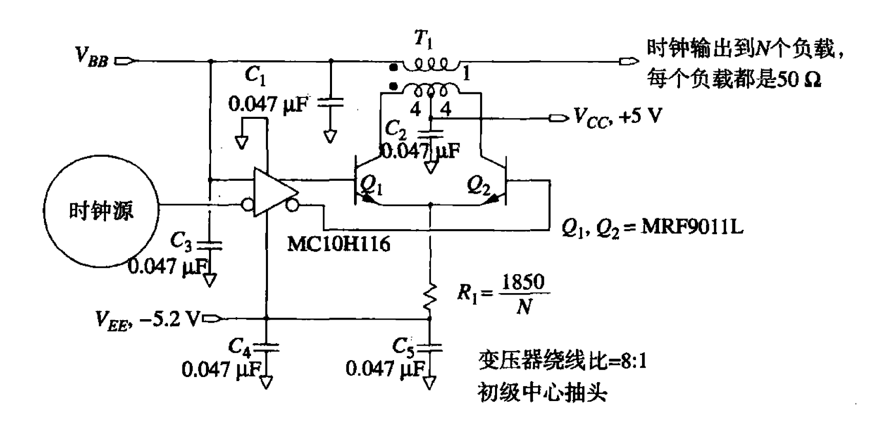


图11.5 ECL时钟放大器

对于TTL电路，采用类似的电路，将需要更高的偏置电压（+12, −5）和更大的三极管。由于TTL的电压幅度比ECL大（TTL的4 V相比于ECL的800 mV），所以TTL时钟信号所需要的总的驱动功率是ECL电路的25倍。

当使用ECL功率驱动电路时，应记住要根据所需的输出驱动电流确定电阻R_1的值。

如图11.6所示，时钟分配树采用了数量换功率的方式，这种方案通过一个树形网络把时钟分配到最终目的地。采用数量相同、类型相同的门电路使分配树对称，有利于减小时钟偏移。

记忆要点

- 把两个或者多个驱动器的输出并联在一起，即可做成一个简便的大功率驱动器。
- TTL时钟信号所需要的总的驱动功率是ECL电路的25倍。

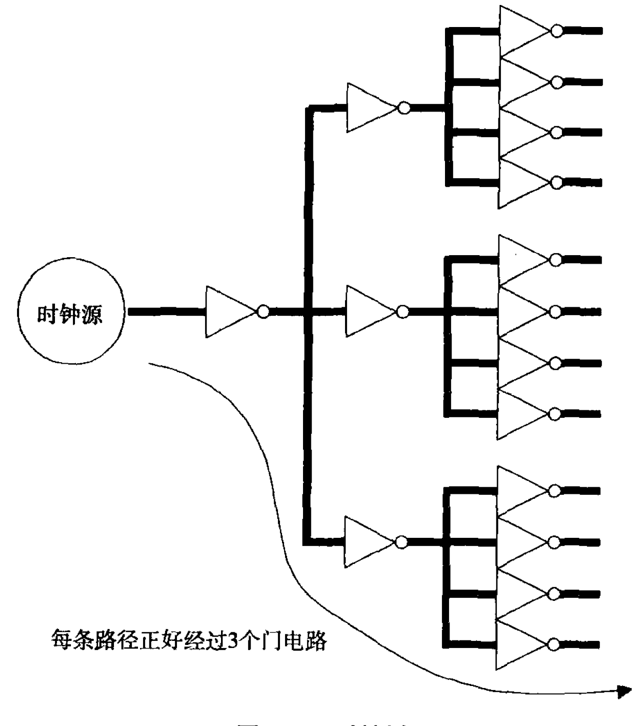


图 11.6 时钟树

11.4 使用低阻抗的时钟分配线

在图 11.7 中的时钟线上，接了多个输入。随着时钟信号经过每个输入，其上升时间被拉长，同时产生一个小的反射脉冲沿着线路反向传播。该反射脉冲会干扰接收。

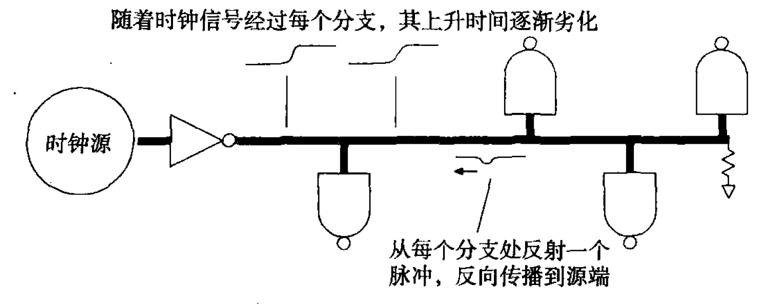


图 11.7 时钟驱动器驱动多个负载

反射脉冲是输入信号的导数（见 4.4.2.1 节）。每个反射脉冲的幅度与 $-C(Z_0/2)$成正比。有 3 种方法可以降低反射脉冲的高度：

1. 减慢驱动器的上升时间，这样可以使它的导数变小，降低了反射脉冲。
2. 降低每个分支的电容。
3. 降低时钟分配线的特性阻抗（Z_0）。

第 1 项指出，在应用中使用太快的逻辑电路会如何影响工作。因此，所采用的驱动器只要速度满足时钟偏移的预算即可。

应该了解时钟接收器的输入电容。在多分支的总线中，另外有两个因素会影响第2项：连接器的寄生电容，连接接收器的印刷电路板走线的电容。

第3项取决于时钟线的实际几何结构（见4.5节）。时钟驱动器的特性要适合时钟分配线的阻抗。关于时钟驱动器对时钟分支线路电容的敏感度，双驱动器芯片驱动20 Ω时钟线比驱动50 Ω时钟线要低2.5倍。采用带状线形式，20 Ω时钟线的 *W/B* 比为2:1（见图4.34）。在微带线形式下，20 Ω时钟线的 *W/H* 比为7:1（见图4.32）。

在多支路总线的应用中，器件要经常在总线上插入或拔出。因此，多支路总线时钟分配系统必须能容许负载的变化。降低分配阻抗有利于防止负载变化影响时钟偏移。

当设计低阻抗线路时，要采用附录C中的特性阻抗公式，而不要用第4章给出的简单公式。这个简单公式不适用于预先测算低阻抗线路的特性阻抗。

记忆要点

- 对于时钟分支线路电容的敏感度，20 Ω时钟线比50 Ω时钟线低2.5倍。

11.5 多路时钟线的源端端接

有些工程师试图在图11.8的基础上，从一个驱动器驱动多路源端端接线路。从图中可以看出，源端端接线路的阻抗是末端端接线路阻抗的两倍。不仅如此，其所需要的驱动电流在2*T*秒之后降到零，降低了平均功耗。这些情况促使我们设想采用单个逻辑门驱动多个源端端接线路。

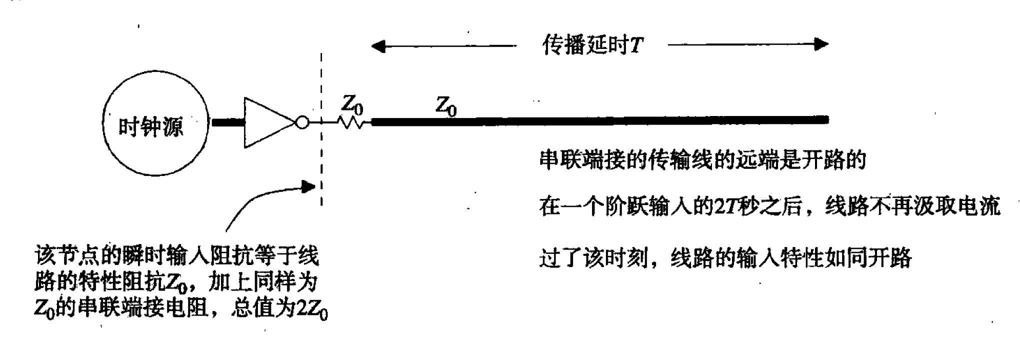


图11.8 串联端接线路的瞬时阻抗

如果仔细检查初始化条件（见6.2.4节），会发现源端端接和末端端接所需的峰值驱动电流是相同的。在高速电路中，每个边沿都必须是理想的，因此我们的电路除了要求平均驱动能力之外，还需要峰值驱动能力。

不过，有些电路在理论上有足够大的输出电流驱动两个源端端接线路。这样的驱动器能驱动两个或多个源端端接的线路吗？可以，但是必须在限定的配置条件下，如图11.9所示。

理解此图的技巧是应该认识到该线路是耦合到一起的，形成一个共振结构(jointly resonant structure)。如果不分析其他所有线的情况，不可能正确地只分析一条线。产生耦合是因为驱动器的输出阻抗是有限的。

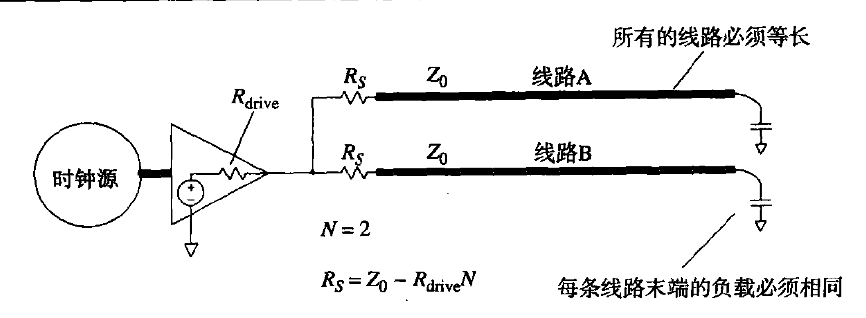


图 11.9 单个时钟驱动器驱动两个源端端接线路

如果驱动器的输出阻抗为零（永远不会），线路之间就不会产生交叉耦合，我们就可以简单地在每条线路上分别串联端接一个阻值为$R = Z_0$的电阻。遗憾的是，驱动器的阻抗并非无限小的现实迫使我们去考虑共振结构。下面说明了如何综合分析这样的系统。

先给出答案：只有当线路等长，每个末端的负载相等时，多个源端端接才适用于非零的驱动器阻抗。源端端接电阻必须等于：

$$R_S = Z_0 - R_{drive}N \tag{11.5}$$

其中，R_s = 源端端接电阻，Ω

Z_0 = 被驱动的线路阻抗，Ω

R_{drive} = 驱动器的有效输出阻抗，Ω

N = 被驱动线路的数量

当驱动一条线路（$N = 1$）时，式（11.5）使特性阻抗Z_0与总的源端阻抗（$R_s + R_{drive}$）相匹配。这是一个正常的源端端接。当驱动多条线路时，式（11.5）给出了稍小的源端端接电阻。当N过大时，式（11.5）变成负值，意味着不存在实际的解。

我们来分析图 11.9 中的线路在某一时刻发生了什么。再加上响应，即可得到综合的分析。

在图 11.9 中，一个脉冲沿着线路 A 向负载传播。该脉冲在线路 A 的远端反射，返回到驱动器。在通常带有源端端接的应用中，源端端接与线路阻抗匹配，所以脉冲驱动器上没有反射。在图 11.9 中，源端的有效阻抗不匹配，它低于线路的特性阻抗。线路 A 上的返回脉冲将在驱动器上反弹，产生一个负的反射，见式（4.54）。迄今为止，负反射似乎是一个问题。

同时还产生了另外的结果。随着线路A的返回脉冲的电流穿过R_{drive}，涌入驱动芯片，在驱动输出引脚上产生了电压。这个电压耦合到线路B上。耦合到线路B上的串扰脉冲的极性为正。

至此，我们知道线路 A 上的脉冲产生的结果包括：线路 A 上一个负的反射，线路 B 上一个正的串扰。

现在设想，线路 A 和 B 远端的脉冲反射同时发生。如果这些脉冲在同一时间返回到驱动器，将分别在各自的线路上产生一些负的反射，在另外的线路上产生一些正的串扰。如果我们仔细挑选电阻的阻值，可以使负反射和正串扰正好抵消，结果是一个完全的阻尼系统。

获得完全抵消的条件是非常严格的，即：

1. 线路必须等长（保证反射脉冲同时到达）。
2. 负载必须相等（保证反射脉冲有相同的波形）。
3. 电阻必须按照式（11.5）计算。

式（11.5）设定的源端阻抗，使线路A上的负反射正好被线路B上的正串扰补偿。式（11.5）适用于任何数量的线路，只要其长度相同，负载相等。

在实际情况中，完全对称是很难做到的。如果线路不能完全对称，每条线路的反射和串扰就不能完全抵消。不完全的抵消将使系统振铃。

记忆要点
● 在严格的条件下，单个驱动器可以驱动两个或多个源端端接的线路。

11.6 控制时钟线上的串扰

关于串扰与线间距之间的关系，第5章已经进行了详细的讨论。在一个完整的地平面上，如果线间距增加1倍，串扰就会减少为1/4。因为时钟信号是敏感信号，因此我们赞成对其进行特殊的串扰保护。取得特殊串扰保护的方法包括两个方面：一是通过物理方法提供更多的串扰保护，二是通过逻辑方法获得正确的物理结果。

提供特别保护的物理方法比较简单：在时钟走线周围留出额外的间隙，或者把时钟线放在单独的层中，上下被地平面所封装[①]。

提供特别保护的逻辑方法稍复杂一些。首先要确定每条时钟走线中容易发生错误的地方，可以在原理图上手工标出，或者列出其网络名。需要特别布线的地方，必须与布线人员沟通。布线人员会满足或忽略你的要求。要记住，你和布线人员经常不是同一个老板，尽量不要去麻烦布线人员。在实践中，如果没有一大串复杂的特殊要求，布线人员通常会更愿意接受。

通过书面方式要求把时钟线布放在一个独立的受保护的层上，这种方法很简单，并且容易理解，所以许多工程师都采用这种方法。如果能达到目标，又在预算之内，浪费一个布线层的代价是值得的。

更好的的方法是，通过网络分类，设定不同的线间距指标要求。属于时钟网络类的，要远离其他走线，以减少串扰。每年都会有更多的自动布线软件包添加这一功能模块，但是几乎没有数字工程师用它。

如果布线软件包不支持把不同的网络分类布线，那它肯定支持不同的线宽。把所有的时钟线指定为宽的走线，在布线时这将迫使其他走线远离时钟网络。布线完成后，把整个时钟网络的线宽变窄。这种方法的一个主要缺点是：宽的时钟走线不适合从集成电路的引脚之间穿过。

为了实现间距要求，有些设计者在布线时插入保护线，最后再把它们删除掉。这些临时的保护线迫使其他走线在布线时远离高速线，从而减少了串扰问题。

记忆要点
● 提供特别串扰保护的物理方法比较简单，逻辑方法比较复杂。

① 可以封装在电源平面或者地平面之间，只要在它们之间提供一个非常低的阻抗即可。

11.7 延时的调整

在式（11.4）中，时钟偏移项由两个传播路径延时之间的差构成。使两个时钟传播路径精确地相等，则能够降低时钟偏移。

有些时候，我们正好需要一个小的正（或负）偏移。延时（或超前）的时钟通常会改善其中一部分电路的定时裕量，但可能会使其他地方变差。只有当整个电路有好的定时模型时，才能采用有目的的时钟偏移。

有时候我们感兴趣的是一个故意的、非零的偏移，因此，在计算时钟分配问题时，工程师们经常是在减少时钟到达时间的不确定性，而不是简单地在每个地方都获得低的偏移。

按照他们的设计，通过时钟调整可以获得低的偏移或有目的的偏移。两种情况下采用的原理都相同。调整时钟延时有时候也称为时钟相位（clock phase）调整。这个术语提醒我们，时钟是一个重复性的、近似正弦曲线的波形。

11.7.1 固定延时

时钟调整的最简单形式是一个固定延时（fixed delay）。固定延时提供了预先确定的时钟延时量，装配完成后，不会改变。

固定延时用来补偿电路中其他的标称延时，使时钟偏移的标称值达到希望值。因为其延时在设计时已被确定，因此它不能抵消板子制造或有源器件带来的延时变化。直到电路测试之前，这些都是未知的。

固定延时由3种基本的构件组成：传输线、逻辑门电路和无源集总电路。每种都有各自的优点（见表11.1）。延时线适用于短的延时，非常精确。集总电路延时元件包含的延时范围最宽。它的延时变化主要取决于其模拟器件的质量。

表 11.1 固定延时的器件

	实际的延时量（ns）	延时的变化（%）
延时线	0.1~5	10
门电路延时	0.1~20	300
集总电路延时	0.1~1000	5~20

把延时线直接印制在印刷电路板上，需要非常大的代价。图4.28说明了一个典型的印刷电路板的延时线，板子是0.010 in厚、FR-4的板基，该线在板子的外层。如果采用内层走线，0.025 in的走线间距，每纳秒的延时大约需要0.135 in^2的板子面积。采用该数值，一个7 ns的延时将需要1 in^2的面积，这已经是很大的面积了。

当采用印刷电路板走线作为传输延时线时，应该记住，走线的相对介电常数会随温度的变化而变化。对于FR-4材料，在0℃~70℃的温度范围内，其变化的结果会使传输速度有10%的变化。

有些商用延时线采用裹有透磁性材料（magnetically permeable material）的传输线。透磁性材料从根本上增加了延时线每英寸的延时，缩短了延时线。这些延时线可用的封装形式有DIP或表面贴装，有的带缓冲器，有的不带。

空闲的门电路可以作为一个有效的延时器件。用门电路作为延时器件的问题是：所有制造商都给出了最大的传播延时，却很少提到门电路的最小延时。门电路延时的变化非常大，以

至于有时不是有利于，而是会妨碍时钟偏移。更糟糕的是，在门阵列或定制芯片中，除了使用门电路作为延时器件外，可能没有别的选择。

在图 11.10 中，当使用 CMOS 门电路时，产生的集总电路延时是干净的、可重复的延时。*RC* 电路缓慢的上升时间，减慢了脉冲从第一个门电路到第二个门电路的传播。

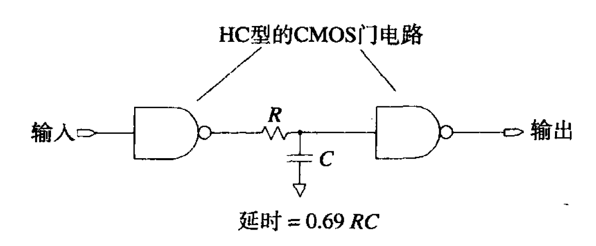


图 11.10　集总电路的延时器件

这个电路的准确性和稳定性取决于模拟元件*R*和*C*值的准确性。稳定性和准确性同时也取决于第二个门电路的输入寄生电容。

使用集总延时电路的第二个问题涉及到开关门限（switching threshold）的不确定性。在图11.10中，当第二个门电路的输入上升并超过其开关门限时，电路将发生跳变。如果该门限不确定，那么跳变时间将是不确定的。

确切的跳变时刻被开关门限的不对称性所改变。这个问题使 TTL 和 HCT 系列逻辑电路的应用深受困扰。TTL 和 HCT 的跳变门限更靠近于地电平而不是 V_{CC}①。由于跳变门限偏向地电平，*RC* 延时电路对上升沿的延时要小于对下降沿的延时。一个理想电路对上升沿和下降沿的延时应相等。

对于差分接收器，其负的输入端接在HI和LO的逻辑电平中间，有一个对称的门限。TTL和HCT逻辑系列里都有这些类型的接收器。在这样的一个电路之前加上一个单极性的*RC*滤波器，产生的上升沿和下降沿的标称延时相等。

在图 11.10所示的电路中，如果采用TTL门电路，会工作得很差。CMOS 门电路在这个应用中工作得会好一些，因为它们不需要有效的直流输入电流。当第二个门电路的输入达到其渐近线（asymptote）时，没有电流流入 CMOS 门电路的输入，因此 *R* 的压降为零。当这个电路使用 CMOS 门电路时，最后的电压裕量没有损失。

当使用 TTL 电路时，在 LO 输入状态下，TTL 所需要的有效输入电流必须流经 *R*。为了保持电压裕量，我们需要电阻 *R* 小于 100 Ω。另一方面，在图 11.10 中，可以试用一个磁珠或线绕电感作为串联损耗元件，电感没有直流损耗，所以 TTL 的输入电流流过时没有压降。

对于正常的电路，不要试图在单级上的时钟搬移超过时钟周期的 12%。可以通过多级延时级联，通过门电路的缓冲驱动，逐步形成更大的延时。当一个*RC*电路的延时达到方波的12%时，在脉冲沿之间，*RC* 响应没有时间达到完全的衰减。输出波形在其标称值的 10% 到 90% 之间变得模糊。延时越大，模糊会导致波形的幅度越小。

商用的固定延时电路都混合使用了传输线、逻辑门电路和集总电路延时器件。

无论选用哪种形式的固定延时，在定时裕量的计算中都要考虑加入延时的不确定性。

① HCOMS 和 ECL 逻辑的开关门限在其逻辑摆幅的中间。

11.7.2 可调整延时

一个可调整的延时可以补偿电路的实际延时，也可以补偿标称延时。作为最后测试程序的一部分，技术人员必须进行装配后的调整。如果恰当地设置每个调整，可以减小由于制板和有源器件的延时带来的时钟偏移的不确定性。

不要假设你的生产人员能理解所提供的调整方案的含义。为每个调整步骤写一个测试过程，说明在该点如何进行时钟延时的测量，并指明调整的适当范围。

3种基本延时构件是传输线、逻辑门电路和无源集总电路。这3种构件都采用可调整的形式，延时线的调整采用量化步长。图11.11所示的布线方式举例说明了一个典型的可调整延时。图11.11中的传输线有5个调整抽头。

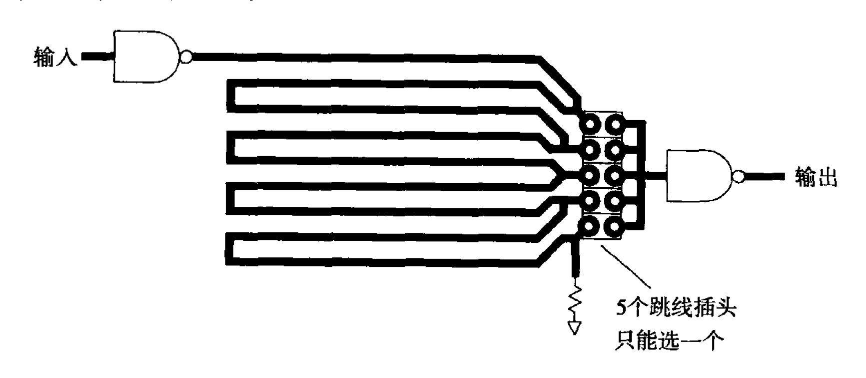


图11.11 可调整的传输线延时

图11.12中显示的是一个更灵活的装置，只用8个跳线，就可以产生16种不同的延时。如图11.12所示，跳线尺寸的调整为基本延时时间T的1，2，4和8倍。通过开关可以选择任意片段的组合。虽然图11.12所示的电路从技术上更有效，但使我们的工作也更复杂。调整越简单，产生的调整错误就越少。

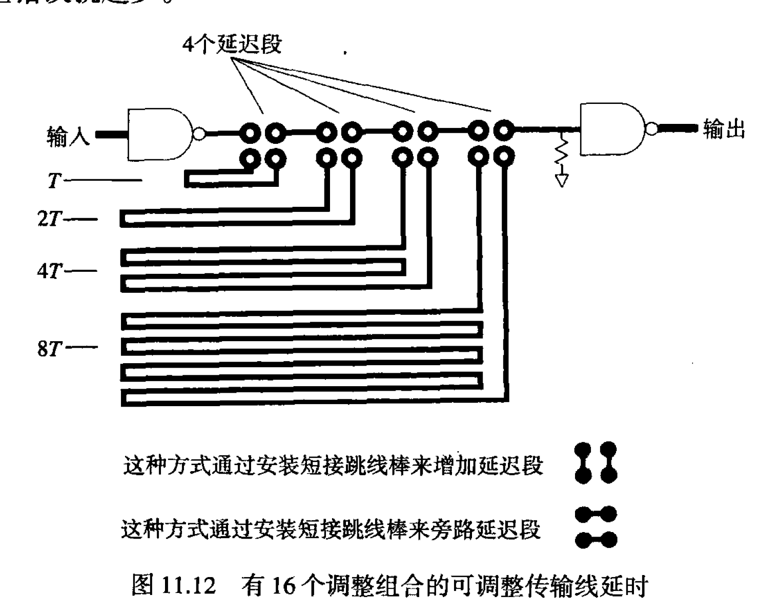


图11.12 有16个调整组合的可调整传输线延时

在低频时，短接跳线棒（shorting jumper bar）可以做成很好的调整抽头。这些细小的、可拆卸的插头由一对 0.025 in 的方形插针构成，间距为 0.100 in（见图 11.13）。因其在 PC 机的插卡上作为选择跳线很流行，有些人把短接跳线棒称为软跳线插头（software jumper plug）。超过了 100 MHz，就要注意短接跳线棒的电感。其电感会随着安装人员把插头按下去的位置而变化。

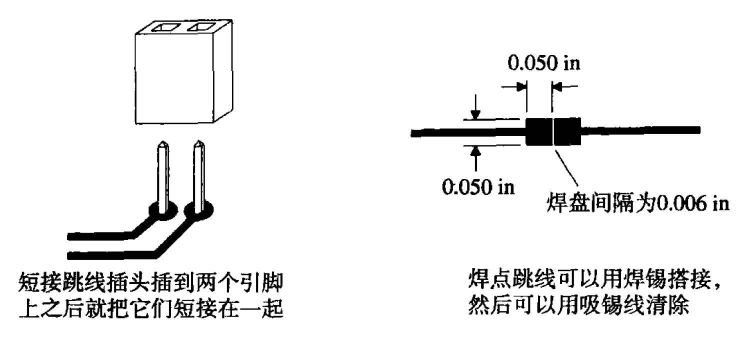


图 11.13　高频电路开关

如果跳线插头的电感不能接受，可以试试焊点跳线（solder blob jumper）（见图 11.13）。一个焊点跳线由两个 0.5 in 的方形焊盘构成，间距为 0.006 in。这种结构一般放在印刷电路板的元件面。0.006 in 的缝隙，对于防止装配中的焊锡搭接（bridging）已经足够宽了，而对于技术人员来说，也足够窄了，很容易搭接在一起。使用焊接吸锡线（solder wick）可以很快、很干净地清除搭接焊点。

与短接跳线棒相比，焊点开关只占用很少的印刷电路板面积。焊点跳线的另一好处是装配后不会脱落或移动。

门电路延时的调整也可以用量化步长。门电路做成一条链，在各个点上做抽头，就可做成一条有用的延时线。用门电路构成的延时电路会受到每个门电路延时不准确的困扰，否则它的使用就与带抽头的传输线非常相似了。

集总电路延时的调整可以通过任意改变 R 或 C 来实现。连续可调的电阻比可调电容便宜，而且容易买到。不管使用哪种类型，设置后都要用一些装置来固定或胶封。可调元件特别容易受到震动的影响。

有一种新型的步进可调的无源器件，在一个 1206 表贴封装上包含了多个元件，以及一套微型焊点跳线。这种器件允许定量地调整 RC 延时电路。

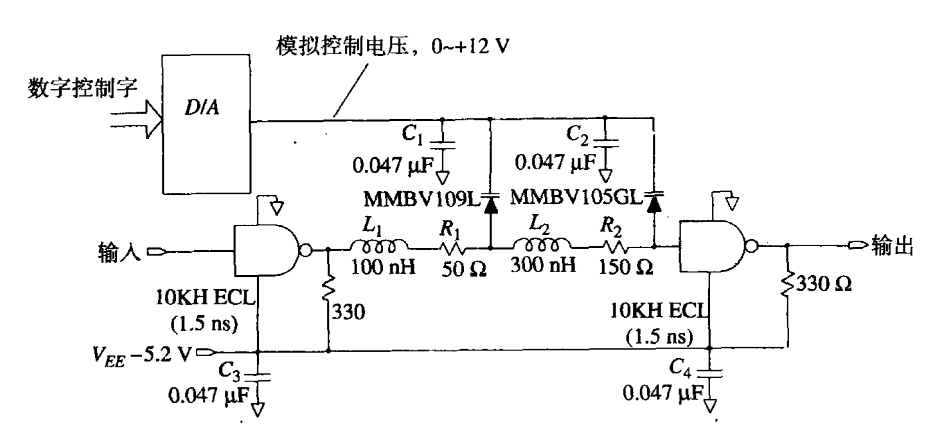
11.7.3　自动可编程延时

一个理想的延时电路应该可以连续可调，在很宽的温度范围内保持稳定，在生产中可以自动调整。听起来可能吗？继续往下看。

首先我们来看如何做一个连续可编程的延时。在这方面有两种办法看起来有希望成功。最传统的办法是采用变容二极管（varactor diode）。变容二极管的寄生电容是其反向偏置的函数。变容二极管中的寄生电容，是通常设计中的难点，也是其主要的卖点。

图 11.14 的电路中所采用的变容二极管就是作为一个延时可变的元件使用的。与图 3.23 中的电路相比，该电路存在 3 个方面的差别。首先，它是数字可编程的。当然，图 3.23 中的电路

也可以增加这个特性。第二，图 11.14 用 *LC* 延时元件，在信号不衰减的情况下可以提供很宽的延时调整范围。第三，图 11.14 中的集总电路级联了两段没有缓冲的无源延时。第二级的阻抗是第一级的 3 倍。这个阻抗比例使第二级与第一级的负载分开，否则会导致总的响应失真。级联使关键路径上的缓冲器从 3 个减少到 2 个。因为每个缓冲器的延时都随温度和电源电压的变化而变化，所以我们尽可能地少用缓冲器。



变容二极管：
MMBV105GL，4~15 pF
MMBV109L，8~40 pF

延迟：
从集总电路：1~6 ns
从门电路：3 ns
总延迟：4~9 ns

最大工作频率：50 MHz

对于其他频率按比例：
L_1，L_2和变容二极管的电容按比例换算到需要的延迟，最大工作频率与延迟成反比

图 11.14 采用变容二极管的可编程延时元件

第二种可编程延时的方法采用一串门电路(chain-of-gate)。如果所有门电路内部都是砷化镓集成电路，它们之间的延时在 100 ps 的数量级上。在一个集成电路内，这样的一个串可以很长。可以用一个带抽头形式的门电路串，用一个大的多路器 (multiplexer) 来选择抽头，构成一个数字可编程的延时。设计多路器时必须防止当从一个抽头转换到下个抽头时发生的脉冲干扰 (毛刺)。

无论采用变容二极管电路还是采用一串门电路，都可以保存一个列表，列出恰当的调整设置，该设置是温度的函数。这就是系统如何取得温度稳定性的方法。

最后一个问题关系到延时电路如何自己自动调整。当时钟在任意方向偏移出调整范围时，每个系统的错误率都会明显地上升。一种自动调整方法是：检测出错误率的增加，然后使时钟居于错误上升曲线的中间。

一种稍微间接一些的自动调整形式，需要在总线上读出数据信号的跳变时间。时钟可以自动调整，去适应特定数据波形的转换时间。这种方法类似用于串行数据传送时的时钟再生系统。

记忆要点

- 延时元件由3种基本的延时构件组成：传输线、逻辑门电路和无源集总电路。
- 固定延时不能够抵消板子制造或有源器件的延时带来的延时变化。
- 可调整延时可以补偿电路中其他任何实际延时，而不仅是标称延时。
- 无论选用的是哪种形式的固定延时，在定时裕量的计算中都要考虑加入延时的不确定性。

11.8 差分信号分配

与单端时钟信号相比，差分时钟信号能经受更严重的噪声环境。这是由于两个原因：信号的幅值和差分平衡。因为一个差分线对中两线之间总的电压振幅是单端信号的两倍，一个差分线对可以容忍两倍的信号干扰。情况甚至更好，当噪声在一个差分时钟线对上两部分的影响相同时，在差分接收器上将完全抵消，不会产生最后的定时抖动。同时影响差分线两边的噪声称为共模噪声（common mode noise）。差分信号可以容忍非常大的共模噪声。

在TTL系统中采用ECL时钟分配背板（backbone），串扰问题将会特别严重。ECL时钟分配背板的优点是时钟分配偏移小，缺点是ECL信号幅值较低。大幅值的TTL信号很容易产生足够的串扰，干扰邻近的ECL时钟接收器。差分ECL信号有利于克服TTL串扰的问题。

只有当噪声干扰对两个信号的影响相同时，差分信号才会有帮助，对于那些因为走线靠得太近而产生的串扰则没有帮助。通常串扰对一条线的影响要比对另一条的影响大得多，从而产生一个真正的差分噪声信号。

当两个电路板之间进行通信时，各个地平面带有不同的噪声电压，差分信号将有很大帮助。地电压的差被差分接收器所抵消。差分ECL信号可以很容易地克服子板与大背板之间的TTL地噪声。

记忆要点

- 只要串扰对于差分时钟线两部分的影响相同，就不会导致定时抖动。

11.9 时钟信号的占空比

时钟信号的理想占空比是50%，即理想时钟信号的下降沿正好位于两个连续上升沿的正中间。这一特性允许使用反转的时钟作为中间电路的定时波形。

理想时钟的平均直流电平位于HI和LO的中间。正如我们所希望的，这个特性允许我们设计简单的反馈机制来保证占空比固定在50%。

时钟的占空比偏离50%而变得不对称的原因是，时钟中继器（repeater）对于上升沿和下降沿波形的响应不对称。仔细测量会发现，任何门电路对于上升沿和下降沿的传播延时都是不同的。当一个脉冲通过不对称的门电路时，由于传播延时的不同，会缩短或拉长。这个效应称为脉宽压缩（pulse width compression）、脉宽扩展（pulse width expansion）或脉宽失真（pulse width distortion）。

当我们把一长串相同的门电路级联时，脉宽的失真会逐级相加。假设输入脉冲是正向脉冲，上升沿的延时大于下降沿。与出现在每个门电路之前的正脉冲相比，出现在该门电路之后的正脉冲变短了。一直延续下去到某个位置，脉冲将完全消失。

假如一个时钟信号通过同样的一串门电路，看上去像一串脉冲。如果在每一级，正脉冲变短，随着时钟信号沿着该串电路的传播，占空比下降，直到该串电路的某一点，时钟不能再引起任何的响应，后续的各级将陷入“寂静”。

不对称的传播延时导致时钟信号丢失。有两种聪明的技巧把几代工程师从这种困境中解救了出来。第一种技巧是在每一级上把时钟反相。随着信号向下级的传播，上升沿和下降沿交替转换，反之亦然。总的效果是消除了脉宽在相邻级之间的压缩。与非反转的中继器链路相比，反转的中继器链路上的时钟信号传播得更远，有更好的占空比。

第二种技巧需要一些模拟电路。如图11.15所示，该电路只适合于跳变门限对称的逻辑系列。对于门限不对称的电路，可以找一个模拟工程师调整电路的反馈系统，以适应你的逻辑系列。

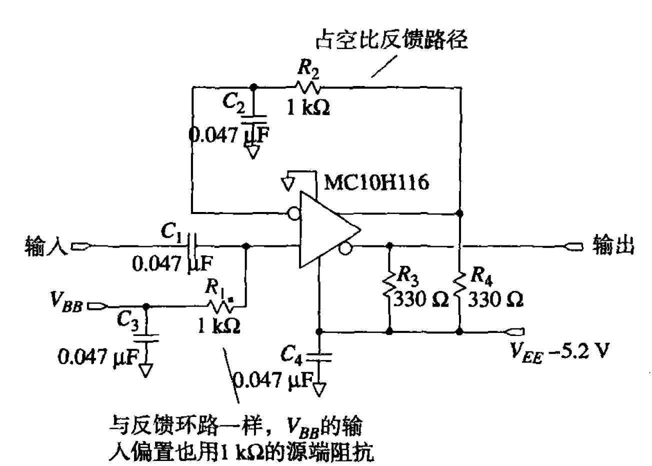


图 11.15 采用反馈电路来保持50% 的占空比

当电路的占空比变化时，平均直流电平也会发生变化。从该电路可以知道，通过测量平均直流电平，能推断其占空比。

该电路同时也采用了众所周知的跳变门限与占空比之间的关系。我们知道，因为时钟信号的上升时间和下降时间有限，如果调整了一个时钟中继器的输入跳变门限，将改变输出的占空比。图 11.15 中最后应用的原理是反馈。

在图11.15的电路中，测量到输出时钟的平均直流电平，并把该结果存储在电容C_2上。C_2上的电压反过来调整输入跳变门限，取得一个接近50% 的输出占空比。

图11.15采用的是一个相对低增益的反馈电路。在300 MHz，该门电路很容易导致脉宽压缩200 ps，修正后的电路引起的脉宽压缩的量应只有上述的1/4。

连接在时钟输出和输入跳变门限调整电路之间的积分反馈电路，在调整输出占空比时工作得更好，但会增加更多的器件。

通过调整输入跳变门限可以控制门电路发生跳变的位置。降低门限将使上升沿的跳变超前，下降沿变慢。跳变偏移的量取决于输入信号的上升时间。慢速信号比快速信号要偏移得更多。

该电路的调整是非常小的，但是在一串中继器中可以极大地提高性能。

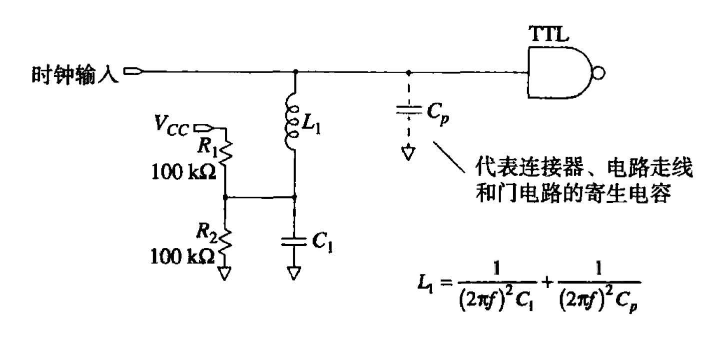
记忆要点

- 随着时钟穿过一串中继器链路，占空比将发生变化。
- 与非反转的中继器链路相比，反转的中继器链路上的时钟信号传播得更远，有更好的占空比。

11.10　消除时钟中继器的寄生电容

当一个新器件连到多分支总线上时，该器件时钟接收器的寄生电容会使整个总线上所有器件的接收时钟相位发生偏移。新器件的上行和下行接收器接收到的时钟都受到了影响。

新的时钟接收器所引起的偏移量与总的寄生电容成正比。如果通过改变布线，选用更好的接收器或采用其他的连接器可以降低寄生电容，就要采用。当只能用手头的器件时，试一试图 11.16 所示的电路。



$$L_1 = \frac{1}{(2\pi f)^2 C_1} + \frac{1}{(2\pi f)^2 C_p}$$

其中，f = 时钟频率（Hz）

热插拔特性：

在时钟输入连接之前，确保 V_{CC} 上电至少 1 ms

R_1 和 R_2 在 C_1 上的偏置电压在逻辑电平 HI 和 LO 的中间，

减少当电路连接到其时钟输入时流经 L_1 的瞬时电流

图 11.16　在时钟频率点上采用电感抵消寄生电容

图 11.16 中的电感提供了一个负的电抗，在该时钟频率上，部分抵消了时钟接收器电路的寄生电容。射频工程师称之为匹配网络。电感抵消的方法只适合于工作在一个频率上，即基频。该技术不能减轻时钟波形中出现的三次和更高谐波。在抵消寄生电容时，如果采用上升沿和下降沿较慢的时钟驱动器，其产生的时钟谐波分量就会比较少（看起来更像正弦波），从而使抵消的效果更好。

电路中的两个电阻是可选的。在一个固定的安装中，时钟接收器是一直和总线连着的，该电阻不会对电路增加任何东西。在一个热插拔（hot plugging）的环境中，板卡插入总线时，电源上电，时钟运行，该电阻起着关键的作用。在板卡连接到时钟总线之前，它为电容 C_1 充电。

当板卡掉电时，电容 C_1 放电到 0 V。当电路工作时，电容 C_1 充电到逻辑电平 HI 和 LO 的中间值。

如果没有R_1和R_2，当板卡第一次连接到时钟总线时，为电容C_1充电所需的冲击电流将导致总线上的时钟严重畸变。但这个影响可以通过预充电的装置来防止。正确的热插拔设计是在接上时钟线之前，接收器的电源已连接上。一旦上电，电阻R_1和R_2就把电容C_1预充电到中间电平，保持到时钟总线连接上。这一设计细节防止了任何突然的电流冲击影响时钟总线。

为了缩短C_1的充电时间，要保证其容量很小。C_1的最小值大约为C_p的100倍。计算L_1和C_1：

$$C_1 = 100C_p \tag{11.6}$$

$$L_1 = \frac{1}{(2\pi f)^2 C_1} + \frac{1}{(2\pi f)^2 C_p} \tag{11.7}$$

充电电路把C_1充电到最终值的1%以内所需的时间为：

$$\text{预充电时间} = 4.6\frac{R_1 R_2}{R_1 + R_2}C_1 \tag{11.8}$$

记忆要点

- 电感可以抵消时钟接收器的部分寄生电容。

11.11 时钟总线上时钟接收器的去耦

在有些条件下，时钟分配总线上的分支会使通过的时钟严重畸变。当有许多分支时，时钟接收器的寄生电容太大或者工作在高速情况下时，这种情况经常发生。

一种方法是在每个时钟门电路的输入端做一个3:1的衰减器，以减少每个分支的影响，其代价是每个时钟接收器需要更大的电压增益。可以试着在每个门电路的输入端插入一个串联电阻，该电阻是门电路在其时钟频率点输入阻抗期望值的两倍。衰减网络可以采用一个电阻并联一个电容。

对于CMOS电路，需要很少的直流偏置电流，单独的衰减网络就足够了。TTL门电路的衰减元件可能还需要一个直流偏置网络。

3:1的衰减网络的优点是，它是接收器的特征输入阻抗的3倍，缺点是门电路接收的信号变小。幸运的是，大多数门电路都有许多额外增益。

普通的差分接收器都有非常大的增益的和准确的输入跳变门限，可以作为很好的衰减时钟接收器。当使用普通的门电路（其跳变门限非常不准确）作为衰减时钟接收器时，需要加上更好的直流偏置。用直流偏置网络感应其输出占空比，然后调整输入跳变门限，以使输入跳变门限保持在50%。

记忆要点

- 衰减网络能增加时钟接收器的有效输入阻抗。

第12章　时钟振荡器

有一段时间，关于Hartley振荡器与Colpitts振荡器的优点，计算机设计师们进行了激烈的争论。当外围的计算处理硬件还不是很多时，振荡器似乎非常值得关注。

现在，一般的计算机设计师会直接购买密封好的振荡器。标准的行业惯例已经从设计振荡器变成了指定振荡器。这一章的主题就是介绍如何恰当地指定和应用振荡器和晶体。

12.1　使用罐装的时钟振荡器

如图12.1所示，由于其内部的器件被密封的金属外壳所封闭，因此称为罐装（canned）振荡器。通常，罐装振荡器由一个非常小的衬底上的厚模混合电路构成。罐装时钟振荡器在新型的数字设计中应用非常普遍。现在有些新的型式采用廉价的塑料封装。

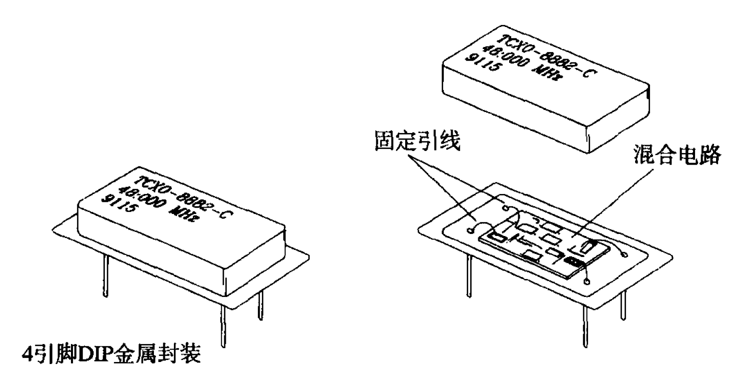


图12.1　典型的罐装振荡器

在现有的众多振荡器电路中，压电（石英）晶体振荡器经常被用在高品质的数字设备中。系统设计师主要看重其非常准确的输出频率。

与数字电路的延时相比，压电时钟振荡器非常准确，以至于时钟频率的变化有时可以忽略。参照式（11.4），T_{CLK}变化0.01%，其他延时参数几乎不需要调整。忽略晶体时钟变化的做法适用于只采用单一时钟的简单状态机。

稍微复杂一些的数字结构对于时钟性能有严格的要求。例如，当我们在两台运行时钟分别独立的设备之间传送数据时，如果使用异步的先进先出（first-in-first-out，FIFO）缓冲器把两个设备连接起来，该FIFO的深度将会增长或缩短，其速率与两设备的时钟速度差成正比。任何涉及两个时钟频率之间差异的设计，都可能需要特别精确或特别稳定的振荡器。

在军用和其他高可靠性的应用中，要采用它们自己的特殊需求。军用上的特殊需求包括振荡器对振动、冲击、湿度和高温的反应。有些程序还需要加速老化、筛选或其他的后期测试。这些测试把大多数商用振荡器供货商排除在外，而且增加了生产成本。如果不需要特殊的筛选，就不要指定有筛选这一项的器件，可以找个更便宜的商用型号。

表12.1总结了压电晶体振荡器的主要数据参数，显示了对于各种不同的特殊应用，哪些参数特别重要。特殊应用的类别包括通信、军事和表面贴装。下面将分别讨论每个参数。

表 12.1 罐装振荡器的特性 *

参数	单位	CX	MIL	SMT
工作频率				
频率	Hz	×		
稳定性	±ppm	×		
老化	±ppm	×		
电压敏感度	ppm/V	×		
允许工作条件				
温度	℃		×	
输入电压	V			
冲击	G's，s		×	
振动	G's，Hz 或 G_{RMS}			
湿度	% 相对湿度		×	
电特性输出类型	TTL，CMOS，ECL			
最大负载	N，pF			
占空比	% HI 或 LO		×	
上升 / 下降时间	ns 或 ps			
输入电流	mA			
机械结构				
封装引脚	DIP，0.5DIP 或 SMT			×
结构	金属或塑料			×
生产工艺				
可焊接性	℃，s			×
清洗	允许的液体类型			×
封装泄漏率	Atm cc/s		×	
可靠性				
功能性筛选	% 筛选		×	
老化	℃，h	×	×	
控制与调整（Bell and whistles）				
差分输出	是 / 否			
使能	是 / 否			
压控输出（VCO）	ppm/V	×		
微调	ppm	×		

*CX，通信；MIL，军事；SMT，表面贴装。

12.1.1 频率指标

- 频率
- 稳定性
- 老化
- 电压敏感度

频率参数取自标称工作频率或中心频率，其假设条件为室内温度、正常工作电压、无老化。罐装振荡器的标称工作频率可以在10 kHz到300 MHz之间的任意一点。这些振荡器中晶体的基本工作频率范围最高到40 MHz。供货商通过对晶体基频的谐波进行滤波和放大，可以合成出更高的时钟频率。标称频率通常以赫兹（Hz，kHz或MHz）标明。

实际的工作频率可能漂移到中心频率以上或以下。数据手册按照稳定性指标把所有工作频率的偏差一起处理。稳定性的单位采用百分率（对于性能差的器件）或者百万分率（parts per million ppm）（对于好的器件）表示。100 ppm 等于 0.01%。稳定性有时候表示在频率指标的后面：50.00 MHz ± 100 ppm。

曾经有段时期，供货商通常用振荡器外壳上标注的频率值末尾零的个数来指示其精度和稳定性。例如，一个标识 4.000 00 MHz 的振荡器被认为要比标识 4.00 MHz 更好。现在已不再是这样，末尾零的个数不再与稳定性相关，应该忽略。

稳定性指标把因温度、生产过程、工作电压和老化产生的偏差统一来表示，通过单一的数值综合了所有这 4 个允许参数，显示了最坏情况下发生漂移的期望值。4 个参数中，温度的变化导致的漂移最大。为了克服温度漂移，提高压电数字振荡器性能的级别有（至少）3 个：无温度补偿、温度补偿和恒温控制。

无温度补偿振荡器（non compensated oscillator）的输出频率随其晶体的固有谐振频率的不同而不同。温度补偿振荡器（temperature-compensating oscillator）又称为 TXCO，其中包含克服温度漂移的电路。TXCO 器件自然就更贵一些。最特殊的振荡器是在温度受控制的恒温箱中加热晶体，以保持精确的工作温度[①]。这些恒温控制振荡器（oven-controlled oscillators）可以在很宽的温度范围内提供最好的稳定性。图 12.2 显示了不同工作温度范围内这 3 种级别产品稳定性的期望值。

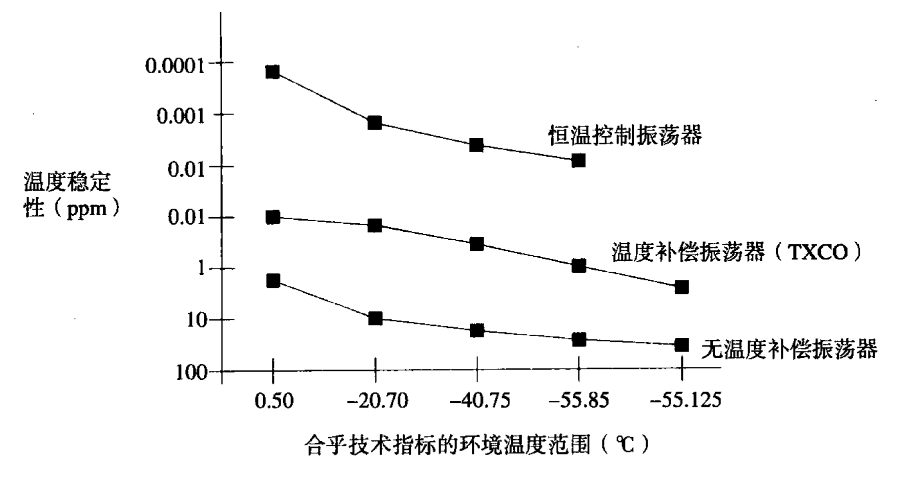


图 12.2　三种振荡器类型的频率稳定性（数据来自 Vectron 实验室）

在大部分的数据手册里，老化被从稳定性的其他方面单独分离出来。这是合适的，因为老化导致的晶体频率漂移，每年只有几个 ppm。50 年以后，才有很多漂移。有时候生产商假设一个商用产品的寿命只有几年，因此不在 100 ppm 的稳定性指标以内，正好可以忽略老化。Viking 空间探测计划的工程师们对待老化的看法不同。老化以 ppm/year 具体说明。新的晶体老化要比老的晶体稍快一些，因此期望的指标类似于：第一年为 5 ppm，其后的每年为 3 ppm。一个真正好的晶体，采用昂贵的封装，老化率可以低到 1 ppm/year。

① 有些设计者将他们的晶体装在两层嵌套的恒温箱中，以达到更高的温度稳定性，内部恒温箱及其温度控制电路都包含在第一个恒温箱中，这样的振荡器称为双恒温振荡器（double oven oscillator）。

每个振荡器表现出的频率变化都是其工作电压的一个函数。数据手册中经常把这些变化和整个稳定性指标集中在一起。有时候，电压敏感度（voltage sensitivity）也被单独列出来。单独列出时的单位是ppm/V。当系统的电压容限与振荡器指定的工作电压范围不同时，我们可以用振荡器的 ppm/V 值来计算出预期的工作电压范围内频率的预期变化。

12.1.2 允许的工作条件

- 温度
- 输入电压
- 冲击
- 振动
- 湿度

电子器件的温度范围通常以摄氏度（℃）来标明，如：0℃~70℃。对于晶体振荡器，总是处在一个指定的工作温度范围以内。如果必须超出这个范围，就要购买工作温度范围更宽的晶体。下面关于晶体的背景材料有助于理解其原因。

频率的变化是由于晶体对温度所固有的敏感性。与所有的材料一样，石英晶体对温度变化会产生应力反应。随着环境温度的变化，石英晶体的各向异性结构通过弯曲、挠曲或其他细微的形状变化反应这种应力。任何形状的变化都会影响工作频率。对于任何晶体，我们都能描绘出工作频率随温度变化的函数曲线。对于每个特定的振荡器，这个曲线是固定的，不会随时间而发生变化。

图12.3给出了几个不同振荡器的频率随温度变化的曲线。注意看一下显著不同的地方。工作温度范围在 -50℃~100℃，曲线 D 最好。从 -50℃~100℃的变化不超过25 ppm。范围限定在 0℃~50℃，曲线 A 最好。在这个范围内，它的变化小于5 ppm。但是，在 -50℃~100℃的范围内，变化几乎为100 ppm。在整个温度范围内，没有绝对最好的曲线。

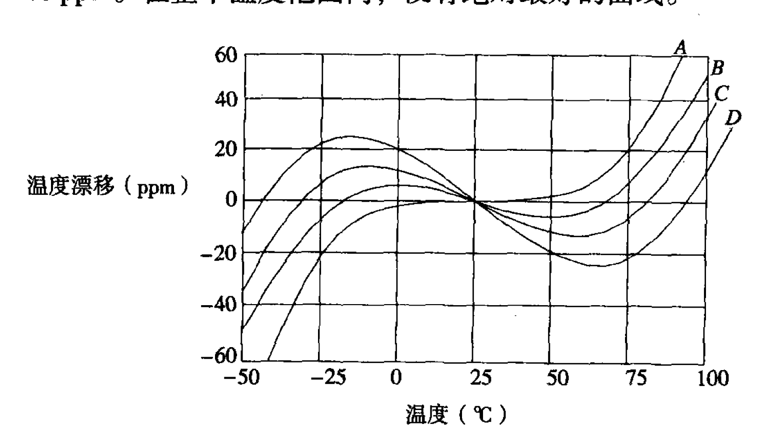


图 12.3 石英晶体的温度漂移

令人惊奇的是，图12.3中的曲线是完全可重复的。每个特定的曲线都是由石英晶体已知的精确切割角度产生的结果。既然所有生产商都采用相同的材料（石英），并且都知道需要用不同的切割角度来产生不同的温度曲线，我们可以预知所有生产商的石英晶体的温度漂移特性都是类似的。

注意，晶体的温度漂移与温度的关系是非线性的。不能假设通过测量振荡器在高温（热）和低温（冷）时的漂移，就可以得到整个温度漂移特性。

振荡器的输入电压（或者电源电压）与集成电路的 V_{CC} 指标一样。它用一个范围（4.5 ~ 5.5 V）或者一个百分比偏差（+5 V±10%）来表示。有些 TXCO 和 VCO 模块需要双电源输入，但大多数只使用单电源。

冲击，在振荡器术语中，指机械的震动冲击，不是电气冲击。振荡器必须承受的测试是由气动机械在标定的强度下，故意将振荡器打进固定目标。冲击的指标是测量当振荡器被打击进入目标时所施加的突然负加速度及其持续时间。加速度以单位 *G*'s 表示，1 *G* 等于地球的重力加速度。负加速度只持续几个毫秒（ms）。一个好的冲击试验应该在三维空间的每个轴向上的两个方向施加冲击。

振动，类似于冲击，是指猛烈地摇动振荡器。对于该测试，操作员把振荡器固定在移动盘（又称其为振动台）上，然后施加标定的振动。与冲击测试一样，振动测试也包括了 3 个轴向。正弦振动采用固定的频率和幅度，类似于反复的冲击测试。它反复地振动该产品，但并不测量其在其他频率点的机械谐振。扫频测试采用固定振幅，覆盖一定的频率范围。随机振动测试采用白噪声波形驱动振动台的发动机，保持 RMS（Root-Mean-Square，均方根）振动幅值为常数。在所有情况下，振动幅值单位用 *G*'s 表示。

冲击和振动测试适合于军事、航天、便携式的产品，以及其他任何可能碰到机械冲击要求苛刻的产品。

相对湿度是指大气中潮湿的度量。在 100% 的相对湿度条件下，水开始从空气中凝结。密闭焊接和罐装的封装能在100%的相对湿度条件下很好地工作。所有的设备都要通过这个测试。

12.1.3 电气特性

- 输出类型
- 最大负载
- 占空比
- 输入电流

大部分数字振荡器的输出为 TTL，CMOS 或 ECL。当采用的输出为 ECL 时，要确认是 10 K 还是 100 K 兼容，无论哪一种都必须与电路匹配。10 K 和 100 K 标准分别规定了 HI 和 LO 逻辑电平随温度变化的不同轨迹。如果把 10 K 连接到 100 K 逻辑，在极端的温度下，会使电压裕量恶化，反之亦然。

当振荡器的缓冲驱动比较差时，如果输出负载超过了指定的最大负载，可能使工作频率偏移。当振荡器的缓冲驱动比较好时，重载只会降低输出振幅值。负载指标一般是用一个扇出系数或者最大负载电容（比较好）列出的。

理想的占空比是50%。在实际的振荡器中，当要具体说明这个参数时，可能显示40%~60%或者50%±10%。在高频率时，保证好的占空比将更加困难。如果系统要使用时钟的两个沿，应该确保得到书面的占空比指标。

10%~90%上升和下降时间的单位是纳秒（ns）。要留意的是有些厂家所标称的是20%~80%上升时间。

输入电流，度量单位是毫安（mA），是频率的函数。在高频条件下，振荡器要耗费大量的功率对负载电容进行充电和放电。低功耗应用要求的是低的工作频率和轻的负载。

12.1.4 机械结构

- DIP 封装
- 半 DIP 封装
- 表贴封装

这些器件有相当多的电路位于封装内。封装必须提供容纳石英晶体、相关放大器以及把所有电路连接起来的混合电路板的空间。未来振荡器的体积不会像数字器件一样减小得那么快。

有一些厂商把他们的振荡器重新封装在一个更小的密封盒中。业界正在逐渐从流行的0.300 in，14 引脚的 DIP 封装转向半 DIP 封装和表贴封装。

12.1.5 生产问题

- 可焊接性
- 清洗
- 封装泄漏率

多数插接封装的器件采用波峰焊都没有问题。表贴封装的器件采用回流焊会带来较多的问题，因为器件要在较高的温度下经受较长的时间。应该要求振荡器厂商提供关于器件在高温IR回流焊（IR reflow）或汽相回流焊（vapor phase reflow）条件下可以经受得住的时间。

在装配过程中，电路板装配车间要多次清洗器件和板子。密封式和塑料压模封装通常都能经受得住清洗。问题是标签也在承受清洗。应该确认振荡器上的标签所使用的油墨能经受得住装配车间清洗液的清洗，否则标签就被清洗掉了。

封装的泄漏率衡量的是振荡器的密封性能。假设封装内先装满氦气，泄漏率是指气体从该封装中泄漏到一个抽空的容器中的速度。容易让人困惑的术语“10^{-8} atm cc/s”是指封装可能采用军标MIL-STD-883 Method 1014进行了测试。单位是大气压乘以立方厘米每秒（atm cc/s）。该数值表示在测试条件下，从封装中每秒泄漏出的氦气的总量（压力乘以体积）。

12.1.6 可靠性

- 功能性筛选（screening）
- 温度加速变化下的老化

功能筛选指厂商在器件发货之前，测试它的功能是否有效。1% 的筛选测试意味着 1% 的器件被抽样检测。抽样检测是检出生产过程中坏了的批次，而不是个别坏的器件。

老化是一个预先主动的可靠性测试。大多数器件，如果很快就会失效，在应力下同样也会很快失效。如果我们拿一批器件，施加应力，然后挑出失效的器件，希望剩下的器件在其后任何时间都不会失效。这种方法有一个大的缺陷，对一批器件施加应力，也许刚好只达到失效的门限。那么，结果会怎样？应力使剩余的器件更好，还是更糟？

结果是，实际应力测试的好处要远大于损害。生产商（在军方的强烈要求下）理解了这个概念，于是我们就看到了许多关于振荡器的应力测试指标。

老化指标说明的是每个器件在发货之前必须通过什么样的难关。典型测试首先进行视觉检查（目测）和功能扫描，挑出明显失效的器件。接下来，在高温条件下进行一段长期的应力作用。高温作用加快老化的效果以及加速硅电子器件的失效。然后，依次进行几个周期的快速加热和冷却，导致不牢的焊接点开裂。在经过振动测试仪的几次冲击后，老化测试过程结束，紧接着进行其他的功能测试。

如果该器件通过了这一组测试，可能没有任何问题。与没有测试的器件相比，有一点费用的损失。对于没有测试的器件的失效比例与其在现场失效后的费用，必须做出判断和选择。采用这些信息，可以决定哪个等级的前期筛选是合适的。

对于任何半导体器件，这些前期筛选测试同样都可以使用。

12.1.7　控制与调整

- 差分输出
- 使能
- 压控振荡器
- 微调

当时钟采用差分输出发送到差分输入时，有利于克服噪声环境。当分别发送到两个时钟缓冲驱动器时，可以增加振荡器的扇出。如果独立使用两个输出，要注意他们的相位偏移是多少。

使能引脚可以使时钟开启和关闭，该引脚通常只是禁止输出，而不是使振荡器停止振荡。对微功耗感兴趣的设计者，通常希望振荡器实际上停止振荡。如果振荡器确实停止振荡了，当其重新启动时，必须等待振荡器达到一个稳定状态。在开始阶段，输出可能出现局部跳变，占空比差，也可能出现频率错误。晶体振荡器的建立周期将是几万个时钟周期。

压控振荡器（Voltage-Controlled-Oscillator，VCO）的频率是电压可调的。电压控制引脚的输入电压会引起振荡器频率相应发生变化。压控振荡器有助于时钟与外部情况同步，如输入串行数据，电视信号或其他的计算机。不要设想频率随电压变化的曲线是线性的，通常都不是线性的。

对于带温度补偿（TXCO）和恒温控制的振荡器，通常我们通过一个可变电容微调生产中的偏差。这个调整如果定期更新，也可以补偿老化。由于温度变化，无补偿的振荡器会因为发生过多的漂移，导致失效。

记 忆 要 点

- 任何涉及两个时钟频率之差的设计，都可能需要特别精确或特别稳定的振荡器。
- 如果不需要特殊的筛选，就不要指定有筛选这一项的器件。
- 为了克服温度漂移，提高压电数字振荡器性能的级别有（至少）3 个：无温度补偿、温度补偿和恒温控制。
- 既然所有的生产商都使用相同的材料（石英），并且都知道需要用不同的切割角度来产生不同的温度曲线，我们可以预知所有生产商的石英晶体的温度漂移特性都类似。

12.2 时钟抖动

每个时钟振荡器中都有一个非常好的高频放大器。这个放大器把谐振电路检测到的微小电压放大至有效的逻辑电平。同时，该放大器所检测到的噪声电压也被放大，与时钟一起送到输出端。放大器不能区分时钟信号和噪声信号，对其输入端的任何信号都只进行简单的放大。无论是振荡器的生产厂商或者用户，都必须要确保没有明显的噪声进入放大器。

在比较新的振荡器中，缓冲放大做得很好，放大器的任何噪声都以时钟抖动的方式出现在输出端。时钟抖动是指时钟输出信号的转换位置相对于理想位置的任何偏差。

抖动是4种噪声源叠加的结果。首先，是晶体本身发出的噪声。与任何电阻性器件一样，晶体会因为内部电子的随机运动发出热噪声[①]；其次，晶体本身的任何机械振动或扰动也会产生噪声；第3种噪声是放大器自身的噪声，放大器的噪声通常大于晶体的热噪声和机械噪声；最后一种潜在的噪声是棘手的电源噪声。电源端耦合进的任何噪声，都会进入到放大器灵敏的输入端，电源噪声经过放大器被放大，引起大量的抖动。如果一个振荡器的输出端有大的耦合电源噪声，则称电源的抗扰度很差。许多振荡器都是这样的。

由于随机噪声源引起的时钟抖动是非常有害的，在与数据应用相关的类型中，由电源噪声导致的时钟抖动会引起间歇式的波动，使情况更严重。

无论任何时候，随机抖动都会发生。我们已经有了测量、描述和防止随机抖动的方法，但捕捉间歇式的抖动要更困难一些。

12.2.1 时钟抖动何时事关重大

在振荡器的数据手册中经常不包含抖动一项，但对于通信方面的应用应该包含抖动。

任何时候，当在两个分别由各自独立的时钟控制的数字域之间传输数据时，时钟抖动就会很重要。例如，假设有两个设备A和B，各自的时钟分别同步于相同的参考时钟源（见图12.4），其共同的参考时钟源频率为8 kHz[②]。两个区段的时钟频率是154.4 MHz，是参考时钟频率的20 000倍。数据从A区段开始通过FIFO到达B区段。从理论上讲，由于FIFO的输入输出速率相同，一旦开始工作，其填充数量将保持在一个恒定水平。实际上，两个时钟很难完全相同。共同时间参考信号每隔20 000个时钟周期到来一次，在参考时钟两个沿之间的大量时间里，两个时钟就偏离了。实际上，两个时钟之间的抖动会使FIFO深度快速不停地来回变化。时钟相对于参考频率比值越大，结果会变得越差。非常大的抖动将导致FIFO溢出或者清空。FIFO变化的最大偏差与两个时钟之间最大的相位差相对应。

12.2.2 测量时钟抖动

至少有3种方法可以测量时钟抖动，分别是：频谱分析、直接相位测量和差分相位测量。对于数字工程师来说，利用现有的典型设备，最简单的测量技术是差分相位测量。因为可以从有关时钟抖动的繁杂文献中找到关于3种方法的参考资料，所以这里对3种方法进行简要的分析。

---

① 采用LC振荡回路或者其他谐振构件的振荡器电路也会出现类似的电气和机械噪声结果。

② 这是一个通用的通信参考时钟频率。

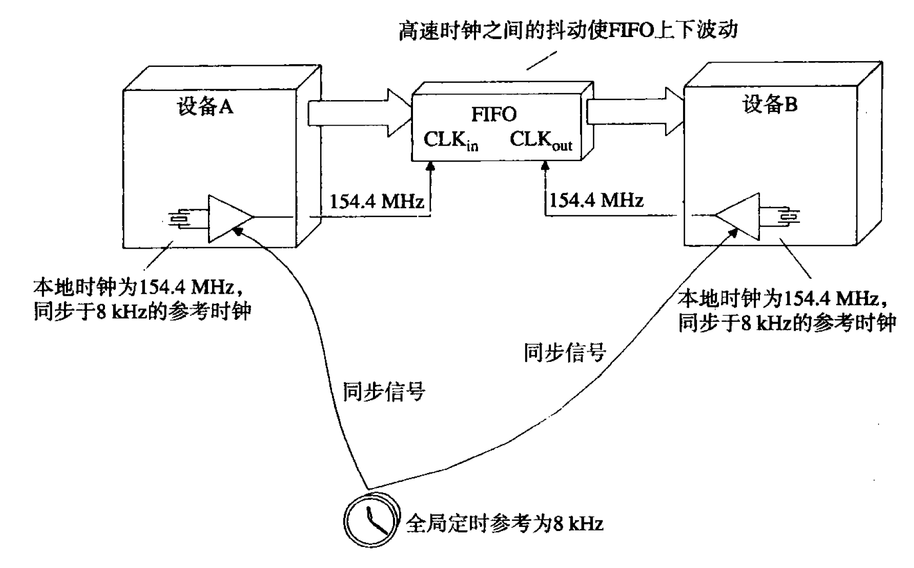


图 12.4　同步数字设备之间的数据交换

如果有足够的设备，很容易进行频谱分析，只要把抖动时钟连接到高品质的频谱分析仪上即可。一个理想时钟的频谱由无限个基频谐波上的频率窄脉冲组成。精确测量一个抖动时钟的频谱，会发现基频和每个谐波周围的频谱有一个微小的展宽，这个展宽与时钟抖动相关。简单表述一下，当一个时钟在频率F上运行一段时间，我们看到的尖脉冲与时钟在该频率上所保持的时间的百分比相关。当时钟的相位抖动时，该瞬时频率引起它的频谱在基频的周围展宽。频谱分析在通信工程中应用得非常普遍。

频谱分析的难题是，不能直接指出相位误差的结果。频谱只能告诉我们时钟到过什么频率点，但不能表明停留了多长时间。时钟偏离中心频率拖延的时间太长，会积累成一个大的相位误差。如果时钟来回偏离中心频率的速度非常快，到达同一频率的时间比例相同，但每次到达所停留的时间非常短暂，因此几乎没有积累相位误差。从频谱上无法确定相对于理想位置的最大相位偏差。

如果可以使用一个理想的时钟，就能够通过一个相位检测器把抖动时钟与它进行直接比较。该直接相位测量的输出结果正是我们想知道的：时钟抖动了多少。这种方法的明显难度是要得到一个理想的时钟。可以尝试通过一个锁相环对抖动时钟进行滤波，产生一个有同样平均频率的平滑时钟。锁相环输出的相位误差将是我们要找的抖动信号。当然，如果我们要测量一个高品质频率源的抖动，那么构造一个低抖动的锁相环可能就不太容易了。

差分相位测量是把抖动时钟与时钟的延时形式相比较，而不是理想时钟。如果延时足够大，延时了的波形与原始的波形就不相关了。比较两个相似但不相同的抖动时钟，可以得到比较结果。差分抖动的结果是实际抖动的两倍。使用延时时钟的好处是它自然就有正确的平均频率。差分抖动测量需要一个带有延时基准扫描特性的示波器。首先，设置示波器为时钟波形触发方式，然后采用延时基准扫描，通过仔细观测几百、上千或上万个时钟周期后，抖动会使显示的波形模糊不清。

假设在观测由于时钟抖动所产生的波形模糊之前，采用相同的设置，观察一个稳定时钟源。如果看上去很清晰，则可以假设该示波器的时钟基准是足够准确的，可以进行测量。

这时调整延时间隔，会发现抖动变得更差了或者更好了，这是正常的。在有些频带上，时钟抖动比较厉害，从而导致在特定的时间延时上，达到预期差分抖动的最大值。超出最大时间延时，抖动变得与延时完全不相关。随着延时的增加，抖动不再发生变化。

如果抖动的量值超过半个时钟周期，连续的时钟沿模糊在一起，辨识起来非常困难。在这种情况下，在显示之前，通过一个计数器电路使时钟被2，4或更大的数除（分频）。分频不会改变最坏情况下每个时钟沿的抖动，但它使标称时钟的跳变间距变长，因此我们可以看到抖动发生的位置。

为了测量一个精确的石英晶体时钟的抖动，需要一个非常稳定的时钟基准，才能长时间测量。对于串行数据传输中使用的非石英晶体振荡器，因为其抖动大得多，所以测量也容易多了。

12.2.3 测量电源的抗扰度

因为电源噪声是时钟抖动的最大原因之一，我们需要一种方法直接测量其影响。让我们把电源噪声插入到振荡器中，看看会发生什么。采用如图12.5所示的电路，可以调整所插入的电源噪声的频率和幅值。

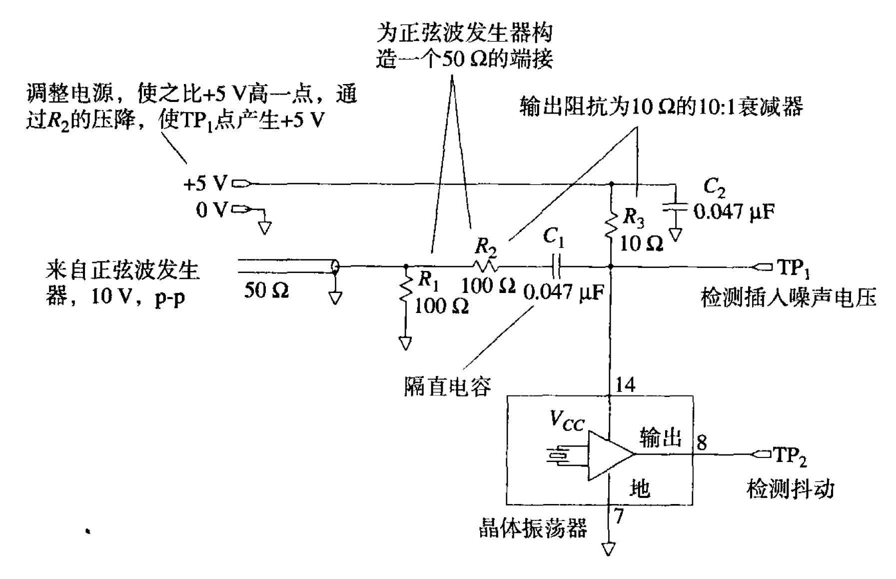


图12.5 电源的抗扰度测试

我们将把插入的噪声电压固定到一个已知的幅值，然后绘出抖动与插入噪声频率的曲线。采用12.2.2节中的差分抖动测量技术来估算抖动。准备一张图表来显示插入噪声频率，其对数值的范围从10 kHz到100 MHz或者更大。

开始时，设置噪声幅值为0.5 V。对于每个频率点，首先调整插入噪声幅值为0.5 V，然后设置差分时间基准延时为：

$$\Delta T = \frac{0.5}{F} \qquad (12.1)$$

其中，ΔT = 差分时间基准延时，s

F = 插入噪声频率，Hz

式（12.1）中特定的时间延时将总是显示最差的抖动。通过在示波器上扫描出抖动与时间延时的波形来验证，确实是这样。据此，只要记录下在每个频率点F上延时为ΔT时测量到的差分抖动即可。

从示波器上模糊的图中估算出每个频率点的抖动是需要技巧的。如果有可能，记录下这些图，以便能够排列起来观察结果。

如果示波器有点积累特性（如Teketronix11403示波器就有），可以在固定时间周期内显示抖动，然后进行分析并找出实际的抖动变化。一种简单的分析技术是首先计算位于HI和LO逻辑电平之间有多少个点，见图12.6，Teketronix11403示波器可以为我们计算这些捕捉到的时钟沿跳变的点。然后，查看在多大的水平偏移上包含了80%的点。抖动的变化为这些水平偏移的21%。

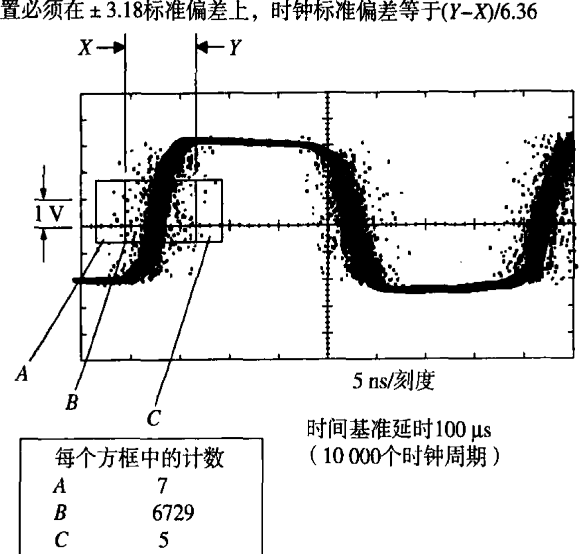


图 12.6　时钟抖动波形的点积累

有时，我们会发现在某个频率范围上，振荡器对于电源噪声变得非常敏感。这个结果通常是由于振荡器内部电源滤波不充分造成的。图12.7中较差的抗扰度曲线显示出了电源滤波不足的特征。

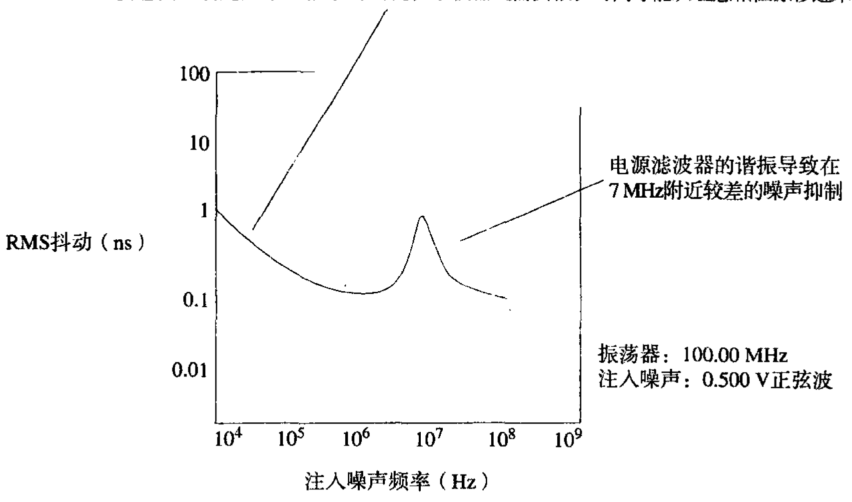


图 12.7　时钟振荡器的电源抗扰度

此外，更严重的结果是抑制。在某些插入噪声频率上，振荡器内部电源滤波器件可能产生共振。该频率上一个小的插入噪声电压会导致非常大的抖动。大的插入噪声电压可能使内部放大器的运行中断，整个振荡器停止振荡。停止振荡的振荡器称为被抑制。

12.2.4 时钟源的电源滤波

如果振荡器的电源抗扰度很差，或者振荡器必须工作在一个噪声系统中，就要为其提供特殊的电源滤波，滤波所需要的量取决于抖动必须达到的减少量。精确地确定抖动的减少量几乎不可能，因为所有的参数都在变化：

- 在许多振荡器中，抖动性能都没有标明。当采购部门购买不同品牌的振荡器时，抖动将发生变化。
- 当装配不同品牌的集成电路（或许是一个跳变更快的器件）时，系统噪声将发生变化。

但是，你还是需要做一些事情，因此可以试一下图12.8中的电路。在14 MHz以上的频带，电源噪声可以减少20 dB。14 MHz以上的衰减斜率是20 dB/十倍频程。两个部分叠加，将产生双倍的衰减。

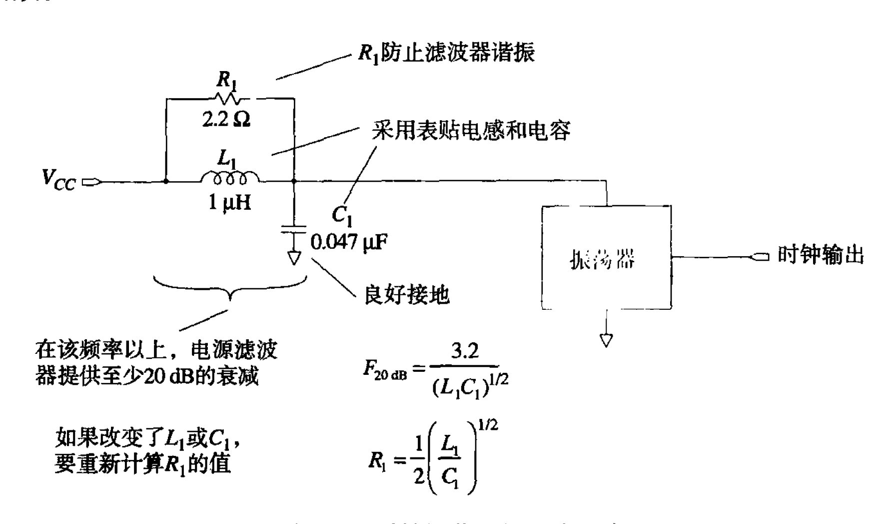


图12.8 时钟振荡器的滤波电路

在增加电源滤波器前后，采用12.2.2节的差分相位测量技术检查抖动的变化，会看出明显的改善。

一个大的电感或电容，在低频段会增加滤波器的衰减。对于任何LC电路的组合，20 dB的衰减频率为：

$$F_{20\text{dB}}=\frac{3.2}{(LC)^{1/2}} \tag{12.2}$$

对于任何新的LC电路组合，为了防止这个滤波电路产生谐振，需要重新计算电阻R的值：

$$R=\frac{1}{2}\left(\frac{L}{C}\right)^{1/2} \tag{12.3}$$

当在一个电路板上布放这个滤波电路时，要注意保持输入和输出的良好隔离。电容必须直接连接到完整地平面，至少有一个大的（0.035 in 直径）的通孔。保持所有电路走线尽可能短（小于 0.1 in）。最好采用表面贴装器件。

图 12.9 显示了这种电源滤波器电路在罐装振荡器中的 3 种运用。注意，当使用正偏置 ECL 电路时，是 +5 V 电源端建立起时钟振荡器和与其相关的缓冲驱动器之间的共同电压参考。对于正偏置的 ECL 振荡器，滤波的是地输入，而不是 +5 V 输入。

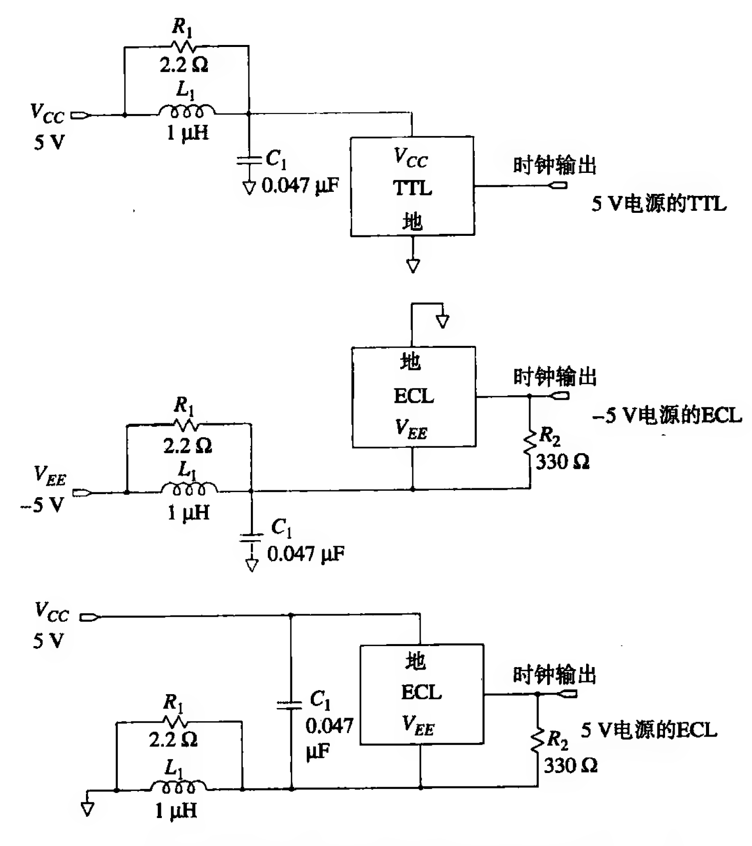


图 12.9　为时钟振荡器增加的滤波器电路

记忆要点

- 在振荡器的数据手册中经常不包含抖动这一项，但对于通信方面的应用应该包含抖动。
- 差分相位测量是把抖动时钟与时钟的延时形式相比较，而不是与理想时钟相比较。
- 如果振荡器电源的抗扰度很差，或者必须工作在一个噪声系统中，就要为其提供特殊的电源滤波。

附录A 记忆要点

本附录精选了全书中所有的要点。每个条目按照书中所论述的章节列出，对于系统设计，它可以用做一个检查表，或者在面临难题时作为本书的一个索引。

第1章 基础知识

1.1 ● 电路的高频响应影响其对瞬时过程的处理。

● 电路的低频响应影响其对长期过程的处理。

● 数字脉冲大部分的能量集中在转折频率以下：

$$F_{\text{knee}} = \frac{0.5}{T_r}$$

● 电路对阶跃信号边沿的处理取决于它的转折频率特性。

● 高于 F_{knee} 部分的电路频率特性对于数字性能几乎没有影响。

1.2 ● 传播延迟与介电常数的平方根成正比。

● 信号在空气中的传播延迟是 85 ps/in。

● 印刷电路板外层走线的传播速度比内层走线的快。

1.3

$$\text{上升沿长度}\ l = \frac{\text{上升时间（ps）}}{\text{延迟（ps/in）}}$$

● 尺寸小于信号有效长度的 $l/6$，则该电路是集总电路。

1.6 ● 电容测量装置可以很容易地采用一个脉冲源和一个示波器来搭建。

1.8 ● L/R 指数衰减曲线下的面积提供了衰减时间常数的一个精确值。

● 脉冲发生器或者示波器的上升时间慢，不会改变电感测量夹具测量到的波形面积。

1.10 ● 在高速数字电路中，互感通常比互容的问题更严重。

第2章 逻辑门电路的高速特性

2.1 ● 如今，正如继电器逻辑时代那样，功率和封装对于系统性能仍有很大的影响。

2.2 ● 在计算器件的功率时，应该包括动态功耗和驱动重负载时的功耗。

2.3 ● 如果两个逻辑系列产品的最大传播延迟的统计数字相同，那么，输出转换时间最慢的那个将会比较便宜，并且比较容易使用。

● 已知电压的上升时间和负载，可以推算出一个输出电路中的电流变化率 dI/dt。

- 当把上升时间减少一半时，容性负载的电流变化率 dI/dt 将增至4倍。
- 一个完整系统电压容限的预算要考虑到电源供电的变化、地电位的偏移、信号串扰、振铃以及温差的影响。

2.4
- 在高速状态下，逻辑器件封装的电感至关重要。
- 流过一个接地引脚的输出开关电流会引起地弹，地弹可能引起触发器的双重触发问题。
- 热阻是上升温度与功耗的比值。
- 热量从管芯流到它的外壳，然后从外壳传导到周围环境：

$$\Theta_{JA}=\Theta_{JC}+\Theta_{CA}$$

- 400 ft/min 是相当大的气流。

第3章 测量技术

3.1
- 计算总的上升时间时，将各部分的10%～90%上升时间值的平方累加。

3.2
- 一个10 pF的探头带有3 in长的接地线，会导致2.8 ns的10%~90%上升时间。除此之外，当由低阻抗信号源驱动时，会产生振铃。
- 加粗接地引线对于解决振铃问题几乎没有什么帮助。
- 尽量缩短地线环路，可以有效地改善振铃现象，并减少上升时间。

3.3
- 探头的接地尽量放在感兴趣的测试点附近，这样可以减少地线检测回路的面积。
- 接地线应该尽可能短，或用刀片将探头的屏蔽层与电路板的地直接相连。
- 制作一个磁场检测器来测试由互感耦合产生的噪声。

3.4
- 对于一个3 ns的上升沿，10 pF探头相当于100 Ω的负载。
- 探头的电容值越小，意味着电路的负载越小，得到的测量结果越好。

3.5
- 自制的21:1探头具有极好的上升时间。

3.6
- 单端示波器探头对屏蔽电压的响应，就好像它是一个真正的信号一样。
- 为了检测是否有屏蔽电流引起的噪声，可以把探头触点用铝箔裹上，然后把探头和地线接到测试电路的地线上。
- 把示波器的两个差分探头都暂时连接到一个共同的信号点，并调整两个探头的增益使之相等，即可最大程度地抵消其信号波形。

3.7
- 通过时钟触发来观察串行数据流。

3.8
- 测试时，足够慢的时钟使得信号的瞬变值在下一个时钟周期开始之前衰减掉。

3.9
- 通过暂时改变系统的方法，可以放大串扰信号的可视效果。

3.10
- 测量一个系统在go-nogo测试失败前能承受多大的压力测试。这个过程将一个简单的go-nogo测试转化为产品系列的量化值。

3.11 ● 所有触发器都有亚稳态特性。

● 触发器输出延迟大于T秒的概率随着时间T的增长呈指数下降。

第4章 传输线

4.1 ● 如果不端接，分布电路总是会振铃。如果集总参数电路的Q值太高，同样也可能振铃。

● 点对点布线存在大的电感。该电感与一个大的电容负载一起工作时，会形成一个高Q值的电路。

● 在大的电流环路中，电流快速变化时会产生瞬变的磁场。减少电流环路的面积将降低EMI。

● 直接的点对点连线，把导线下压，以尽可能地贴近接地平面，比集中或捆绑导线要好得多。

● 具有大量连线的系统应该特别注意串扰。

4.2 ● 一个无限长的传输线，其输入阻抗看上去应该是阻性的，而不是容性的。

● 传输线的电感和电容的简单关系式为：

$$L = Z_0 T_p$$

$$C = \frac{T_p}{Z_0}$$

● 对于普通的数字应用，导线总电阻通常是传输线阻抗的很小一部分。

● 趋肤效应严重限制了长传输线的频率响应。

● 对于短线数字应用，传输线衰减的dB值与频率的平方根成正比（趋肤效应）。

● 邻近效应对于传输线衰减只有很小的影响。

● 低于1 GHz的数字应用，可以忽略介电损耗。

4.3 ● 任何连接到一条传输线的源端及负载阻抗的实际组合都将会降低它的性能。

● 一个传输线系统的频率响应是：

$$S_\infty(w) = \frac{A(w)H_X(w)T(w)}{1 - R_2(w)H_X^2(w)R_1(w)}$$

● 只有当往返的延迟超过了信号的上升时间时，过冲和振铃才会发生。

● 消除反射可以通过减小R_2（末端端接），减小R_1（串联端接），或者确保线路足够短（使$H_X = 1$）来实现。

4.4 ● 容性负载使得通过信号的上升时间产生劣化，并使脉冲反射回源端。

● 均匀分布的容性负载使得传输线的有效阻抗降低，并使它的响应变慢。

● 印刷电路走线可以作为一个有效的小延迟线。

4.5 ● 对于印刷电路板走线而言，最重要的数据是线宽与对地距离的比值。

● 把反射预算乘以2，可以得到特性阻抗和端接电阻之间所容许的失配范围。

● 物理尺寸发生大的变化，对阻抗的影响并不大。

● 任意函数的对数 - 对数曲线斜率，等于函数对其参数变化时的敏感度。
● 所有有关传输速率的公式，都与有效介电常数的平方根成反比。

第5章 地平面和叠层

5.1 ● 高速电流信号沿着最小电感路径前进。
● 返回信号电流趋向于信号导体的附近,电流密度随着其相互距离增加的平方而下降。

5.2 ● 返回信号电流产生磁场，该磁场反过来在其他的电路走线上产生感应电压。
● 耦合到邻近走线的感应噪声，随着相互距离增加的平方而下降。

5.3 ● 地平面开槽会产生不必要的电感。
● 槽电感会减慢上升沿。
● 槽电感会产生互感串扰。

5.4 ● 如果必须采用双面板（两层），可以使用电源和地的栅格系统。

5.5 ● 对于高速逻辑，应该避免采用指状的布局。

5.6 ● 一个完整的接地平面可以提供接地保护走线的大部分好处。

5.7 关于长传输线，有如下几个特点：

● 在完整的地平面上，感性和容性串扰是相等的。前向串扰分量相抵消，而反向串扰分量相互加强。
● 在开槽或不完整的地平面上，感性耦合大于容性耦合，使前向串扰变大，为负值。
● 前向串扰与输入信号的导数以及线长成正比。
● 反向耦合看起来像一个方波脉冲，高度为常数，脉冲的持续时间是$2T_p$。对于短线，反向耦合达不到它的最大值。
● 当反向串扰遇到一个低阻抗驱动器的时候，将反射回远端。

5.8.3 ● 通常，电路的走线密度越大，每一英寸的生产成本就越高。
● 印刷电路板的费用与层的数目以及板子的表面面积成正比。
● 首先设计电源层和地层。
● 由于机械原因，在叠层中总是倾向于使用对称的平面设计。
● 走线越细，间隔越小，产生的串扰就越多。

5.8.4 ● 不要指望能占用引脚通孔之间超过一半的空间。
● 如果没有其他信息可以利用，就采用 Rent 的理论计算出平均走线长度。

5.8.5 ● 芯层和预浸材料层是交替的。
● 如果外层是电镀的，其走线与内层相比有非常大的变化。
● 在布线层上的走线往往沉入预浸材料之内，其厚度不增加板子的总厚度。
● 完整的地平面的厚度总会增加板子的总厚度。

5.8.6 ● 对于最高速的电路板，使地和电源平面直接相邻。
● 使用额外的地平面而不是电源平面来隔离布线层。

第6章 端接

6.1 ● 当负载为容性时,末端端接电路的上升时间是驱动相同负载的串联端接电路的一半。
● 大多数的TTL或CMOS逻辑门电路不能提供充足的电流来驱动末端端接器。
● 可以在末端端接线上用菊花链方式连接接收器。

6.2 ● 源端端接器比末端端接器的上升时间慢，通常有比较小的剩余反射。
● 不要在源端端接线上采用菊花链方式连接接收器。
● 从理想的源端端接值中减去驱动器的输出阻抗。
● 在低速率时，源端端接器耗散很小的功率。
● 源端端接线和末端端接（偏置在中间点）线的峰值驱动功率相同。

6.3 ● 中间端接付出了信号衰减的代价，但是可以改善系统的阶跃响应。

6.4 ● RC电路组合能端接直流平衡的线路，没有静态功耗浪费。

6.5 ● 要指定端接电阻的阻抗值公差和功率的等级。
● 端接电阻的寄生电感会引起不必要的反射。

6.6 ● 端接电阻的实际布局会影响信号路径间的串扰。

第7章 通孔

7.1 ● 走线通孔的完工直径取决于钻孔和电镀技术。孔越小，费用越高。
● 焊盘大小由钻孔公差和孔环需求决定。孔环决定了是否会被穿破。
● 最小的空隙由线宽公差和标称的焊盘位置决定。空隙决定了焊接是否会搭桥。
● 降低焊盘大小和空隙可以增加路径，但是会减少产量。

7.2 ● 通孔电容的影响很小，但是可以测算。
● 一个通孔或走线比例模型的电容是实际通孔电容的X倍，其中，X是模型的比例。

7.3 ● 通孔电感降低了旁路电容的旁路能力。
● 一组旁路电容比一个旁路电容更有效。
● 上升时间越短，电源滤波会变得越困难。

第8章 电源系统

8.1 电源系统设计的三条准则：

1. 在门电路之间采用低阻抗的地连接。
2. 任何两个门电路电源引脚之间的阻抗应该与地引脚之间的阻抗一样低。
3. 在电源和地之间必须有一条低阻抗路径。

8.2.1 ● 传感线用于校正电源分配线中的阻抗。

8.2.2 ● 只是使用比较粗的线，几乎不可能减少布线电感。
● 采用宽的、扁平的、并行结构的分配线比使用圆形引线要好得多。
● 实际上，差分传输是可以抵抗电源波动干扰的。

8.2.3 ● 电源在低频时提供低的阻抗。
● 局部的旁路电容在较高的频率上提供低的阻抗。

8.2.4 ● 得到非常低的电感的最好方法是并联许多小电容。

8.2.5 ● 电源和地平面之间的间距为0.01 in，绝缘为FR-4，其电容为100 pF/in^2。

8.2.6 ● 用一个简单的测试夹具来测量供电电源的阶跃响应。

8.3 ● 在一个系统中，如果不考虑系统设计结果而混合使用TTL和ECL，这不是个好主意。
● 如果电源分配线的阻抗太大，每块印刷电路板的局部电压将会不一致。
● 当一块电路板插入一个工作背板时，由于板上旁路电容要充电到满电压，它要吸收巨大的电流。
● 电源线中的电流变化容易导致数字产品的辐射。

8.4.1 ● 引脚电感像一个电感线圈一样，与电容串联。
● 等效串联电阻像一个电阻一样，与电容串联。
● 引脚电感和等效串联电阻共同发挥作用，降低了电容作为一个旁路元件的效果。

8.4.2 ● 对于容量值大的电容，与大型封装相比，小型封装的串联电感和ESR比较高。
● 电容的性能千差万别。

8.4.3 ● 咨询一下电路板是否会用波峰焊或回流焊装配。

8.4.5 ● 与电介质常数较低的材料相比，电介质常数较高的材料能在比较小的封装空间上得到较大的容量，但是温度系数和老化稳定性比较差。
● 铝电解电容在低温应用中的工作性能比较差。

8.4.6 ● 电容的故障是一种统计现象。在高电压的情况下会增加电容故障。

第9章 连接器

9.1 ● 连接器产生的串扰主要是因为互感的原因，而不是因为互容。
● 在连接器上分布地线能减少串扰。

9.2 ● 信号电流流过大的环路会导致EMI辐射。
● 为每个连接器提供一个低电感的返回电流路径。
● 破坏或消除远端返回电流路径。

9.3 ● 与点到点连接应用相比，在多支路总线的应用中，连接器系统的负荷要大。

- 对于多支路应用,我们需要寄生电容非常低的连接器,即使要付出电感更大的代价。

9.4 ● 通过一个简单的测试装置可以展示出连接器串扰的特征。

9.5 ● 如果连接器上的返回信号电流必须绕过地平面上的洞，那么在连接器上接再多的地也于事无补，与在连接器两端单接一个接地引脚相比，性能没有任何提高。

9.6 ● 裸露在印刷电路板之间的高速信号线路经常无法通过 FCC 和 VDE 的辐射测试。

- 如果容许减缓上升时间，即可对所有输出的数字信号在离开机箱之前进行滤波。
- 共模扼流圈能减少远端返回环路中的电流。
- 图 9.14 中的搭接线上电流环 *A* 的辐射通常很大，足以超过 FCC/VDE 限制。

9.7 ● 在高速设计中，需要使用特殊的连接器控制串扰和 EMI。

9.8 ● 差分接收不受发送与接收端地电压偏移的影响。

- 在一个设计得很好的差分驱动中，共模电流不到主要电流的 1/100。

9.9 ● 当一块板卡插入带电的背板时，引脚高度不同的特性可以帮助安排实现电源软启动和复位操作的顺序。

第 10 章 扁平电缆

10.1 ● 任何扁平电缆的上升时间都随其长度的平方而变化。

- 所有的电缆,无论是同轴电缆、双绞线还是扁平电缆,都有相同的基本频率响应。其频率响应，以分贝为单位，与频率的平方根成反比。
- 扁平电缆的电介质结构，影响信号传播的速度和衰减。

10.2 ● 只要提供足够的接地，串扰衰减可以达到任何级别。

- 串扰按 $1/x^2$ 衰减。同时，串扰和发送导线与其最近的返回导线之间的间距 Δ_1，以及和接收导线与其最近的地线之间的距离 Δ_2 成正比。
- 在地 - 信号 - 地配置或 *G-S-G* 的配置中，相邻最近的信号之间的反向串扰系数大约是 2~5%。
- 在双绞线电缆中，如果上升沿长度超过 *N* 个双绞旋进 (precession) 周期，其耦合值有望达到普通平行导线电缆的 1/*N*。
- 远端串扰会随着在电缆上的传播而积累。
- 近端串扰的幅度与电缆长度无关，会保持不变。但是，随着电缆的延伸，脉冲的宽度会变宽。

10.3 ● 扁平电缆能不断发展到今天，原因在于它与成排端接连接时非常便宜。

- 任何连接器的方案，都会引入寄生电感和电容。

10.4 ● 屏蔽为信号电流提供了一条电感非常低的返回路径。

- 当使用螺旋缠绕屏蔽时，要确保在重叠缠绕层与前一个缠绕层之间的连接处具有良好的电气连接。
- 屏蔽中的搭接线是一个薄弱点。

第11章 时钟分配

11.1 ● 定时裕量用于衡量每个时钟周期中保留的时间间隙(slack)或额外时间(excess time)。
● 定时裕量可以防止由于信号串扰、逻辑延迟计算中的错误、后期布线中的小变更造成的对电路的影响。

11.2 ● 时钟偏移和传播延迟一样会影响整体的工作速度。

11.3 ● 把两个或者多个驱动器的输出并联在一起，即可做成一个简便的大功率驱动器。
● TTL时钟信号所需要的总的驱动功率是ECL电路的25倍。

11.4 ● 对于时钟分支线路电容的敏感度，20 Ω时钟线比50 Ω时钟线低2.5倍。

11.5 ● 在严格的条件下，单个驱动器可以驱动两个或多个源端端接的线路。

11.6 ● 提供特别串扰保护的物理方法比较简单，逻辑方法比较复杂。

11.7 ● 延迟元件由3种基本的延迟构件组成：传输线、逻辑门电路和无源集总电路。
● 固定延迟不能够抵消板子制造或有源器件的延迟带来的延迟变化。
● 可调整延迟可以补偿电路中其他任何实际延迟，而不仅是标称延迟。
● 无论选用的是哪种形式的固定延迟，在定时裕量的计算中都要考虑加入延迟的不确定性。

11.8 ● 只要串扰对于差分时钟线两部分的影响相同，就不会导致定时抖动。

11.9 ● 随着时钟穿过一串中继器链路，占空比将发生变化。
● 与非反转的中继器链路相比，反转的中继器链路上的时钟信号传播得更远，有更好的占空比。

11.10 ● 电感可以抵消时钟接收器的部分寄生电容。

11.11 ● 衰减网络能增加时钟接收器的有效输入阻抗。

第12章 时钟振荡器

12.1 ● 任何涉及两个时钟频率之差的设计，都可能需要特别精确或特别稳定的振荡器。
● 如果不需要特殊的筛选，就不要指定有筛选这一项的器件。
● 为了克服温度漂移，提高压电数字振荡器性能的级别有（至少）3个：无温度补偿、温度补偿和恒温控制。
● 既然所有的生产商都使用相同的材料(石英)，并且都知道需要用不同的切割角度来产生不同的温度曲线，我们可以预知所有生产商的石英晶体的温度漂移特性都类似。

12.2 ● 在振荡器的数据手册中经常不包含抖动这一项，但对于通信方面的应用应该包含抖动。
● 差分相位测量是把抖动时钟与时钟的延时形式相比较，而不是与理想时钟相比较。
● 如果振荡器电源的抗扰度很差，或者必须工作在一个噪声系统中，就要为其提供特殊的电源滤波。

附录B　计算上升时间

$$T_{总} = \left(T_{r1}^{\ 2} + T_{r2}^{\ 2} + \cdots + T_{rN}^{\ 2}\right)^{1/2} \qquad (B.1)$$

式（B.1）把整个系统的上升时间$T_{总}$与系统各个部分的上升时间联系了起来。该式适用于线性级联系统（如脉冲发生器、探头和示波器的组合），这些系统都是以线性方式来处理数字阶跃的。

当数字阶跃通过脉冲发生器、探头和示波器中的线性元件时，这些元件会使上升沿的边缘劣化。采用线性处理元件的好处是，可以在它的输出端看到输入波形的细微变化，缺点是总会引起一些小的失真。式（B.1）建立了该上升时间失真的数学模型。

与线性元件相对应的是非线性元件，如逻辑门电路。逻辑门电路中包含有饱和放大器，饱和放大器在输出端重新生成了一个新的上升沿。因此，式（B.1）不适用于饱和放大器。

如果我们知道了一个级联系统中每个部分的上升时间，可以使用式（B.1）推算出系统总的上升时间。在光纤系统设计中，有一个应用式（B.1）的典型例子。其中，必须分别对光发射器、光纤特性和电接收器的上升时间进行规划，使系统总的上升时间满足预定的指标。式（B.1）揭示了系统各组成部分是如何共同影响整个系统的。

相应地，如果除了某个部分之外，知道系统总的上升时间以及所有其他各部分的上升时间，则可以推算出该剩余部分的上升时间。这种巧妙方法的典型应用是在元件的测试中。我们假定通过预先的测量知道了示波器的上升时间，然后可以测量出芯片的输出上升时间，再使用式（B.1）减去示波器的影响。结果将会更准确地反映芯片实际的上升时间。使用的示波器只要稍微快于芯片上升时间，就能够得到相当精确的结果。

测量整个系统中某一部分的上升时间的测试条件很容易定义，但是实际做起来并不容易。首先必须断开被测部分的输入，然后为其输入一个理想的矩形边沿，并且在其输出端测量上升时间（阶跃响应）。

注意，我们已经讨论过测量上升时间的测试条件，但没有讨论如何精确地定义上升时间。幸运的是，对于式（B.1）这几乎不是问题！对于大多数数字系统的计算，可以选择采用10%~90%上升时间、20%~80%上升时间、阶跃中心斜率的倒数或数学上的精确值T_{σ}（接下来会给出定义），等等。几乎任何形式的量值都适用，只要式（B.1）中所有的项都统一使用同一形式的量值。

由于卷积运算的一个通用特性[①]，式（B.1）具有广泛的适用性（robustness）。

对多个冲激响应进行卷积运算时，其方差（variance）相加。

通过下面一系列逻辑推导，可以把卷积的特性和式（B.1）联系起来：

① 当系统级联时，其冲激响应求卷积。因此卷积运算的特性决定了整个系统的工作特性。

1. 方差是标准偏差（standard deviation）的平方。
2. 脉冲的标准偏差与其宽度成正比。
3. 冲激响应的宽度和与之相应的阶跃响应的上升时间成正比。
4. 因此，方差与上升时间的平方成正比。

用“上升时间的平方”替换卷积特性中的“方差”一词，得出式（B.1）。

现在，我们可以讨论为什么在式（B.1）中无论采用哪种上升时间定义都没有问题。首先确认，任何上升时间值只要与冲激响应的标准偏差成正比，都将完全符合式（B.1）。

与基于冲激响应的标准偏差不同，基于参量的上升时间值近似地符合式（B.1），近似程度与其冲激响应标准偏差的一致性有关。幸运的是，所有常用的上升时间值恰好都与基于标准偏差的值非常接近。这的确是一个幸运的巧合，因为正如在下面第B.2.1节所讨论的，标准偏差的测量非常困难。表B.1显示了实践中较容易测量的各种上升时间值和与其对应的标准偏差的值，这些值非常接近。除非正准备在该领域写论文，否则采用任何一种上升时间定义都没有问题。

为了举例说明这个事实，在表B.1中列出了3种不同波形的上升时间值：单极型、双极临界阻尼型和高斯型。三种波形都被归一化，因而其标准偏差上升时间是同等的。表后给出了脉冲波形的详细定义。

表B.1列出了5种不同上升时间的测量值。正如所看到的，大部分测量值相当一致。接下来讨论的是这些值是如何定义的，以及每种定义的优势和缺点。

表B.1 3种波形实例的上升时间值

冲激类型	T_σ	$T_{10\%\text{-}90\%}$	$T_{20\%\text{-}80\%}$	$T_{中心斜率}$	$T_{最大斜率}$	$F_{3\,dB}$	F_{RMS}
单极型，RC=0.399	1.00	0.877	0.553	0.798	0.399	0.399	0.626
双极临界阻尼型，$(LC)^{1/2}=0.282$	1.00	0.947	0.612	0.900	0.767	0.363	0.443
高斯型，$t_3=0.281$	1.00	1.02	0.672	1.00	1.00	0.332	0.354

表B.1也列出了系统带宽的两种不同表示形式。由于示波器制造商坚持以系统带宽而不是上升时间来给出性能，有时候必须把系统带宽指标转换成对应的上升时间。如果有一些波形类型的知识（示波器的阶跃响应往往看成高斯型），表B.1有助于完成这个转换。

另外，除了表B.1的数据之外，我还曾见到，在光纤领域倾向于用高斯型频率响应的6 dB点来定义带宽。对应于表B.1的第3行，6 dB点带宽是0.47 Hz。

当采用不同方法把一组上升时间值有理化时，将很方便地把所有的形式转换成一个标准上升时间定义。利用表B.1及脉冲类型的知识，即可将一种类型的值转换成其他类型的值。

如果打算采用式（B.1），将各个值转换成T_σ形式最有意义。举例来说，假如已知电路响应的简单RC时间常数τ，按照第B.2.5节所解释的，时间常数τ等于最大斜率上升时间$T_{最大斜率}$。我们手头的图表显示，对于一个单极性电路，T_σ和$T_{最大斜率}$的比率为：

$$\frac{T_\sigma}{T_{最大斜率}}=\frac{1.00}{0.399}=2.506=2.5 \tag{B.2}$$

该比值乘以τ，得到T_σ的期望值。

如果想用10%~90%上升时间代替T_σ，可以用比率：

$$\frac{T_{10\%\sim90\%}}{T_{最大斜率}} = \frac{0.877}{0.399} = 2.197 = 2.2 \qquad (B.3)$$

10%~90% 上升时间和 T_σ 之间相差约 12%（1–2.2/2.5）。在应用式（B.1）时，为了使精确度尽可能最大，应该使用 T_σ。对于临时的测量，或者为了在后期便于整理分析实验报表，可以使用 $T_{10\%\sim90\%}$。

带宽和上升时间之间的转换可以依照一个原理，即对于每种类型的信号，其带宽与上升时间的乘积为常数。例如，从表中可以知道一个高斯冲激响应的 3 dB 带宽与 10%~90% 上升时间的积为：

$$F_{3\,dB}T_{10\%\sim90\%} = 0.332 \times 1.02 = 0.339 = \frac{1}{3} \qquad (B.4)$$

用这个乘积除以实际的 3 dB 带宽，即可得到 10%~90% 上升时间。注意，其他波形的带宽与上升时间的乘积与之不完全相同，但相当接近。这个例子说明了一点：带宽与上升时间的乘积与波形基本无关。

根据表 B.1 可以推断：当不能确定波形类型时，最差的测量方法是最大斜率法和 RMS 带宽法。由 10%~90% 中心斜率法和 3 dB 带宽测量法产生的结果一直比较好，与波形无关。因为这些测量方法更精确地逼近标准偏差方法。

B.1 表 B.1 中的 3 种脉冲波形

各种上升时间值之间的关系依照波形类型的不同而变化。为了说明各种值之间的差异，我们将使用 3 种波形举例：单极型、双极型和高斯型。

B.1.1 单极型脉冲

单极脉冲波形是由一个理想的直角边沿阶跃输入通过一个单极型 RC 低通滤波器而形成的指数衰减输出。下面的公式列出了这个滤波器的冲激响应及其阶跃响应（由一个理想的直角边沿脉冲输入所激发），以及冲激响应的傅里叶变换。

$$h_1(t) = U(t)\frac{1}{t_1}e^{-(t/t_1)} \qquad (B.5)$$

$$h_{阶跃\,1}(t) = U(t)\left(1 - e^{-(t/t_1)}\right) \qquad (B.6)$$

$$H_1(w) = \frac{1}{1 + jwt_1} \qquad (B.7)$$

其中，$h_1(t)$ = 单极冲激响应

$h_{阶跃\,1}(t)$ = 单极阶跃响应

$H_1(w)$ = $h_1(t)$ 的傅里叶变换

$U(t)$ = 单位阶跃，$t < 0$ 时为 0，其他时间为 1

t_1 = 指数衰减的常数，对于 R 和 C 构成的低通滤波器等于 RC；对于 L 和 R 构成的低通滤波器则等于 L/R；表 B.1 中的 $RC = 0.399$

在3种波形中，单极波形的起始斜率最大。起始斜率的倒数等于RC时间常数t_1。这个波形的一个关键特征是其上升沿是陡峭的边沿，在该处输出的斜率从停止状态突然变为快速上升。可以回想起在傅里叶分析中，这个陡峭的边沿导致频谱在高频部分以$1/f$的速率下降。

B.1.2 双极临界阻尼脉冲

实例中第二个脉冲的形状是一个双极型衰减，由一个理想的矩形阶跃输入通过一个双极临界阻尼RLC低通滤波器产生[①]。这种类型的脉冲特性介于单极型和高斯型特性之间。

下面的公式列出了这个滤波器的冲激响应和由一个理想矩形脉冲输入激励的阶跃响应，以及冲激响应的傅里叶变换：

$$h_2(t)=U(t)\frac{1}{(t_2)^2}te^{-(t/t_2)} \tag{B.8}$$

$$\mathrm{h}_{阶跃2}(t)=U(t)\left[1-\left(1+\frac{t}{t_2}\right)e^{-(t/t_2)}\right] \tag{B.9}$$

$$H_2(w)=\left(\frac{1}{1+jwt_2}\right)^2 \tag{B.10}$$

其中，$h_2(t)$ = 双极临界阻尼的冲激响应

$\mathrm{h}_{阶跃2}(t)$ = 双极临界阻尼的阶跃响应

$H_2(w)=h_2(t)$的傅里叶变换

$U(t)$= 单位阶跃，$t<0$时为0，其他时间为1

t_1= 指数衰减常数，等于$LC^{1/2}$；在表B.1中$LC^{1/2}=0.282$

双极临界阻尼波形的一个关键特征是其上升沿的拐角是平滑的。输出从初始的停止状态以平滑的曲线向上形成一个上升斜率。其最大斜率小于单极波形，大于高斯波形。其阶跃响应的拖尾部分比其上升部分稍长。

可以回想起在傅里叶分析中，双极低通滤波器频谱的高频部分以$1/f^2$的速率下降。

B.1.3 高斯脉冲

实例中最后一个脉冲的形状是高斯脉冲。这种脉冲形式是大多数复杂系统的正常结果。

中心极限定理告诉我们，当对许多类似的冲激响应求卷积时，其结果总是表现为高斯特性。这正是设计一个示波器的放大器链路时发生的情况。

为了避免在单个部分花费过多的成本，放大器链路上各个部分的设计带宽仅足以通过额定的信号。其结果是系统由若干级具有相似带宽的滤波器串联而成，其总的冲激响应趋近于高斯特性。

下面的公式列出了高斯滤波器的冲激响应和由一个理想的矩形脉冲输入激励的阶跃响应，以及冲激响应的傅里叶变换：

$$g(t)=\frac{1}{2\pi^{1/2}t_3}e^{-(t/2t_3)^2} \tag{B.11}$$

① 严重的欠阻尼滤波器表现为振铃，因此测量上升时间变得非常困难。

$$g_{阶跃}(t) = \frac{1}{2}\left[1+\mathrm{erf}\left(\frac{t}{2t_3}\right)\right] \quad (B.12)$$

$$G(w) = e^{-(t_3 w)^2} \quad (B.13)$$

其中，$g(t)$ = 高斯冲激响应

$g_{阶跃}(t)$ = 高斯阶跃响应

$G(w)$ = $g(t)$的傅里叶变换

$U(t)$= 单位阶跃，$t<0$ 时为 0，其他时间为 1

t_3 = 高斯时间衰减常数；在表 B.1 中，$t_3 = 0.281$

erf() = 误差函数；高斯函数的积分

高斯型阶跃响应的一个关键特征是其对称性。上升的前沿和拖尾的后沿都是优美的平滑曲线。最大的斜率发生在曲线的正中央。

在某种意义上讲，这条曲线似乎在其中央达到一个适当的斜率，同时使其高阶导数最小。其频谱随频率的升高而快速地下降。

B.2　表 B.1 中的 5 种脉冲上升时间值

B.2.1　阶跃上升时间的标准偏差值 T_σ

这里我们着眼于通过冲激响应（阶跃响应的导数）来测量阶跃响应的上升时间。

T_σ 等于冲激响应的标准偏差乘以比例因子$(2\pi)^{1/2}$。标准偏差是冲激响应宽度的一个量值，反过来它决定了阶跃响应的上升时间。

$$\sigma^2 = \int_{-\infty}^{+\infty} t^2 \frac{h(t)}{H(0)} dt - \left[\int_{-\infty}^{+\infty} \frac{h(t)}{H(0)} dt\right]^2 \quad (B.14)$$

$$t_\sigma = \left(2\pi\sigma^2\right)^{1/2} \quad (B.15)$$

其中，$h(t)$ = 冲激响应；是输入端送入一个高的、极窄的尖峰信号时系统的输出结果；阶跃响应（冲激响应的积分）是输入端送入一个理想的矩形沿阶跃时系统输出的结果

σ^2 = $h(t)$的方差

σ = $h(t)$的标准偏差（方差的平方根）

t_σ = 标准偏差的标量形式

$H(0)$ = $h(t)$在频率为零（直流）时的傅里叶变换值

对于高斯脉冲，比例因子$(2\pi)^{1/2}$确保了 4 种上升时间 t_σ，10%~90%，中心斜率和最大斜率的测量产生相同的结果。

让我们对此进行一个简要证明。首先取$(2\pi)^{1/2}$约等于 2.5。如果从高斯脉冲波形原点两边标出标准偏差为 1.25 的点，则已经覆盖了波形曲线下总面积的 79%，剩下 21% 的面积在标记之外（每边各 10.5%）。

当我们对高斯型冲激响应做积分运算以求得其阶跃响应时，会发现在标记之间阶跃响应从最大值的 10.5% 变到 84.5%。对其取整到 10% 和 90%，可以得出结论：对于高斯波形，T_σ 和 10%~90% 上升时间是相同的。

采用 T_σ 作为对上升时间量值的主要好处是，对于式（B.1）一直非常适合。

使用 T_σ 的主要缺点在于其定义中包含了冲激响应。对于一个阶跃响应，在采用式（B.14）和式（B.15）的定义之前，必须首先对其进行导数运算，以求得其冲激响应。说实话，这个微分计算，与计算式（B.14）和式（B.15）一样，是相当困难的。

幸运的是，我们可以用其他任何形式的上升时间的量值代替式（B.1）中的 T_σ，所得到的结果的精确度足以满足实际试验的要求。

B.2.2 10%~90% 上升时间

这个上升时间被定义为：一个阶跃响应经过其最终幅度 10% 点的时刻与达到 90% 点的时刻之间的时间差值。许多数字示波器能自动完成这个测量。

$$T_{10\%\sim90\%} = T\,(\text{阶跃的 }90\%) - T(\text{阶跃的 }10\%) \tag{B.16}$$

在测量中，10%~90%上升时间只与阶跃响应上的两个点相关，其主要优点是易于实现，其主要缺点是对于采样点上出现的噪声和振铃敏感。

B.2.3 20%~80% 上升时间

这个上升时间被定义为：一个阶跃响应经过其最终幅度 20% 点的时刻与达到 80% 点的时刻之间的时间差值。有些制造商希望使说明书看起来体面一些，有时会提供一个 20%~80% 上升时间，这使上升时间从数字上看起来比较快一些。

$$T_{20\%\sim80\%} = T\,(\text{阶跃的 }80\%) - T\,(\text{阶跃的 }20\%) \tag{B.17}$$

在测量中，20%~80%上升时间只与阶跃响应上的两个点相关，其主要优点是易于实现，其主要缺点是对于采样点上出现的噪声和振铃敏感。

B.2.4 中心斜率上升时间

中心斜率上升时间由阶跃响应经过其幅值中心点时的斜率决定，这个值可以很容易地从示波器的照片或图上得到。只要在脉冲幅值的中心点处画一条切线，然后测量直线和脉冲初始值的交点与直线和脉冲 100% 幅值的相交点之间的时间差即可。

$$T_{\text{中心斜率}} = \frac{\Delta v}{dV/dt(50\%)} \tag{B.18}$$

其中，$\Delta v = 0$ 和 100% 幅值之间的电压差

$dV/dt\,(50\%)$ = 电压的导数，在 50% 点（中心点电平）处的值

这个值包含了阶跃响应中心附近的区域，其主要优点是使该值离开了两端的渐近线，与 10%~90% 的测量相比，它对振铃的敏感度降低。而且，视觉上的综合可以校正脉冲波形曲线，并且可以补偿波形缺陷。

其主要缺点是用一般的示波器很少能够直接进行测量。10%~90%或20%~80%上升时间的

值可以通过数字示波器上光标的间距差直接读出。与之不同的是，斜率方法需要一些手工计算或示波器绘出的图纸。

B.2.5 最大斜率上升时间

最大斜率上升时间只取决于阶跃响应的最大斜率，这个值可以很容易地从示波器的照片或图上得到。只需在脉冲上升最快的点（通常在起始点附近）处画一条切线，然后测量直线与脉冲初值及 100% 最终幅值的相交点之间的时间差即可。

$$T_{\text{最大斜率}} = \frac{\Delta v}{dV/dt(\text{最大})} \tag{B.19}$$

其中，Δv =0 和 100% 幅值之间的电压差

dV/dt(最大)= 电压的导数，在变化最快的点处测量

对于简单的 RC 或 LR 滤波器，最大斜率的上升时间等于衰减常数 τ，作为确定 RC 或 LR 衰减常数的方法，最大斜率法是一个很好的方法。

其主要缺点是用一般的示波器很少能够直接进行测量。10%~90% 或 20%~80% 上升时间的值可以通过数字示波器上光标的间距差直接读出。与之不同的是，斜率方法需要一些手工计算或示波器绘出的图纸，而且需要首先确定最大斜率点。

B.3 表 B.1 中的两种带宽值

B.3.1 3 dB 带宽

这个值正如其名称的字面含义。检查一个系统冲激响应的傅里叶变换，找出振幅数值下降到其直流以下 3 dB 点的频率。

对于示波器，输入频率等于垂直放大器 3 dB 频率点的正弦波，显示在屏幕上的振幅只有它实际振幅的 70.7%。

B.3.2 均方根（RMS）或噪声带宽

考虑到整个频谱的模型，这个值通常用于放大器噪声分析中。一个低通滤波器的均方根带宽是：

$$F_{\text{RMS}} = \frac{1}{2\pi}\int_0^{+\infty} \frac{|H(w)|^2}{H(0)^2}\,dw \tag{B.20}$$

其中，F_{RMS} = RMS 带宽，Hz

$H(w)$= 系统部件的频率响应

w 的单位为弧度 /s

$H(0)$ = 直流频率响应；如果 H 是一个带通滤波器，应采用频带的中心频率替代

频率响应 $H(w)$ 的噪声带宽或均方根带宽可以用一个截止频率来表示，在该频率以下的一个单位矩形频率响应的系统可以通过与 $H(w)$ 等量的白噪声能量。均方根带宽与均方根宽度不同，均方根宽度用于证明高斯滤波器在压缩时间宽度与压缩频率响应之间提供了最好的折衷。

这里出现该值是因为示波器制造商在描述设备性能的时候经常使用它。

附录C　MathCAD公式[①]

本附录列出了各种物理结构的电阻、电容和电感的标准计算公式。

为了确保完全准确，公式按照MathCAD的电子数据表形式给出。那些熟悉数学电子数据表的读者，可以使用这种电子格式定义方程，计算方程的值，并绘出结果。

为了尽可能保证准确性,作者已经使用MathCAD软件并配合常用的测试案例计算了下列每个公式，并对结果进行了手工检查。每个方程一经被确认是正确的，它的最后形式就直接打印输出，并显示在该附录中，没有再经过手工排版修饰。这种显示方式不一定完美，但在最大程度上保证了准确性[②]。

这些公式可以手工使用。或者，如果有计算机，可以输入一个数学电子数据表程序。我们推荐采用数学电子数据表方式，因为可以将其打印输出，留下书面的记录，而且很容易将其装订成册。

常数

下面列出了各种常数（如自由空间的介电常数、磁导率（系数）、光速，等等）。

PHYSICAL CONSTANTS USED IN TRANSMISSION LINE WORK　　　file: constant.mcd

Electric permittivity of free space (metric)　　$E0_meters := 8.854 \cdot 10^{-12}$ F/m

Recalculate in in.　　$E0_inches := E0_meters \cdot 0.0254$

Display calculated value　　$E0_inches = 2.249 \cdot 10^{-13}$

Magnetic permeability of free space (metric)　　$U0_meters := 4 \cdot \pi \cdot 10^{-7}$ H/m

Recalculate in in.　　$U0_inches := U0_meters \cdot 0.0254$

Display calculated value　　$U0_inches = 3.192 \cdot 10^{-8}$

We often need this number　　$\frac{U0_inches}{2 \cdot \pi} = 5.08 \cdot 10^{-9}$

Speed of light (metric)　　$C_meters := 2.998 \cdot 10^{8}$ m/s

Recalculated in in.　　$C_inches := \frac{C_meters}{0.0254}$

Display calculated value　　$C_inches = 1.18 \cdot 10^{10}$

---

① 可以从Howard W. Johnson博士的有关信号完整性的网页（www.sigcon.com或signalintegrity.com）下载这些公式。Johnson博士提供了不同MathCAD版本的公式，采用的是ZIP压缩文件形式。译文采用的是原著的第16次印刷版本，并在末尾附上了Johnson博士在网站上提供的最新传输线仿真模型。为了便于阅读，在每一部分前面加上了标题，与原版有所区别，请读者阅读中注意。——译者注

② 由于译文采用了从网站下载的公式，已做了排版格式的调整，但为了保留作者的原意图，我们仍按原文进行了翻译。——译者注

Propagation delay at light speed (ps/in.) $\frac{10^{12}}{C_inches}=84.723$

铜导线和铜走线的直流阻抗

包括导线规格（美国线规）与线径的转换，印刷电路板电镀的重量与铜的厚度的转换，等等。

DC RESISTANCE OF COPPER WIRES AND TRACES file: resist.mcd

Conversion formulas included in this spreadsheet:

Diameter to AWG	AWG()
AWG to diameter	DIAMETER()
Thickness to copper plating weight	CPW()
Copper plating weight to thickness	THICKNESS()

Resistance formulas included in this spreadsheet:

DC resistance of round wires	
From diameter	RROUND()
From AWG wire size	RROUND_AWG()
At room temperature only	RROUND_RT()
DC resistance of printed circuit board traces	
From trace thickness and width	RTRACE()
Using copper plating weight	RTRACE_CPW()
At room temperature only	RTRACE_RT()
DC resistance of power or ground planes	
Using thickness and via diameter	RPLANE()
Using copper plating weight	RPLANE_CPW()

Variables used:

ρ Bulk resistivity of copper $\rho := 6.787 \cdot 10^{-7}$ ohm-in.

This coefficient is slightly different from the bulk resistivity of pure copper (6.58E-07) owing to the annealing process used in making wire, and chemical imperfections in the copper used for making practical wires.

In practice, the resistance of two wires making up a twisted pair may often be matched as well as 10%, but almost never as well as 1%.

$\delta\rho$ Thermal coefficient of resistance $\delta\rho := 0.0039$ per deg. C

If the resistance of a copper wire is R at room temperature, then at a temperature 1°C higher it will be $R(1+\delta\rho)$. This coefficient applies to standard annealed copper wires. The coefficient for pure copper in its bulk state varies slightly.

Over a temperature range 0~70°C the resistance of copper wires varies 28%.

x Length of wire (in.)
(or separation between contact points on ground plane)

d Diameter of wire (in.)
(or diameter of contact point on ground plane)

AWG American wire gauge (English units)

temp Temperature (°C)

w Width of printed circuit board trace (in.)

t Thickness of printed circuit board trace (in.)

cpw Thickness of printed circuit board traces, in units of copper plating weight (oz/ft^2)

Conversions between American
Wire Gauge (AWG) and diameter (in.):

$$AWG(d) := -10 - 20 \cdot \log(d) \quad DIAMETER(awg) := 10^{-\left[\frac{awg+10}{20}\right]}$$

General formula for resistance of a round wire (Ω):

$$RROUND(d, x, temp) := \frac{4 \cdot \rho \cdot x}{\pi \cdot d^2} \cdot [1 + (temp - 20) \cdot \delta\rho]$$

Resistance of a round wire specified by AWG size instead of diameter (Ω):

```
RROUND_AWG(awg,x,temp) := RROUND(DIAMETER(awg),x,temp)
```

Resistance of a round wire at room temperature (Ω):

```
RROUND_RT(d,x) := RROUND(d,x,20)
```

Conversion between thickness, t (in.) and copper plating weight, cpw (oz):

$$THICKNESS(cpw) := 0.00137 \cdot cpw \qquad CPW(t) := \frac{t}{0.00137}$$

Resistance of a circuit trace (Ω):

$$RTRACE(w, t, x, temp) := \frac{x \cdot p}{w \cdot t} \cdot (1 + (temp - 20) \cdot \delta\rho)$$

Resistance of a trace specified by plating weight instead of thickness (Ω):

```
RTRACE_CPW(w,cpw,x,temp) := RTRACE(w,THICKNESS(cpw),x,temp)
```

Resistance of a circuit trace at room temperature (Ω):

```
RTRACE_RT(w,t,x) := RTRACE(w,t,x,20)
```

Resistance of a power or ground plane (Ω):

When using long, skinny traces or wires, the approximations above work extremely well. Each formula assumes a uniform distribution of current throughout the conducting body, for which resistance is directly proportional to length.

Currents circulating in a large ground or power plane are not uniform. Consequently, the resistance measured between two points on a ground or power plane is not directly proportional to the separation between measurement points.

The following equation models the resistance between two contact points on a ground plane. This model assumes each contact point touches the ground plane

over some finite area. The approximate diameter of the contact point determines the overall resistance.

If the contact points lie near any edge of the plane, the resistance between them may go up by a factor of 2. The resistance near corners may rise even higher.

d1	Diameter of 1st contact point (in.)
d2	Diameter of 2nd contact point (in.)
t	Thickness of plane (in.)
cpw	Thickness of plane, copper plating weight (oz)
x	Separation between contact points (in.)
temp	Temperature (°C)

Resistance of a power or ground plane (Ω):

$$\mathrm{RPLANE}(d1, d2, t, x, temp) := \frac{\rho}{2\cdot\pi\cdot t}\left(\ln\left(\frac{2\cdot x}{d1}\right)+\ln\left(\frac{2\cdot x}{d2}\right)\right)\cdot[1+(temp-20)\cdot\delta\rho]$$

Resistance of a power or ground plane specified by plating weight instead of thickness (Ω):

RPLANE_CPW(d1,d2,cpw,x,temp) := RPLANE(d1,d2,THICKNESS(cpw),x,temp)

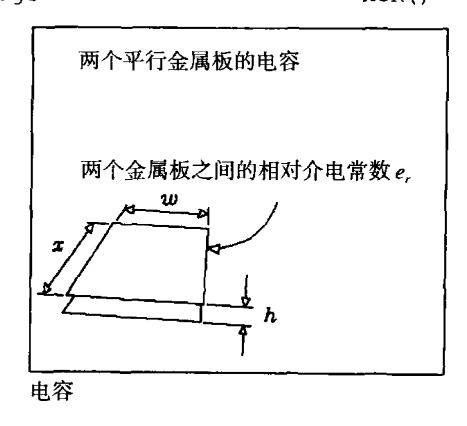
两个平行金属板的电容

最简单的公式，不包括边缘区域的影响。

CAPACITANCE OF TWO PARALLEL PLATES file: capac.mcd

Formulas included in this spreadsheet:

Capacitance of two plates	CPLATE()
Impedance magnitude of capacitor at one frequency	XCF()
Impedance magnitude of capacitor as seen by rising edge	XCR()



电容

Variables used:

w	Width of plate overlap (in.)
x	Length of plate overlap (in.)
h	Height of one plate above the other (in.)

er Relative dielectric constant of material between plates

Capacitance of two plates (F):

$$\mathrm{CPLATE}(w,x,h,er) := 2.249\cdot 10^{-13}\cdot\frac{er\cdot x\cdot w}{h}$$

A power and ground plane separated by 0.010 in. of FR-4 dielectric (er = 4.5) share a capacitance of 100 pF/in.^{2}

Halving the separation doubles the capacitance.

Impedance magnitude of capacitor at frequency f (Ω):

c Capacitance (F)

f Frequency (Hz)

$$\mathrm{XCF}(c,f) := \frac{1}{2\cdot\pi\cdot f\cdot c}$$

The impedance, at 100 MHz, of a 100-pF capacitor is 16 **Ω**.

$$\mathrm{XCF}(100\cdot 10^{-12}, 10^{8}) = 15.915$$

Impedance magnitude of capacitor as seen by rising edge (Ω):
c Capacitance (F)
tr 10-90% rise time (s)

$$\mathrm{XCR}(c,tr) := \frac{tr}{\pi\cdot c}$$

The impedance, as seen by a 5-ns rising edge of a 100-pF capacitor is 16 **Ω**.

$$\mathrm{XCF}(100\cdot 10^{-12}, 5\cdot 10^{-9}) = 15.915$$

圆形环路的电感

包括线径的影响。

INDUCTANCE OF CIRCULAR LOOP file: circular.mcd

Formulas included in this spreadsheet:

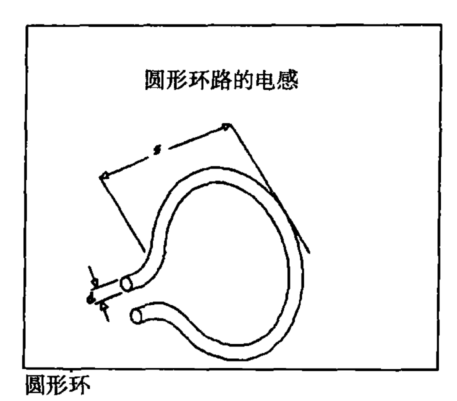
Inductance of circular wire loop	LCIRC()
Impedance magnitude of inductor at one frequency	XLF()
Impedance magnitude of inductor as seen by rising edge	XLR()

Variables used:

d Diameter of wire (in.)
x Diameter of wire loop (in.)

Inductance of wire loop (H):

$$\mathrm{LCIRC}(d,x) := 1.56\cdot 10^{-8}\cdot x\cdot\left(\ln\left(\frac{8\cdot x}{d}\right)-2\right)$$



圆形环

A loop of 24-gauge wire the size of the loop between your thumb and forefinger has about 100 nH of inductance.

$$\mathrm{LCIRC}(0.01,1.3) = 1.003 \cdot 10^{-7}$$

Changing the wire diameter from AWG 24 to AWG 14 makes little difference. The log function is rather insensitive to wire size.

$$\mathrm{LCIRC}(0.1,1.3)=5.363 \cdot 10^{-8}$$

Impedance magnitude of inductor at frequency f (**Ω**):

l　Inductance (H)
f　Frequency (Hz)

$$\mathrm{XLF}(l,f) := 2 \cdot \pi \cdot f \cdot l$$

The impedance, at 100 MHz, of a 100-nH inductor is 62 **Ω**.

$$\mathrm{XLF}\{100 \cdot 10^{-9},10^{8}\} = 62.832$$

Impedance magnitude of inductor as seen by rising edge (**Ω**):

l　Inductance (H)
tr　10-90% rise time (s)

$$\mathrm{XLT}(l,tr) := \frac{\pi \cdot l}{tr}$$

The impedance, as seen by a 5-ns rising edge, of a 100-nH inductor is 62 **Ω**.

$$\mathrm{XLT}(100 \cdot 10^{-9},5 \cdot 10^{-9}) = 62.832$$

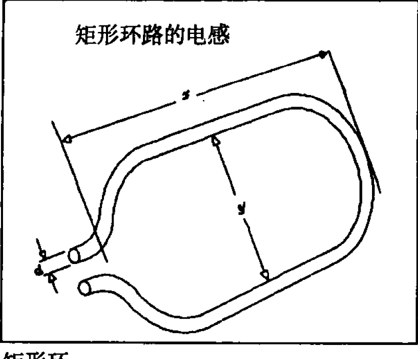
矩形环路的电感

包括线径的影响。

INDUCTANCE OF RECTANGULAR LOOPS　　file: rectangl.mcd

Formulas included in this spreadsheet:

Inductance of rectangular wire loop	LRECT()
Impedance magnitude of inductor at one frequency	XLF()
Impedance magnitude of inductor to rising edge	XLR()



矩形环

Variables used:

d Diameter of wire (in.)
x Length of wire loop (in.)
y Breadth of wire loop (in.)

Inductance of wire loop (H):

$$LRECT(d,x,y) := 10.16\cdot10^{-9}\cdot\left(x\cdot\ln\left(\frac{2\cdot y}{d}\right)+y\cdot\ln\left(\frac{2\cdot x}{d}\right)\right)$$

A loop of 24-gauge wire 1 $in.^2$ has about 100 nH of inductance.

Changing the wire diameter from AWG 30 to AWG 10 makes little difference. The log function is very insensitive to wire size.
If your loop consists of different-sized conductors, use the diameter of the smallest one.

Impedance magnitude of inductor at frequency f (Ω):

l Inductance (H)
f Frequency (Hz)

$$XLF(l,f) := 2\cdot\pi\cdot f\cdot l$$

The impedance, at 100 MHz, of a 100-nH inductor is 62 Ω.

Impedance magnitude of inductor as seen by rising edge (Ω):

l Inductance (H)
tr 10-90% rise time (s)

$$XLT(l\,tr) := \frac{\pi\cdot l}{tr}$$

The impedance, as seen by a 5-ns rising edge, of a 100-nH inductor is 62 Ω.

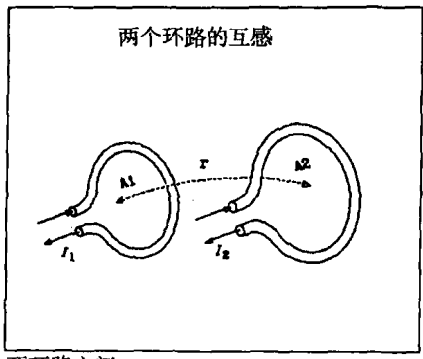
两个环路的互感（Mutual Inductance）

估算了邻近环路结构之间的相互耦合，类似于连接器中的情况。

MUTUAL INDUCTANCE OF TWO LOOPS file: mloop.mcd

Formulas included in this spreadsheet:

Mutual inductance of two loops MLOOP()



两环路之间

Variables used:

- r Separation between loop centers (in.)
- A1 Surface area of loop 1 (in.^{2})
- A2 Surface area of loop 2 (in.^{2})

(We assume the loops are flat, and that their faces are oriented parallel to each other for maximum coupling)

The loops must be well separated for the MLOOP() approximation to work:

$$r > \sqrt{A1} \quad \text{and} \quad r > \sqrt{A2}$$

Mutual inductance of two well-separated loops (nH):

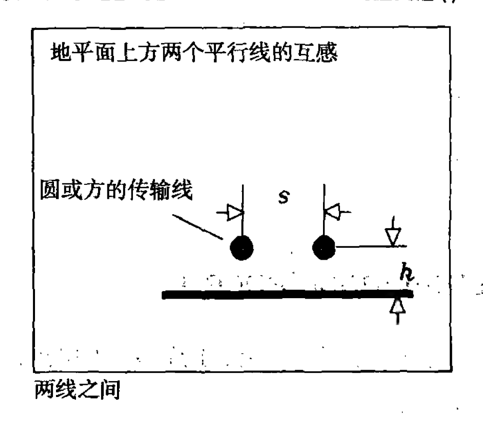
$$MLOOP(r, A1, A2) := 5.08 \cdot \frac{A1 \cdot A2}{r^3}$$

两个传输线的互感

可以用来计算当上升时间大于往返延迟时的串扰等，是一个集总元件系统。

MUTUAL INDUCTANCE OF PARALLEL TRANSMISSION LINES file: mline.mcd

Formulas included in this spreadsheet:
 Mutual inductance of two lines MLINE()



两线之间

Variables used:

- s Separation between wire centers (in.)
- h Height of wires above ground (in.)
- x Length of parallel span (in.)

(We assume that two identical transmission lines share a parallel run of length x, with a horizontal separation s.)

Let L equal the inductance (H) of the first transmission line of length x (use formula for round, microstrip, or stripline geometry as appropriate):

$$\mathrm{MLINE}(L,s,h) := L\cdot\left(\frac{1}{1+(s/h)^2}\right)$$

传输线参数间的通用关系

阻抗和延迟与每单位长度上的电感和电容的关系，反射公式。

GENERAL RELATIONS AMONG TRANSMISSION LINE PARAMETERS file: general.mcd

Conversion formulas included in this spreadsheet:

Inductance and capacitance to impedance	Z0()
Inductance and capacitance to propagation delay	PDLY1()
Effective permittivity to propagation delay	PDLY2()
Impedance and propagation delay to capacitance	CPI()
Impedance and propagation delay to inductance	LPI()

Variables used:

lpi	Inductance per inch (H)
cpi	Capacitance per inch (F)
pdly	Propagation delay (s/in.)
z0	Line impedance (Ω)
eeff	Effective relative permittivity

Given inductance per inch and capacitance per inch, find the characteristic impedance in ohms:

$$\mathrm{Z0}(lpi,cpi) := \sqrt{\frac{lpi}{cpi}}$$

Given inductance per inch and capacitance per inch, find the propagation delay per inch:

$$\mathrm{PDLY1}(lpi,cpi) := \sqrt{lpi\cdot cpi}$$

Given the effective electric permittivity of the surrounding medium, find the propagation delay per inch:

$$\mathrm{PDLY2}(eeff) := 84.72\cdot 10^{-12}\cdot\sqrt{eeff}$$

Given impedance and propagation delay, find the capacitance per inch:

$$\mathrm{CPI}(zo,pdly) := \frac{pdly}{zo}$$

Given impedance and propagation delay, find the inductance per inch:

$$\mathrm{LPI}(zo,pdly) := zo\cdot pdly$$

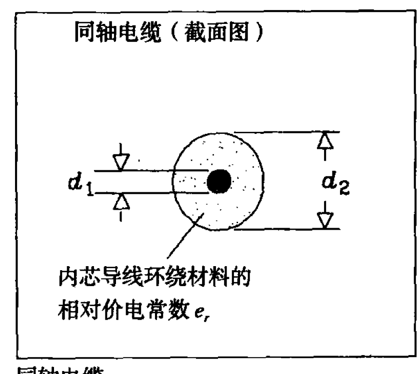
同轴传输线

同轴线每英寸的电感、电容、阻抗和延迟。

COAXIAL TRANSMISSION LINE file: coax.mcd

Formulas included in this spreadsheet:

Coaxial cable characteristic impedance	ZCOAX()
Coaxial cable propagation delay	PCOAX()
Coaxial cable inductance	LCOAX()
Coaxial cable capacitance	CCOAX()



同轴电缆

Variables used:

d1	Diameter of inner wire (in)
d2	Diameter of outer shield (in)
x	Length of cable (in)
er	Relative dielectric constant of material surrounding the inner wire

Characteristic impedance of coaxial cable (Ω):

$$\mathrm{ZCOAX(d1,d2,er)} := \frac{60}{\sqrt{\mathrm{er}}}\cdot \ln\left(\frac{\mathrm{d2}}{\mathrm{d1}}\right)$$

Propagation delay per in. for coaxial cable (s/in.):

$$\mathrm{PCOAX(er)} := 84.72\cdot 10^{-12}\cdot\sqrt{\mathrm{et}}$$

Inductance of coaxial cable (H):

$$\mathrm{LCOAX(d1,d2,x)} := \mathrm{x}\cdot 5.08\cdot 10^{-9}\cdot \ln\left(\frac{\mathrm{d2}}{\mathrm{d1}}\right)$$

Capacitance of coaxial cable (F):

$$\mathrm{CCOAX(d1,d2,er,x)} := \left(\frac{\mathrm{x}\cdot 1.41\cdot 10^{-12}}{\ln\left(\frac{\mathrm{d2}}{\mathrm{d1}}\right)}\right)\cdot \mathrm{et}$$

Example coaxial cable calculations

Diameter of AWG 30 inner wire (in.)	D1 := 0.01
Inside diameter of shield (in.)	D2 := 0.1

Length of cable (in.) X := 20.000

Relative dielectric constant er := 2.2

Characteristic impedance (Ω):

ZCOAX(D1,D2,er) = 93.144

Total inductance (H):

$LCOAX(D1,D2,X) = 2.339 \cdot 10^{-7}$

Same result in nH:

$LCOAX(D1,D2,X) \cdot 10^{9} = 233.943$

Inductance per in. (H):

$LCOAX(D1,D2,1) = 1.17 \cdot 10^{-8}$

Total capacitance (F):

$CCOAX(D1,D2,er,X) = 2.694 \cdot 10^{-11}$

Same result in pF:

$CCOAX(D1,D2,er,X) \cdot 10^{12} = 26.944$

Capacitance per in. (F):

$CCOAX(D1,D2,er,1) = 1.347 \cdot 10^{-12}$

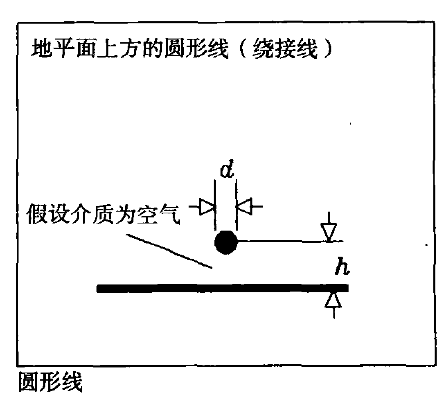
圆形（绕接线）传输线

圆形传输线每英寸的电感、电容、阻抗和延迟（绕接线或多股线）。

TRANSMISSION LINE MADE FROM ROUND WIRE (WIRE-WRAP) file: round.mcd

Formulas included in this spreadsheet:

Round wire characteristic impedance	ZROUND()
Round wire propagation delay	PROUND()
Round wire inductance	LROUND()
Round wire capacitance	CROUND()



圆形线

Variables used:

d Diameter of wire (in.)

h Height of wire above ground (in.)

x Length of wire (in.)

(We assume the wire is suspended in air, for which the relative dielectric constant is 1.00.)

Characteristic impedance of round wire above ground plane (Ω):

$$ZROUND(d,h) := 60 \cdot \ln\left(\frac{4 \cdot h}{d}\right)$$

Propagation delay per in. of round wire above ground plane (s/in):

$$PROUND(d,h) := 84.72 \cdot 10^{-12} \quad \text{(assume air dielectric)}$$

Inductance of round wire above ground plane (H):

$$LROUND(d,h,x) := x \cdot 5.08 \cdot 10^{-9} \cdot \ln\left(\frac{4 \cdot h}{d}\right)$$

Capacitance of round wire above ground plane (F):

$$CROUND(d,h,x) := \frac{x \cdot 1.413 \cdot 10^{-12}}{\ln\left(\frac{4 \cdot h}{d}\right)}$$

Example round wire calculations

Diameter of AWG 30 wire (in.) $D := 0.01$

Length of wire (in.) $X := 2.000$

Height above ground (in.) $H := 0.100$

Characteristic impedance (Ω):

$$ZROUND(D,H) = 221.333$$

Total inductance (H):

$$LROUND(D,H,X) = 3.748 \cdot 10^{-8}$$

Same result in nH:

$$LROUND(D,H,X) \cdot 10^{9} = 37.479$$

Inductance per in. (H):

$$LROUND(D,H,1) = 1.874 \cdot 10^{-8}$$

Total capacitance (F):

$$CROUND(D,H,X) = 7.661 \cdot 10^{-13}$$

Same result in units pF:

$$CROUND(D,H,X) \cdot 10^{12} = 0.766$$

Capacitance per in. (F):

$$CROUND(D,H,1) = 3.83 \cdot 10^{-13}$$

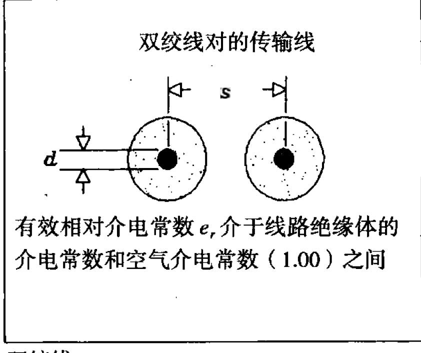
双绞线传输线

双绞线的每英寸的电感、电容、阻抗和延迟。

TRANSMISSION LINE MADE FROM TWISTED PAIR WIRE　　　file: twist.mcd

Formulas included in this spreadsheet:

Twisted-pair characteristic impedance	ZTWIST()
Twisted-pair propagation delay	PTWIST()
Twisted-pair inductance	LTWIST()
Twisted-pair capacitance	CTWIST()



双绞线

Variables used:

d	Diameter of wire (in.)
s	Separation between wires (in.)
x	Length of wire (in.)
er	Effective relative dielectric constant of medium between wires

Characteristic impedance of twisted pair (Ω):

$$\mathrm{ZTWIST}(d,s,er) := \frac{120}{\sqrt{er}} \cdot \ln\left(\frac{2 \cdot s}{d}\right)$$

Propagation delay per in. twisted pair (s/in.):

$$\mathrm{PTWIST}(er) := 84.72 \cdot 10^{-12} \cdot \sqrt{et}$$

Inductance of twisted pair (H):

$$\mathrm{LTWIST}(d,s,x) := x \cdot 10.16 \cdot 10^{-9} \cdot \ln\left(\frac{2 \cdot s}{d}\right)$$

Capacitance of twisted pair (F):

$$\mathrm{CTWIST}(d,s,er,x) := \left(\frac{x \cdot 0.7065 \cdot 10^{-12}}{\ln\left(\frac{2 \cdot s}{d}\right)}\right) \cdot et$$

Example twisted-pair calculations

Diameter of AWG 24 wire (in.)　　$D := 0.02$

Length of wire (in.)　　$X := 2.000$

Separation between wire centers (in.)   S := 0.038

Relative dielectric constant   er := 2.5

Characteristic impedance (Ω):

ZTWIST(D,S,er) = 101.319

Total inductance (H):

LTWIST(D,S,X) = $2.713 \cdot 10^{-8}$

Same result in nH:

LTWIST(D,S,X)$\cdot 10^{9}$ = 27.127

Inductance per in. (H):

LTWIST(D,S,1) = $1.356 \cdot 10^{-8}$

Total capacitance (F):

CTWIST(D,S,er,X) = $2.646 \cdot 10^{-12}$

Same result in pF:

CTWIST(D,S,er,X)$\cdot 10^{12}$ = 2.646

Capacitance per in. (F):

CTWIST(D,S,er,1) = $1.323 \cdot 10^{-12}$

微带传输线

微带线（印刷电路板的外层走线）的每英寸的电感、电容、阻抗和延迟。

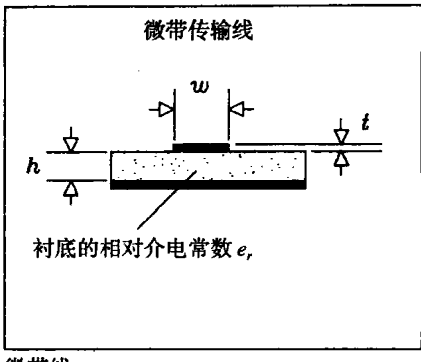
MICROSTRIP TRANSMISSION LINES   file: mstrip.mcd

Formulas included in this spreadsheet:

Effective relative permittivity	EEFF() (used internally)
Effective electrical trace width	WE() (used internally)
Microstrip characteristic impedance	ZMSTRIP()
Microstrip propagation delay	PMSTRIP()
Microstrip trace inductance	LMSTRIP()
Microstrip trace capacitance	CMSTRIP()

Formulas from: I. J. Bahl and Ramesh Garg, "Simple and accurate formulas for microstrip with finite strip thickness", Proc. IEEE, 65, 1977, pp. 1611-1612. This material is nicely summarized in T. C. Edwards, "Foundations of Microstrip Circuit Design," John Wiley, New York, 1981, reprinted 1987.

(Watch out for Edward's error in Equation 3.52b, where he omits a ln() function.)



微带线

Variables used:

h	Trace height above ground (in.)
w	Trace width (in.)
t	Trace thickness (in.)
er	Relative permittivity of material between trace and ground plane (dimensionless)
x	Trace length (in.)

Effective relative permittivity as a function of microstrip trace geometry:

For skinny traces (w < h)

$$E_skny(h,w,er) := \frac{er+1}{2}+\left(\frac{er-1}{2}\right)\cdot\left[\left(1+\frac{12\cdot h}{w}\right)^{-0.500}+0.04\cdot\left(1-\frac{w}{h}\right)^{2}\right]$$

For wide traces (w > h)

$$E_wide(h,w,er) := \frac{er+1}{2}+\left(\frac{er-1}{2}\right)\cdot\left(1+\frac{12\cdot h}{w}\right)^{-0.500}$$

Composite formula picks skinny or wide model depending on w/h ratio:

E_temp(h,w,er) := if(w>h,E_wide(h,w,er),E_skny(h,w,er))

Special adjustment to account for trace thickness:

$$EEFF(h,w,t,er) := E_temp(h,w\ er)-\frac{(er-1)\cdot\left(\frac{t}{h}\right)}{4.6\cdot\sqrt{\frac{w}{h}}}$$

When w/h is skinny, you get the average of the PCB permittivity, er, and the permittivity of air.

When w/h is wide, (the trace is very close to the ground plane) you get er.

Effective trace width as a function of other parameters (in.):

For skinny traces (2πw < h)

$$WE_skny(h,w,t) := w+\frac{1.25\cdot t}{\pi}\cdot\left(1+\ln\left(\frac{4\cdot\pi\cdot w}{t}\right)\right)$$

For wide traces (2πw > h)

$$WE_wide(h,w,t) := w+\frac{1.25\cdot t}{\pi}\left(1+\ln\left(\frac{2\cdot h}{t}\right)\right)$$

Composite formula picks skinny or wide model depending on w/h ratio:

$$WE(h,w,t) := if\left(w > \frac{h}{2\cdot\pi}, WE_wide(h,w,t), WE_skny(h,w,t)\right)$$

Characteristic impedance as a function of trace geometry (Ω):
Accuracy of better than 2 percent is obtained under the following conditions:

$0 < t/h < 0.2$
$0.1 < w/h < 20$
$0 < er < 16$

For skinny traces (w < h)

$$ZMS_skny(h,w,t) := 60\cdot\ln\left(\frac{8\cdot h}{WE(h,w,t)} + \frac{WE(h,w,t)}{4\cdot h}\right)$$

For wide traces (w > h)

$$ZMS_wide(h,w,t) := \frac{120\cdot\pi}{\frac{WE(h,w,t)}{h} + 1.393 + 0.667\cdot\ln\left(\frac{WE(h,w,t)}{h} + 1.444\right)}$$

Composite formula picks skinny or wide model depending on w/h ratio:

$$ZMSTRIP(h,w,t,er) := \frac{if(w > h, ZMS_wide(h,w,t), ZMS_skny(h,w,t))}{\sqrt{EEFF(h,w,t,er)}}$$

Microstrip propagation delay (s/in.):

$$PMSTRIP(h,w,t,er) := 84.72\cdot10^{-12}\cdot\sqrt{EEFF(h,w,t,er)}$$

Inductance of microstrip (H):

$$LMSTRIP(h,w,t,x) := PMSTRIP(h,w,t,1.)\cdot ZMSTRIP(h,w,t,1.)\cdot x$$

(Use a dummy er value of 1. It doesn't matter for inductance calculations.)
Capacitance of microstrip (F):

$$CMSTRIP(h,w,t,er,x) := \frac{PMSTRIP(h,w,t,er)}{ZMSTRIP(h,w,t,er)}\cdot x$$

Example microstrip wire calculations

Height above ground (in.) H := 0.006

Width of trace (in.) W := 0.008

Thickness of trace (in.) T := 0.00137 (1-oz copper plating weight)

Length of wire (in.) X := 11.000

Relative electric permeability (affects capacitance, but not inductance)

er := 4.5

Impedance (Ω):

ZMSTRIP(H,W,T,er) = 56.4435

Total inductance (H):

$LMSTRIP(H,W,T,X) = 9.3401\cdot10^{-8}$

Same result in nH:

$$\text{LMSTRIP}(H,W,T,X)\cdot 10^{9} = 93.4008$$

Inductance per in. (H):

$$\text{LMSTRIP}(H,W,T,1) = 8.491\cdot 10^{-9}$$

Total capacitance (F):

$$\text{CMSTRIP}(H,W,T,er,X) = 2.9317\cdot 10^{-11}$$

Same result in pF:

$$\text{CMSTRIP}(H,W,T,er,X)\cdot 10^{12} = 29.3172$$

Capacitance per in. (F):

$$\text{CMSTRIP}(H,W,T,er,1) = 2.6652\cdot 10^{-12}$$

Tolerance effects

$$\text{ZMSTRIP_TOL}(h,dh,w,dw,t,er,der) := \begin{pmatrix} \text{ZMSTRIP}(h+dh,w-dw,t,er-der) \\ \text{ZMSTRIP}(h,w,t,er) \\ \text{ZMSTRIP}(h-dh,w+dw,t,er+der) \end{pmatrix}$$

$$\alpha := \text{ZMSTRIP_TOL}(0.007,0.002,0.011,0.002,0.0022,4.5,0.1)$$

$$\alpha = \begin{pmatrix} 64.7868 \\ 51.3724 \\ 37.9267 \end{pmatrix}$$

$$\text{REFL}(x,z) := \begin{pmatrix} \frac{z-x_0}{z+x_0} \\ \frac{z-x_1}{z+x_1} \\ \frac{z-x_2}{z+x_2} \end{pmatrix}$$

$$\text{REFL}(\alpha,50) = \begin{pmatrix} -0.1288 \\ -0.0135 \\ 0.1373 \end{pmatrix}$$

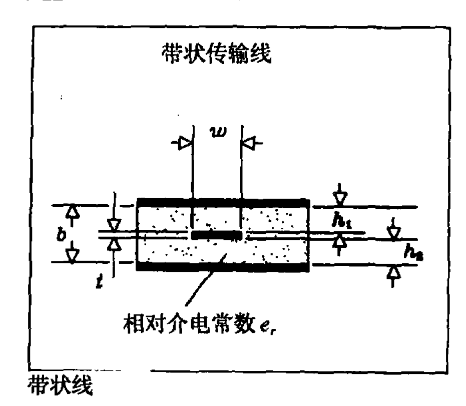
带状传输线

带状线（GND/PWR平面层之间的印刷电路板走线）的每英寸的电感、电容、阻抗和延迟。

STRIPLINE TRANSMISSION LINES file: sline.mcd

Formulas included in this spreadsheet:

Stripline characteristic impedance	ZSTRIP()
Offset stripline characteristic impedance	ZOFFSET()
Stripline propagation delay	PSTRIP()
Stripline trace inductance	LSTRIP()
Offset stripline inductance	LOSTRIP()
Stripline trace capacitance	CSTRIP()
Offset stripline capacitance	COSTRIP()



带状线

Formulas are from Seymour Cohn, "Problems in Strip Transmission Lines," MTT-3, No. 2, March 1955, pp. 199-126.

This material is summarized in Harlan Howe, Stripline Circuit Design, Artech House, Norwood, MA, 1974.

Variables used:

h1	Trace height above lower ground plane (in.)
h2	Trace headroom below upper ground plane (in.)
b	Separation between ground planes, b = h1 + h2 + t (in.)
w	Trace width (in.)
t	Trace thickness (in.)
er	Trace thickness (in.)
x	Trace length (in.)

Stripline characteristic impedance (Ω)

Accuracy of better than 1.3% is
obtained under the following conditions:

t/b < 0.25
t/w < 0.11
er unrestricted

NOTE: formula ZSTR_K1() corrected per instructions from Robert Canright of Richardson, TX. Thanks, Robert.

For skinny traces (w/b < 0.35)

$$\mathrm{ZSTR_K1}(w,t) := \left(\frac{w}{2}\right)\cdot\left(1+\frac{t}{\pi\cdot w}\cdot\left(1+\ln\left(\frac{4\cdot\pi\cdot w}{t}\right)\right)+0.255\cdot\left(\frac{t}{w}\right)^2\right)$$

$$\mathrm{ZSTR_skny}(b,w,t,er) := \frac{60}{\sqrt{er}}\cdot\ln\left(\frac{4\cdot b}{\pi\cdot \mathrm{ZSTR_k1}(w,t)}\right)$$

For wide traces (w/b > 0.35)

$$\mathrm{ZSTR_k2}(b,t) := \left[\frac{2}{1-\frac{t}{b}}\cdot\ln\left(\frac{1}{1-\frac{t}{b}}+1\right)-\left(\frac{1}{1-\frac{t}{b}}-1\right)\cdot\ln\left[\frac{1}{\left(1-\frac{t}{b}\right)^2}-1\right]\right]$$

$$ZSTR_wide(b,w,t,er) := \frac{94.15}{\dfrac{\frac{w}{b}}{1-\frac{t}{b}} + \dfrac{ZSTR_K2(b,t)}{\pi}} \cdot \frac{1}{\sqrt{er}}$$

Composite formula picks skinny or wide model depending on w/b ratio:

ZSTRIP(b,w,t,er):= if(w>0.35•b, ZSTR_wide(b,w,t,er), ZSTR_skny(b,w,t,er))

Rarely are the two parameters h1 and h2 equal in practice. The more common case is an assymetric stripline having the conducting trace offset to one side.

Offset, or asymmetric, stripline characteristic impedance (Ω)
(no accuracy guaranteed):

$$ZOFFSET(h1,h2,w,t,er) := \frac{2.ZSTRIP(2.h1+t,w,t,er)\cdot ZSTRIP(2.h2+t,w,t,er)}{ZSTRIP(2.h1+t,w,t,er)+ZSTRIP(2.h2+t,w,t,er)}$$

Propagation delay of stripline (s/in.):

$PSTRIP(er) := 84.72\cdot 10^{-12}\cdot\sqrt{et}$ (same formula for centered or offset stripline)

Inductance of stripline (H):

LSTRIP(b,w,t,x):= PSTRIP(1.)•ZSTRIP(b,w,t,1.)•x

In the equation above, we can assume a relative permittivity of 1.; it doesn't affect the answer.

Inductance of offset stripline (H):

LOSTRIP(h1,h2,w,t,x):=PSTRIP(1.)•ZOFFSET(h1,h2,w,t,1.)•x

Capacitance of stripline (F):

$$CSTRIP(b,w,t,er,x) := \frac{PSTRIP(er)}{ZSTRIP(b,w,t,er)}\cdot x$$

In the equations above and below, we must use the relative permittivity.
Capacitance of offset stripline (F):

$$COSTRIP(h1,h2,w,t,er,x) := \frac{PSTRIP(er)}{ZOFFSET(h1,h2,w,t,er)}\cdot x$$

Example stripline calculations

Ground plane separation (in.) B := 0.020

Width of trace (in.) W := 0.006

Thickness of trace (in.) T := 0.00137 (1-oz copper plating weight)

Length of wire (in.) X := 11.000

Relative electric permeability (affects capacitance, but not inductance)

er := 4.5

Impedance (Ω):

ZSTRIP(B,W,T,er)=51.4371

Total inductance (H):

$$LSTRIP(B,W,T,X) = 1.0169 \cdot 10^{-7}$$

Same result in nH:

$$LSTRIP(B,W,T,X) \cdot 10^{9} = 101.686$$

Inductance per in. (H):

$$LSTRIP(B,W,T,1) = 9.2442 \cdot 10^{-9}$$

Total capacitance (F):

$$CSTRIP(B,W,T,er,X) = 3.8433 \cdot 10^{-11}$$

Same result in pF:

$$CSTRIP(B,W,T,er,X) \cdot 10^{12} = 38.4334$$

Capacitance per in. (F):

$$CSTRIP(B,W,T,er,1) = 3.4939 \cdot 10^{-12}$$

Tolerance effects

$$ZOFF_TOL(h1,h1tol,h2,h2tol,w,wtol,t,er,ertol) := \begin{pmatrix} ZOFFSET(h1+h1tol,h2+h2tol,w-wtol,t,er-ertol) \\ ZOFFSET(h1,h2,w,t,er) \\ ZOFFSET(h1-h1tol,h2-h2tol,w+wtol,t,er+ertol) \end{pmatrix}$$

$$\alpha := ZOFF_TOL(0.007,0.002,0.032,0.002,0.008,0.002,0.0015,4.5,0.1)$$

$$\alpha = \begin{pmatrix} 64.0566 \\ 51.7263 \\ 39.228 \end{pmatrix}$$

$$REFL(x,z) := \begin{pmatrix} \frac{z-x_0}{z+x_0} \\ \frac{z-x_1}{z+x_1} \\ \frac{z-x_2}{z+x_2} \end{pmatrix}$$

$$REFL(\alpha,50) = \begin{pmatrix} -0.1232 \\ -0.017 \\ 0.1207 \end{pmatrix}$$

传输线仿真（最新创建的模型）

包括源端阻抗、负载阻抗、传输线延迟和特性阻抗以及驱动波形上升时间的影响，未包括趋肤效应的损耗。

Transmission Line Simulator H. Johnson, 5/29/95 file: shortlin.mcd
Investigation of untermiated lines showing effects of rise time and line length.
Order of operations: Establish indices for FFT operations, generate frequency response of unterminated line, convert to time domain waveform and display.
Establish indices for FFT operations

Sampling resolution, in seconds

$$\Delta T := 10^{-10}$$

$$fsample := \frac{1}{\Delta T}$$

Desired trace length, in seconds

$$Tlen := 100 \times 10^{-9}$$

$$logN := ceil\left(\frac{\log\left(\frac{Tlen}{\Delta T}\right)}{\log(2)}\right)$$

Pick next biggest power of two trace length

$$N := floor\left(2^{logN} + 0.5\right)$$

Index to time points

$$J := 0, 1..N-1$$

Index to frequency points

$$k := 0, 1..\frac{N}{2}$$

List of frequency points

$$f_k := fsample \cdot \frac{k}{N}$$

$$s := 2j \cdot \pi \cdot f$$

Dummy vector used to vectorize some scaler functions

$$Vdummy_k := 1$$

Vector operations

$$mpy(A,B) := \overrightarrow{(A \cdot B)}$$

$$div(A,B) := \frac{\overrightarrow{A}}{B}$$

Source impedance

ZS := 30
RL := 10000

Load impedance

ZL(cl) := div(RL,1+s • RL • cl)

cl = load capacitance
Transmission line impedance

ZC := 65

Delay function, argument t is delay in seconds

$$D(t) := \overrightarrow{\exp(-s \cdot t)}$$

Generate frequency response of unterminated line

Transmission line response (delay only, assume no distortion)

$$H(t):=D(t)$$

Acceptance function

$$A:=div(ZC,ZC+ZC)$$

Near-end reflection

$$R1:=1-2\cdot A$$

Transmission function at far end

$$T(c1):=div(2\cdot ZL(c1),ZL(c1)+ZC)$$

Far-end reflection

$$R2(c1):=T(c1)-1$$

System response

$$s3(t,c1):=div(mpy(A,mpy(H(t),T(c1))),1-mpy(mpy(R2(c1),H(t)),mpy(R1,H(t))))$$

Driving waveform (a rectangular waveform, N/2 points in length)

$$S1_k:=if\left(k=0,\frac{N}{2},\frac{1-e^{-s_k\cdot\frac{N}{2}\cdot\Delta T}}{1-e^{-S_k\cdot\Delta T}}\right)\cdot\frac{1}{fsample}$$

Linear rise/fall slopes; 0-100% risetime = r

$$linear(\mu,r):=if\left(\mu=0,1,\frac{1-e^{-\mu\cdot r}}{1-e^{-\mu\cdot\Delta T}}\cdot\frac{\Delta T}{r}\right)$$

Gaussian rise/fall slopes, 10%~90% risetime = r

$$gaussian(\mu,r):=if\left[|\mu\cdot r|<10,e^{\frac{\mu^2\cdot\left(\frac{r}{2.56}\right)^2}{2}},0\right]\cdot e^{-\mu\cdot\frac{r}{2}}$$

Use linear or gaussian slope

$$S2(r):=\overrightarrow{gaussian(s,r)}$$

Convert to time domain and display
Ideal driving waveform

$$SYS1:=IFFT(S1)\cdot\frac{fsample}{N}$$

Driving waveform with rise/fall slopes

$$SYS2(r):=IFFT(mpy(S1,S2(r)))\cdot\frac{fsample}{N}$$

Response of driven trace

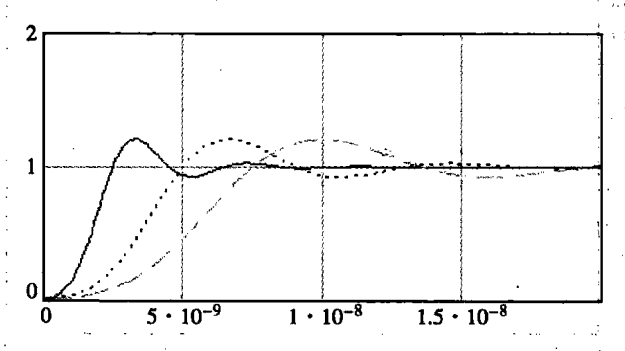
$$SYS2(d,r,c1):=IFFT(mpy(mpy(S1,S2(r)),S3(d,c1)))\cdot\frac{fsample}{N}$$

Set nominal transmission line delay and risetime

```
delay:= 10^-9
ZS=30
RL=1·10^4
risetime:= 2·delay
ZC=65
CL:=0
```

Scale both delay and risetime to see what happens

```
X1:= SYS3(delay,risetime,CL)
X2:= SYS3(delay·2,risetime·2,CL)
X3:= SYS3(delay·3,risetime·3,CL)
```

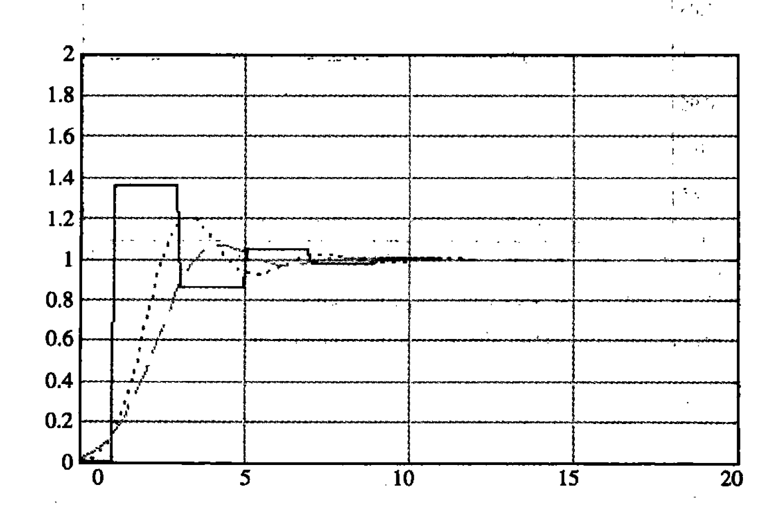


Sample some test functions

```
X0:= SYS3(delay,0,CL)
X01:= SYS3(delay,delay,CL)
X02:= SYS3(delay,delay•2,CL)
X03:= SYS3(delay,delay•3,CL)
X04:= SYS3(delay,delay•4,CL)
X05:= SYS3(delay,delay•5,CL)
X06:= SYS3(delay,delay•6,CL)
```

Unterminated line response
Risetime set to 0, 2 and 3 times transmission line delay

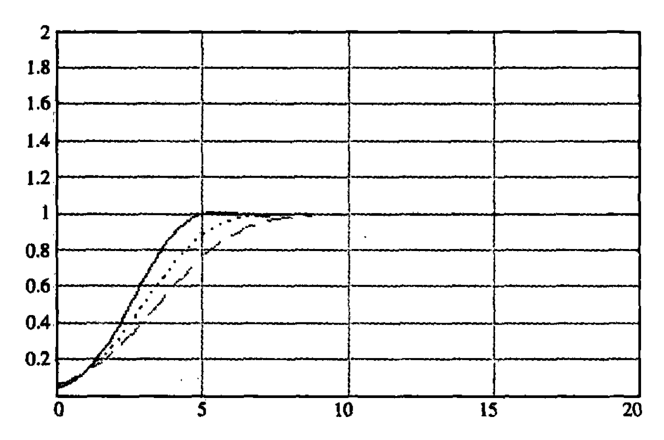
```
ZS=30
RL=1•10^4
```



ZC=65
CL = 0
ZS = 30
RL = $1 \cdot 10^4$

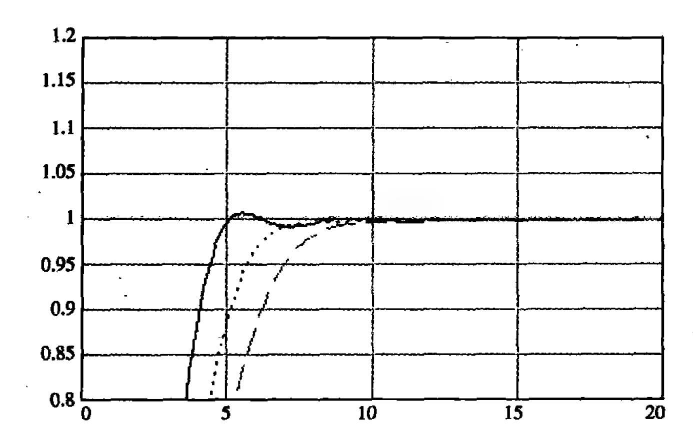
Unterminated line response
Risetime set to 4, 5 and 6 times transmission line delay

ZC = 65
CL = 0



Unterminated line response
Risetime set to 4, 5 and 6 times transmission line delay
BLOWUP of vertical axis

ZS = 30
RL = $1 \cdot 10^4$
ZC = 65
CL = 0



Investigate effect of termination capacitance
Set nominal transmission line delay and risetime

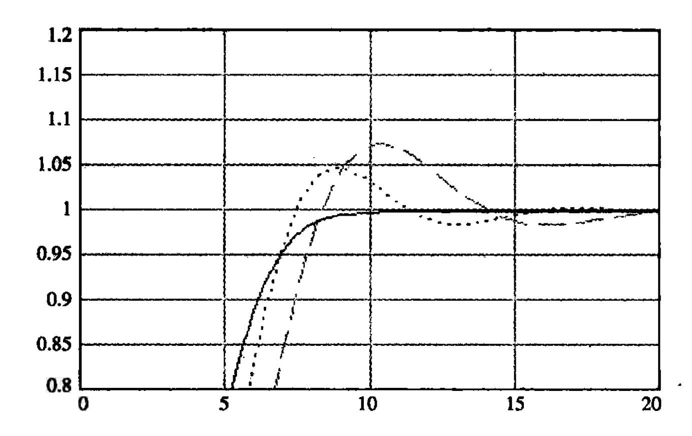
delay := $5 \cdot 10^{-9}$
ZS = 30
RL = $1 \cdot 10^4$
risetime := $6 \cdot$ delay

```
ZC = 65
NOLOAD := 0
TEN_PF := 10·10^-12
TWENTY_PF := 20·10^-12
```

Adjust load capacitance and produce step response for each case

```
X1 := SYS3(delay,risetime,NOLOAD)
X2 := SYS3(delay,risetime,TEN_PF)
X3 := SYS3(delay,risetime,TWENTY_PF)
```

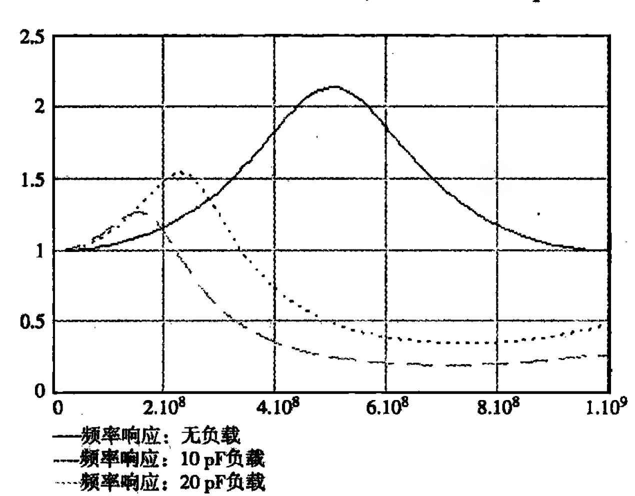
Step response of 1/2 ns line with 0, 10 and 20 pF load
BLOWUP of vertical axis



Record frequency response for each value of load capacitance

```
Y1 := S3(delay,NOLOAD)
Y2 := S3(delay,TEN_PF)
Y3 := S3(delay,TWENTY_PF)
```

Frequency response of 1/2 ns line with 0, 10 and 20 pF load



Hz ->
Knee frequency of driving waveform is 160 MHz (3-ns rise/fall time)

参考书目

电磁兼容性

HENRY W. OTT, *Noise Reduction Techniques in Electronic Systems*, John Wiley, New York, 1988.
关于噪声问题的最好的综合论述，包括辐射和灵敏度，面向模拟电子学，目前在第二版中包括了关于数字电路板布局和辐射的两个小节。

RALPH MORRISON, *Grounding and Shielding Techniques in Instrumentation*, John Wiley, New York, 1986.
内容资料与Ott的书类似，但是着重于模拟设备问题（正如书名所称）。如果你正在设计分布式设备，该书非常合适。

BERNHARD KEISER, *Principles of Electromagnetic Compatibility*. 3rd ed., Artech House, Norwood, Mass., 1987.
Ott和Morrison从辐射和传导干扰（如由地线环路引入噪声）方面处理问题，Keiser则主要关注辐射噪声问题，这使得该书成为电磁兼容性（EMC）影响方面非常重要的参考著作。该书很好地总结了EMC领域的规则。

CLAYTON R. PAUL, *Introduction to Electromagnetic Compatibility*, John Wiley, New York, 1992.
在EMC方面比Keiser的书更理论化，更完整，更新。本书首先讲述为什么担心EMC，然后简要回顾了电磁场、传输线和天线。该书的其余部分涵盖了EMC方面的实用的设计。我们认为本书应该作为大学教材。
在EMC领域，标准变化得非常快，应注意这些标准以及Keiser的书中的有关最新政府标准。

传输线和数字信号

WILLIAM R. BLOOD, JR., *MECL System Design Handbook*, 4th ed., Motorola Semiconductor Products, Inc., Phoenix, Ariz., 1988.
该书首次出版是1980年，是实用高速数字电路书籍的鼻祖。专门针对摩托罗拉（Motorola）的ECL电路，讨论了传输线、连接器、电缆、电源分配和散热的问题（有关ECL的重要事宜）。如果你正在使用ECL电路,应该找这本书看看，其中有许多好建议并且非常有用。

B. L. HART, *Digital Signal Transmission Line Circuit Technology*, Van Nostrand Reinhold, New York. 1988.

这是一本关于长传输线使用指导的书。非常好，并且非常实用，是通俗易懂的入门读物。

CHARLES. S. WALKER, *Capacitance, Inductance and Crosstalk Analysis*, Artech House, Norwood, Mass., 1990.
一本关于互容和互感计算的指南，详细而完整，如果你需要准确的传输线方程，应该找来这本书看看。

T. C. EDWARDS, *Foundations for Microstrip Circuit Design*, John Wiley, New York, 1981.
如果你有很好的模拟电路的设计背景，对陶瓷的基体感兴趣，并且希望在理论上研究得更深入，这将是一本好书。Edwards进行了非常细致的讨论，包括微带（不含带状线）、定向耦合器和微波滤波器。

HARLAN HOWE, *Stripline Circuit Design*, Artech House, Norwood, Mass., 1974.
该书是Edwards一书的补充，侧重于带状线设计，包括耦合器和微波滤波器设计的数据，最后简要介绍了微波结构技术。

S. R. SESHADRI, *Fundamentals of Transmission Lines and Electromagnetic Fields*, Addison-Wesley, Reading, Mass., 1971.
一本阐述传输线理论数学基础的重要著作，包含了*RC*和低损耗传输线的实例。

印刷电路板制造和集成电路封装

CLYDE F. COOMBS, JR. ED., *Printed Circuits Handbook*. McGraw-Hill, New York, 1988.
一本大型的概要书籍，包含了印刷电路板设计、加工和使用方面的35个主题。该书参考和阐释了与印刷电路板相关的许多军用标准和IPC标准，是一本内容全面的优秀参考书。

H. B. BAKOGLU, *Circuits, Interconnections, and Packaging far VLSI*, Addison Wesley. Reading, Mass., 1990.
包含了对于VLSI非常重要的封装、热传递、电和机械的部分。这本书介绍了用于高性能计算机系统的芯片，展示了计算机技术的未来。

BERNARD S. MATISOFF, *Handbook of Electronics Packaging Design and Engineering*, 2nd ed., Van Nostrand Reinhold, New York, 1990.
广泛介绍了电子工业实用的封装标准的装配技术，包括机箱部件之间金属连接器的应力数据，与EMC问题密切相关。并且有一节是关于热传导和散热问题的。

RAYMOND H. CLARK, *Printed Circuit Engineering: Optimizing for Manufacturability*, Van Nostrand Reinhold, New York, 1989.

Clark这本书思路明晰、编排合理，是关于印刷电路板设计和制造的优秀指导和标准，其中的标准尤其适合于进行批量生产的人士。

RAY P. PRASAD, *Surface Mount Technology*, Van Nostrand Reinhold, New York. 1989.
Ray Prasad为Intel公司工作，非常了解该方向。这本书面向制造业的工程师，其中的实用指导方针和技巧将会使你成为一个专家。不要低估了解真正制造过程的价值，如果表面贴装技术对你来说是新内容，则应该看看这本书。

模拟电路

FREDERICK E. TERMAN, *Radio Engineers Handbook*, McGraw-Hill, New York, 1943.
该书于1943年出版，在此之前工程学的所有非常好的工作都已经被完成了，而这本书也证实了这一点。书中关于传输线的章节非常好（尤其是关于邻近效应的讨论），令人感兴趣的内容是许多问题至今没有得到解决。

ROBERT A. PEASE, *Troubleshooting Analog Circuits*, Butterworth-Neinemann, Stoneham, Mass., 1991.
那些在Electronic Design杂志上看过Bob Pease关于电路设计专栏文章的人一定熟悉他讲述工程问题时的通俗易懂、富于幽默感的方式。虽然这本书是关于模拟电路问题的，但他的技术和经验非常有价值，以至于我们向数字设计人员推荐此书。本书读起来非常有趣，也会有重要收获。

IRVING M. GOTTLIEB, *Understanding Oscillators*, TAB Books, Blue Ridge Summit, Penn., 1987.
通俗易懂地讨论了振荡的过程，第5章中包含了各种不同形式的振荡器，包括数字集成电路和比较器形式的。

DOUGLAS C. SMITH, *High Frequency Measurements and Noise in Electronic Circuits*. Van Nostrand Reinhold, New York, 1993.
详细研究了高频测量的精确方法，该书深入探究了电压检测、电流检测、用于静电放电测试探头的设计。同时，书中提供了高频电路的调试技巧，非常有用。

索　　引

D

J

K

L

M

N

O

P

Q

R

S

T

V

国外电子与通信教材系列·信号完整性书丛

信号完整性分析　　7-121-00642-1　　Eric Bogatin 著

本书全面论述了信号完整性问题。主要讲述了信号完整性和物理设计概论，带宽、电感和特性阻抗的实质含义，电阻、电容、电感和阻抗的相关分析，解决信号完整性问题的四个实用技术手段，物理互连设计对信号完整性的影响，数学推导背后隐藏的解决方案，以及改进信号完整性的推荐设计准则等。该书与其他大多数同类书籍相比更强调直观理解、实用工具和工程实践。它以入门式的切入方式，使得读者很容易认识到物理互连影响电气性能的实质，从而可以尽快掌握信号完整性设计技术。本书作者以实践专家的视角指出了造成信号完整性问题的根源，特别给出了在设计前期阶段的问题解决方案。

高速系统设计——抖动、噪声与信号完整性　　978-7-121-08906-0　　Mike Peng Li（李鹏）著

本书着重介绍了最新的抖动、噪声、误码（JNB）和信号完整性（SI）问题的解决方案，内容涉及理论、分析、方法和应用。本书讨论了链路部件和整个系统中的JNB及SI难题；论述了与JNB及SI有关的术语、定义、基本概念和产生根源；给出了最新的理论、分析、方法和实际对象，引导读者从最基本的数学、统计学、电路与系统模型出发直到最终应用。本书的重点在于研究时钟及串行数据通信中的应用问题，涵盖JNB及SI的仿真、建模、诊断、调试及一致性测试等。

芯片及系统的电源完整性建模与设计　978-7-121-09035-6　Madhavan Swaminathan, A. Ege Engin著

本书是有关电源完整性设计和建模方面的一部丰富而又生动的指南。书中通过真实的案例分析和可下载的软件实例，描述了当今高效电源分配和噪声最小化的设计与建模的前沿技术。作者介绍了电源配送网络组成部件、分析技术、测量技术及建模需求；详尽解释了电源/地平面建模，包括平面特性、集总模型、基于分布电路的方案等；介绍了几种先进的时域仿真技术（例如宏模型），并讨论了它们的优缺点；此外还展示了建模技术在多种高级案例中的应用，包括高速服务器、高速差分信令、芯片封装分析、材料特性、嵌入去耦电容器和电磁带隙结构等。

信号完整性指南——实时测试、测量与设计仿真　　978-7-121-10597-5　　Geoff Lawday, David Ireland, Greg Edlund 著

本书是高速数字设计中现代信号完整性测试和测量方面的最全面、最权威、最具实践价值的指导手册。此领域的三位顶级专家将指导你对现代逻辑信号检测和嵌入式系统故障进行系统地诊断、观察、分析和排除。作者用简单易懂的语言，介绍了嵌入式系统从规格定型到前仿真的整个生命周期，描述了其中的关键技术和概念。本书介绍了怎样使用时域测试和测量技术，解决当今不断增长的、难于满足的互操作性和兼容性要求，给出详细的、从头到尾的案例分析，使读者学会如何面对一般设计上的挑战。